

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-504007
(P2010-504007A)

(43) 公表日 平成22年2月4日(2010.2.4)

| (51) Int.Cl. | F I | テーマコード (参考) |
|----------------------|----------------|-------------|
| HO4N 1/405 (2006.01) | HO4N 1/40 B | 2C262 |
| GO6T 5/00 (2006.01) | GO6T 5/00 200A | 5B057 |
| GO9G 5/00 (2006.01) | GO9G 5/00 520J | 5C077 |
| GO9G 3/20 (2006.01) | GO9G 5/00 555G | 5C080 |
| B41J 2/52 (2006.01) | GO9G 3/20 641H | 5C082 |

審査請求 未請求 予備審査請求 未請求 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-527680 (P2009-527680)
 (86) (22) 出願日 平成19年9月17日 (2007.9.17)
 (85) 翻訳文提出日 平成21年5月18日 (2009.5.18)
 (86) 国際出願番号 PCT/CN2007/002729
 (87) 国際公開番号 WO2008/040162
 (87) 国際公開日 平成20年4月10日 (2008.4.10)
 (31) 優先権主張番号 200610113131.6
 (32) 優先日 平成18年9月15日 (2006.9.15)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507231932
 北大方正集▲団▼有限公司
 PEKING UNIVERSITY F
 OUNDER GROUP CO., L
 TD
 中華人民共和国北京市▲海▼淀区成府路2
 98号中▲関▼村方正大厦5▲層▼
 5 Floor, Zhongguanc
 un Founder Building
 , No. 298, Chengfu R
 oad, Haidian Distri
 ct, Beijing 100871,
 China

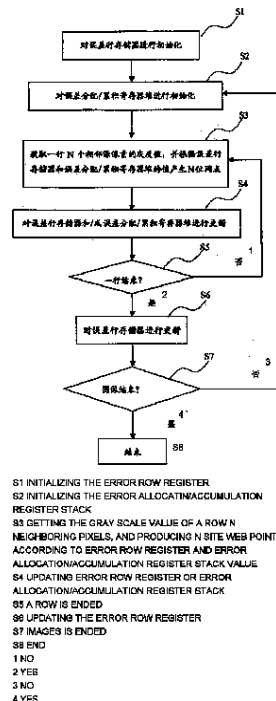
最終頁に続く

(54) 【発明の名称】 マルチサイトFMスクリーンドットを同時に生成する方法及び装置

(57) 【要約】

本発明は、マルチサイトFMスクリーンドットを同時に生成する方法及び装置に関する。本発明による方法は、毎回同じ行内の多数の近隣の画素を同時に処理し、マルチサイトスクリーンドットを生成させることができ、本発明による方法は、誤差行メモリの多数の位置の誤差蓄積値を同時に更新することができる。本発明による装置は、誤差行メモリ、誤差行メモリ制御回路、誤差割当/蓄積レジスタファイル、誤差割当/蓄積レジスタファイル制御回路、及びスクリーンドット生成回路からなっている。本発明による方法及び装置は、多数の近隣の画素を毎回処理する間に、誤差行メモリの1回の読取/書込動作のみが必要であるので、FMスクリーンドットの生成速度を格段に改善できる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

マルチサイト FM スクリーンドットを同時に生成する方法であって、
画素点の最終誤差蓄積値及び中間誤差蓄積値を記憶するように構成された誤差行メモリを初期化するステップと、

誤差割当 / 蓄積レジスタファイルを初期化するステップと、

行・列をなす画素の各行ごとに、及び各行内の N 個の近隣の画素からなるグループごとに、前記画素のオリジナルグレーレベル（ソース画素値）を取得し、前記誤差行メモリ及び前記誤差割当 / 蓄積レジスタファイルに記憶された値に従って前記 N 個の画素のスクリーンドットを生成するステップであって、N = 2 であるステップと、

10

1 つの前記グループ内の N 個の近隣の画素が処理される毎に、前記誤差行メモリ及び前記誤差割当 / 蓄積レジスタファイル内の値を更新するステップとを含むことを特徴とする方法。

【請求項 2】

前記誤差割当 / 蓄積レジスタファイルは、誤差割当レジスタファイル及び誤差蓄積レジスタファイルを含んでおり、前記誤差割当レジスタファイルは、フォローアップ誤差処理で使用するために、現在処理されている画素の前に処理された現在の行内の画素からの誤差割当値を記憶するように構成されており、前記誤差蓄積レジスタファイルは、前記誤差行メモリから読み取られた画素点の中間誤差蓄積値をキャッシングするように構成されている、ことを特徴とする請求項 1 に記載の方法。

20

【請求項 3】

前記現在の N 個の画素のオリジナルグレー値（レベル）、並びに、前記誤差行メモリ及び前記誤差割当 / 蓄積レジスタファイル内に記憶された値に従って前記 N 個の画素のスクリーンドットを生成する方法がさらに、

前記誤差行メモリから、前記現在の N 個の近隣の画素に対応する N 個の最終誤差蓄積値を読み取り、前記誤差割当 / 蓄積レジスタファイルによって N 個の合計誤差割当値を取得するステップであって、前記 N 個の合計誤差割当値は、前記現在の N 個の画素と同じ行内にあって、前記現在の N 個の画素に先立って処理された全ての画素から得られる誤差割当値を合計することによって作り出されるステップと、

前記 N 個のオリジナルグレー値、前記 N 個の最終誤差蓄積値、及び前記 N 個の合計誤差割当値に従って、前記現在の N 個の近隣の画素の最終グレー値を順次算出し、前記最終グレー値を用いて、前記 N サイトスクリーンドットを生成すると共に、周辺画素に対する前記現在の N 個の画素からの誤差割当値を算出するステップとを含む方法であって、

30

前記現在の N 個の画素のいずれか 1 つが処理された後に、前記周辺画素のうち前記 N 個の画素の内の引き続いて処理すべき画素点に対して生成された誤差割当値が、前記引き続いて処理すべき画素点の最終グレー値を算出するために使用される、ことを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記誤差行メモリから、前記 N 個の近隣の画素に対応する N 個の最終誤差蓄積値を読み取ると共に、前記 N 個の近隣の画素に対して後続する行内の対応する N 個の近隣の画素の中間誤差蓄積値を読み取る、ことを特徴とする請求項 1 に記載の方法。

40

【請求項 5】

前記誤差行メモリ内のデータを更新する方法は、

前記現在の行内の N 個の近隣の画素 $P_{i,j} \sim P_{i,j+N-1}$ を処理した後に、前記誤差割当 / 蓄積レジスタファイルに記憶された中間誤差蓄積値及び現在の行内の先行して処理された画素からの誤差割当値に従って、現在の行 i の次の行 $(i+1)$ 内の N 個の近隣の画素 $P_{i+1,j-N} \sim P_{i+1,j-1}$ の最終誤差蓄積値、及び現在の行の 2 つ先の行 $(i+2)$ 内の対応する N 個の近隣の画素 $P_{i+2,j} \sim P_{i+2,j-1}$ の中間誤差蓄積値を得るステップを含んでいる、ことを特徴とする請求項 1 又は 3 に記載の方法。

【請求項 6】

50

前記誤差割当 / 蓄積レジスタファイル内のデータを更新する方法は、

前記誤差割当レジスタファイル内の各 N 個の近隣の画素の誤差割当値を全て列としてとるステップと、 N 個の近隣の画素の次の列の誤差割当値となるように N 個の近隣の画素の前の列の誤差割当値を更新するステップと、現在の N 個の近隣の画素の誤差割当値となるように N 個の近隣の画素の最終列の誤差割当値を更新するステップと、現在の N 個の近隣の画素に対応する次の行 ($i + 1$) の N 個の近隣の画素 $P_{i+1, j} \sim P_{i+1, j+N-1}$ の中間誤差蓄積値となるように誤差蓄積レジスタファイル内のオリジナルの N 個の近隣の画素 $P_{i+1, j-N} \sim P_{i+1, j-1}$ の中間誤差蓄積値を更新するステップとを含む、ことを特徴とする請求項 2 に記載の方法。

【請求項 7】

ソース画素のオリジナルグレー値はスキャンによって得られ、スキャンは S 字形である、即ち偶数行では左から右に、奇数行では右から左へ、又はその逆のスキャンである、ことを特徴とする請求項 1 又は 3 に記載の方法。

【請求項 8】

誤差行メモリのバス幅が $N \times W \times (H - 1)$ であり、 N は現在同時に処理されている画素の数のことであり、 W は誤差行メモリ内の 1 つの位置でのデータ幅であり、 H は現在処理されている画素が置かれる行を含む、1 つの画素の誤差を拡散することができる行の数である、ことを特徴とする請求項 1 に記載の方法。

【請求項 9】

マルチサイト FM スクリーンドットを同時に生成する装置 (1) であって、
誤差行メモリ (2)、及びこれに接続された誤差行メモリ制御回路 (4) と、
誤差割当 / 蓄積レジスタファイル (3)、及びこれに接続された誤差割当 / 蓄積レジスタファイル制御回路 (5) と、

グレー生成回路 (7)、並びに、それぞれ、前記グレー生成回路の出力端部に接続された閾値比較回路 (8) 及び誤差生成回路 (9) からなり、1 つの画素の最終スクリーンドット、及びこの画素から周辺画素への誤差割当値を生成するように構成されている、複数のスクリーンドット生成回路 (10) とを備えた装置であって、

前記スクリーンドット生成回路 (10) それぞれの誤差生成回路 (9) の出力端部が、前記スクリーンドット生成回路 (10) に後続するスクリーンドット生成回路 (10) 内のグレー生成回路 (7) の入力端部に接続されていると共に、前記誤差行メモリ制御回路 (4) 及び前記誤差割当 / 蓄積レジスタファイル制御回路 (5) の入力端部に接続されており、

前記誤差行メモリ制御回路 (4) 及び前記誤差割当 / 蓄積レジスタファイル制御回路 (5) の出力端部が、前記各スクリーンドット生成回路 (10) 内の前記グレー生成回路 (7) の入力端部に接続されている、ことを特徴とする装置。

【請求項 10】

前記誤差割当 / 蓄積レジスタファイル (3) は、トリガからなるレジスタアレイによって達成され、誤差割当レジスタファイル及び誤差蓄積レジスタファイルを備えており、前記誤差割当レジスタファイルは、フォローアップ誤差処理に有用であり、現在処理されている画素に先行して処理された現在の行内の画素からの誤差割当値を記憶するように構成されており、前記誤差蓄積レジスタファイルは前記誤差行メモリから読み取った画素点の中間誤差蓄積値をキャッシングするように構成されている、ことを特徴とする請求項 9 に記載の装置。

【請求項 11】

前記誤差行メモリ制御回路 (4) は、読取アドレスレジスタ、書込アドレスレジスタ、読取 / 書込制御回路、及び書込データ生成回路を備えており、前記読取アドレスレジスタ及び前記書込アドレスレジスタは、現在処理されている画素のうちの第 1 の画素の列数 (アドレス) に合わせて生成され、前記書込データ生成回路は加算器からなり、前記加算器の入力は、前記誤差蓄積値、現在の画素全てを処理した後に生成された前記誤差割当値、及び前記誤差割当レジスタファイルに記憶された関連する誤差割当値からもたらされる、

10

20

30

40

50

ことを特徴とする請求項 9 に記載の装置。

【請求項 1 2】

前記誤差行メモリ制御回路(4)は、前記誤差行メモリの読取/書込アドレス、読取/書込制御信号、及び読取/書込データを生成するために前記誤差行メモリ(2)に接続されており、前記誤差行メモリ制御回路(4)の入力は、現在処理されている画素のうちの第1の画素の座標(アドレス)、前記誤差割当/蓄積レジスタファイル制御回路(5)の出力、及び前記スクリーンドット生成回路(10)の各グループの前記誤差生成回路(9)の出力を含んでいる、ことを特徴とする請求項 1 1 に記載の装置。

【請求項 1 3】

前記誤差割当/蓄積レジスタファイル制御回路(5)は、前記誤差割当/蓄積レジスタファイル(3)のデータを更新及び初期化するために、前記誤差割当/蓄積レジスタファイル用の制御信号を生成する複数のマルチプレクサを備えている、ことを特徴とする請求項 9 に記載の装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル画像ハーフトニング(half-toning)の分野のスクリーンドット生成方法及び装置に関し、より詳細には、マルチサイト周波数変調(FM)スクリーンドットを同時に生成する方法及び装置に関する。

20

【背景技術】

【0002】

誤差拡散は、最も一般的に使用されるFMスクリーニング方法である。この方法によると、ソース画像の各画素点のグレーレベルを、スクリーンドットを生成させる閾値と比較し、画素点のグレーレベルと閾値の誤差がその画素点の周辺の画素点に拡散される。例えば、256グレーレベルの画像で閾値が127であり、特定の画素点のグレーレベルが150である場合、閾値との比較の結果、その画素点は白色スクリーンドット(白色スクリーンドットのグレーレベルは255である)として記録されなければならない。実際にはこの画素点は本当の白色ではないから、本当の白色に対して105の誤差値を有し、105の誤差は何らかの方法でこの画素点の周りの画素点に拡散される。一般的な誤差拡散方法としては、Floyd-Steinbergアルゴリズム、及びJarvisアルゴリズムがある。

30

【0003】

Floyd-Steinbergアルゴリズムは、1つの画素の誤差を、この画素を囲む4つの画素点に割り当てることを言う。即ち、誤差の7/16が現在の画素点の右側にある第1の画素点に加えられ、誤差の5/16が現在の画素点に対して次の行で同一位置にある第2の画素点に加えられ、誤差の3/16が第2の画素点の左側にある第3の画素点に加えられ、誤差の1/16が第2の画素点の右側にある画素点に加えられる。この過程は、繰り返し行なわれ、グレーレベル及びハーフトニングの同じ修正が画像内の各画素点に対して行なわれる。

40

【0004】

Jarvisアルゴリズムでは、図1(A)に示すように、現在の画素Xの誤差を12個の近隣の(neighboring)画素に割り当てる。12個の画素位置のうちいくつかの位置の画素に対する誤差割り当て比が同一であり、従って4種の異なる誤差割り当て比のみが必要であり、現在の画素Xの誤差を画素位置 $D_1 \sim D_4$ に対して各々、 $D_1 = 1/48$ 、 $D_2 = 3/48$ 、 $D_3 = 5/48$ 、及び $D_4 = 7/48$ の比で割り当てる。Jarvis誤差拡散方法に基づく画像ハーフトニング処理は、誤差拡散の範囲を拡大することによってより優れた効果を達成することができるが、この方法による誤差拡散は、より多くの行及びより多くの画素点に関係するので記憶容量の増加及び処理速度の低下につながり、従ってリアルタイム要求を満たすことができず、応用分野は限られる。

50

【 0 0 0 5 】

加えて、上記アルゴリズムを使用した誤差拡散の最中に、ソース画像が常に単方向スキャンのみにより処理される場合、各スキャン行の誤差は次の行に単純に加算され、出力パターンにおける画像の駆動傾向 (`driving_tendency`) によって示される誤差蓄積につながる。従って、スキャン方法としては、S字形スキャンを通常採用する。即ち、奇数行に対しては図1(A)に示すような誤差割り当て比を用いて左から右へスキャンし、偶数行に対しては図1(B)に示すような誤差割り当て比を用いて右から左へのスキャン(又は、その逆)する。スキャンは、最終行までこのように繰り返される。

【 0 0 0 6 】

特許文献1は、高速でFMスクリーンドットを生成する方法を開示しており、この方法はメモリの操作回数を減少できるが、画像を1時に1個ごとししか処理できないので、多数の画素を同時に処理できず、従って多数のスクリーンドットを同時に生成できない。

10

【 0 0 0 7 】

特許文献2は、誤差拡散の並列処理方法を開示している。この方法は複数の画素点を同時に処理できるが、メモリ上で多数の読取/書込操作を行なう必要がある一方、S字形画像スキャンをソース画像上で実行できないので、スクリーンドットの生成速度に影響し、その結果、誤差蓄積により生じる駆動効果の排除がうまく行かなくなる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

20

【特許文献1】中国特許出願CN200510063255.3号(2005年9月14日公開)

【特許文献2】米国特許5271070号「Multi-dimensional error diffusion technique」

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明は、上記従来技術の欠点に鑑みて、複数の画素を同時に処理するにも拘わらず、メモリの読取及び書込回数を格段に削減し、FMスクリーンドットの生成速度を向上できる、マルチサイトFMスクリーンドットを同時に生成する方法及び装置を提供することを目的としている。

30

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明による、マルチサイトFMスクリーンドットを同時に生成する方法は、画素点(以下、「画素点」「点」「画素」「サイト」は同義に用いる。)の最終誤差蓄積値及び中間誤差蓄積値を記憶するように構成された誤差行メモリを初期化するステップと、

誤差割当/蓄積レジスタファイルを初期化するステップと、

行・列をなす画素の各行ごとに、及び各行内のN個の近隣の(`neighboring`)画素からなるグループごとに、前記画素のオリジナルグレーレベル(ソース画素値)を取得するステップと、前記誤差行メモリ及び前記誤差割当/蓄積レジスタファイルに記憶された値に従って前記N個の画素(サイト)のスクリーンドットを生成するステップであって、N₂であるステップと、

40

1つの前記グループ内のN個の近隣の画素が処理される毎に、前記誤差行メモリ及び前記誤差割当/蓄積レジスタファイル内の値を更新するステップとを含む、ことを特徴とする。

【 0 0 1 1 】

本発明による、マルチサイトFMスクリーンドットを同時に生成する装置は、誤差行メモリ及びそこに接続された誤差行メモリ制御回路と、誤差割当/蓄積レジスタファイル及びそこに接続された誤差割当/蓄積レジスタファイ

50

ル制御回路と、

複数のスクリーンドット生成回路とを備えたマルチサイトFMスクリーンドットを同時に生成する装置を提供し、

この回路はそれぞれ中で出力端部に接続されたグレー生成回路及び閾値比較回路及び誤差生成回路からなり、

1つの画素の最終スクリーンドット及び周りの画素へのこの画素の誤差割当値を生成するように構成されており、

前記各スクリーンドット生成回路内の誤差生成回路の出力端部は、以下のスクリーンドット生成回路内の前記多数のスクリーンドット生成回路のうちグレー生成回路の入力端部に接続されており、

誤差行メモリ制御回路及び誤差割当/蓄積レジスタファイル制御回路の入力端部に接続されており、

誤差行メモリ制御回路及び誤差割当/蓄積レジスタファイル制御回路の出力端部は、各スクリーンドット生成回路内のグレー生成回路の入力端部に接続されている、

ことを特徴とする。

【発明の効果】

【0012】

本発明による方法及び装置は、画像の同じ行に属する複数の近隣の画素点を同時に処理してマルチサイトスクリーンドットを生成し、1回の読取操作及び1回の書込操作のみにより誤差行メモリ内の複数の誤差蓄積値の更新を達成できるので、それによりメモリの読取及び書込回数を格段に削減し、FMスクリーンドットの生成速度を向上できる。

【図面の簡単な説明】

【0013】

【図1】(A)は、S字形スキャン中のJarvisアルゴリズムに基づいた偶数行内の画素Xの誤差拡散原理の略図であり、(B)は、S字形スキャン中のJarvisアルゴリズムに基づいた奇数行内の画素Xの誤差拡散原理の略図であり、(C)及び(D)は、Jarvisアルゴリズムに基づいた誤差拡散割当の略図である。

【図2】は、本発明の一実施形態による、同じ行内の多数の近隣の画素を処理する高速FMスクリーンドット生成装置のブロック図である。

【図3】は、図2に示すような装置内のスクリーンドット生成回路のブロック図である。

【図4】は、本発明の一実施形態による同じ行内の多数の近隣の画素を処理する高速FMスクリーンドット方法のフローチャートである。

【図5】は、本発明の一実施形態によるJarvisアルゴリズムに基づく同じ行内の2つの隣接する画素を処理する高速FMスクリーンドット生成装置のブロック図である。

【図6】(A)は、図2に示すような装置のグレー生成回路Iの原理図であり、(B)は、図2に示すような装置のグレー生成回路IIの原理図である。

【図7】(A)は、本発明の一実施形態によるJarvisアルゴリズムに基づく同じ行内の2つの隣接する画素を処理する高速FMスクリーンドット生成装置内の8画素の画像幅を有する誤差行メモリの略図であり、(B)は、処理した画像の特定の3つの隣接する行の画素点の一部の略図である。

【図8】は、図2に示すような装置内の誤差行メモリを読み取り、これに書き込むプロセスの略図である。

【図9】は、図2に示すような装置内の誤差行メモリ制御回路のブロック図である。

【図10】は、図2に示すような装置の誤差割当/蓄積レジスタファイルの構造の略図である。

【図11】は、図2に示すような装置内の誤差割当/蓄積レジスタファイル制御回路内のマルチプレクサの操作原理の略図である。

【図12】は、図2に示すような装置の誤差割当/蓄積レジスタファイル内のデータを更新するプロセスの略図である。

【発明を実施するための形態】

10

20

30

40

50

【0014】

本発明を、説明の図面及びその実施形態と合わせて以下にさらに詳細に説明する。

【0015】

本発明による誤差拡散装置を採用した基本的原理及び装置を、最初に簡単に説明する。

【0016】

誤差拡散中、各点はその周りの点への誤差拡散を有する。それに応じて、現在処理される点は、周りの点の誤差拡散によって影響を受ける。従って、現在の画素点に影響を与える全ての点は、現在の画素点を処理するために処理されなければならない。(以下、「画素点」「点」「画素」「サイト」は同義に用いる。)

【0017】

Floyd - Steinerberg アルゴリズムを例としてとると、1つの画素点の誤差がその周りの4点に拡散されるので、規則を簡単に得ることができる、即ち、あらゆる画素点とその周りの4点の誤差拡散によって影響を受けるだけである。即ち、1つの画像が n 行及び m 列に配置された画素点からなり、 i は行番号、 j は列番号(これら i 、 j は、以下同じ意味で使う)とすると、行 $(i - 1)$ の画素点 $P_{i - 1, j + 1}$ を処理した時点で初めて、行 $(i - 1)$ の画素点からの誤差拡散のうち画素点 $P_{i, j}$ に集束する誤差拡散を全て算出することができる。

従って、画素点 $P_{i, j}$ に対する行 $(i - 1)$ の点からの誤差拡散の蓄積値は、行 $(i - 1)$ の残りの点が全て処理されるまでのあいだ記憶しておくメモリが必要があり、この誤差蓄積値は、行 (i) の各点を処理する際に抽出されて、 $P_{i, j}$ のスクリーンショット値及び周りの画素への画素点 $P_{i, j}$ からの誤差拡散を算出する際に使われる。画像が多数の行をなす画素点からなり、このようなメモリは、一般に画素点の誤差蓄積値を行ごとに記憶するので、誤差行メモリと呼ばれる。本発明の一実施形態によると、SRAM (静的ランダムアクセスメモリ) が誤差行メモリとして採用される。

【0018】

この場合、特定の画素点の、スクリーンショット値及び誤差拡散を算出する場合、最初に、この現在の画素のソースグレーレベルを取得し、誤差行メモリから読み取ったこの時点での直前の行の画素点からの誤差蓄積値を加え、さらに、この現在の画素点に乗っている行の、この現在の画素点に先行する画素点からの誤差拡散を加えて、この現在の画素点の最終グレーレベルを得る。この画素のスクリーンショットは、得られた最終グレーレベルと閾値を比較することによって生成でき、この画素がその周りの点に割り当てる誤差値を得ることもできる。本発明では、先行誤差拡散でもある、誤差拡散アルゴリズムにより近隣の画素に割り当てられた各画素の誤差値は、誤差割当値と呼ばれる。

【0019】

このように1つの画素点からその周りの点への誤差割当値を得た後、これらの誤差割当値は、画素の誤差拡散によって影響を受ける画素点を処理するためにある期間一時的に記憶させる必要がある。本発明によると、レジスタグループがこの誤差割当値を一時的に記憶するために使用され、誤差割当レジスタファイルと呼ばれる。

【0020】

同じ理由によって、Jarvis アルゴリズムは、現在の画素を処理している間に、現在処理している画素に続く最大2画素点及び後続する2行の10個の画素点に誤差拡散を生成するので、この行から次の2行への誤差拡散を記憶させる必要がある。図1(A)は、その周りの画素への画素点 X からの誤差拡散を示しており、 D_1 、 D_2 、 D_3 及び D_4 は誤差拡散係数を示している。この場合、その周りの画素への画素点 X の誤差割当値は、 ED_1 、 ED_2 、 ED_3 及び ED_4 によって示すことができ、ここで、 E は拡散させる必要がある誤差である。一方、図1(C)に示すように、任意の画素点 $*$ は、先行する2行の最大10個の画素点及び現在の行の先行する2個の画素点によって影響される。このような影響は、一度に算出することはできず、各行のデータのバッチ処理で生成され、従って、各バッチで生成される誤差拡散値は最終グレー値を生成するために記憶させる必要があることを理解すべきである。

10

20

30

40

50

【0021】

即ち、任意の画素点 $P_{i,j}$ に対して、最初に、行 $(i-2)$ の点 $P_{i-2,j+2}$ が処理された後、画素点 $P_{i,j}$ に集束する行 $(i-2)$ の全ての画素点の誤差拡散が算出でき、画素点 $P_{i,j}$ に対する行 $(i-2)$ からの誤差蓄積値を生成できる。これを中間誤差蓄積値 $L_{i,j}'$ と呼び、誤差行メモリに記憶する。その後、行 $(i-1)$ での画素点 $P_{i-1,j+2}$ が処理された後、画素点 $P_{i,j}$ に対する行 $(i-1)$ からの誤差蓄積値が生成され、誤差行メモリ内に前に記憶された中間誤差蓄積値 $L_{i,j}'$ を読み取り、この画素点に対して行 $(i-1)$ によって生成された誤差蓄積値を加えて、画素点 $P_{i,j}$ での直前の2行(行 $(i-1)$ 及び行 $(i-2)$)からの合計誤差蓄積値、即ち最終誤差蓄積値 $L_{i,j}$ を得る。

10

【0022】

図1(D)に示すように、 $P_{i,j}$ 点*を処理した後に、画素点 $P_{i+1,j-2}$ (図1(D)の@)に対する行 $(i-1)$ 及び (i) からの最終誤差蓄積値 $L_{i+1,j-2}$ 、及び画素点 $P_{i+2,j-2}$ (図1(D)の@')に対する行 (i) の中間誤差蓄積値 $L_{i+2,j-2}'$ が、同時に生成される。便宜上、両者はデータパケットとして取り扱い、誤差行メモリ内に同時に記憶させることができる。この場合、画素点 $P_{i+1,j-2}$ (@) の最終グレー値を算出する場合、画素点 $P_{i+1,j-2}$ の最終誤差蓄積値 $L_{i+1,j-2}$ を誤差行メモリから読み取る必要があり、同じデータパケット内の画素点 $P_{i+2,j-2}$ (@') の中間誤差蓄積値 $L_{i+2,j-2}'$ もメモリから同時に読み取られる。しかし、中間誤差蓄積値 $L_{i+2,j-2}'$ は、 $P_{i+2,j-2}$ (@') に対する行 $(i+1)$ からの誤差割当値を処理し、最終誤差蓄積値を算出するためにのみ使用され、従って、レジスタに一時的に記憶させる必要がある。

20

【0023】

このように、最終誤差蓄積値と共に同時に読み取られた中間誤差蓄積値を、後で新しく生成される最終誤差蓄積値の算出に参加させるために、一時的に記憶するためには、本発明によると誤差蓄積レジスタファイルと呼ばれる、読み取った中間誤差蓄積値を記憶する新しいレジスタファイルを設ける必要がある。

【0024】

本発明は、同じ行の N 個 ($N=2$) の近隣の画素点を処理し、それによって誤差拡散方法に基づいてマルチサイトFMスクリーンドットを同時に生成することができる方法及び装置を提供する。

30

図2は、本発明により多数の近隣の画素を同時に処理する高速FMスクリーンドット装置(1)のブロック図である。高速FMスクリーンドット装置(1)は、誤差行メモリ(2)と、誤差割当/蓄積レジスタファイル(3)と、誤差行メモリ制御回路(4)と、誤差割当/蓄積レジスタファイル制御回路(5)と、スクリーンドット生成装置(6)とを備えている。前記部品の機能を、以下に簡単に説明する。

【0025】

上に記載したように、特定の画素 $P_{i,j}$ を処理している間、これに対する周りの画素の影響を蓄積する必要がある。画素 $P_{i,j}$ に対する周りの画素の影響は、以下の通り2つの部分に分けることができる。

40

一は、画素 $P_{i,j}$ の属する行 (i) に先行する行によって生じる誤差影響、即ち最終誤差蓄積値又は中間誤差蓄積値であり、誤差行メモリ(2)はコンテンツのこのような部分を記憶するのに使用される。

また他は、画素 $P_{i,j}$ の属する行 (i) の、画素 $P_{i,j}$ の前に位置する画素点によって生じる誤差影響、即ち行 (i) の画素 $P_{i,j}$ に対する現在の画素の前に位置する画素点からの誤差割当値の合計であり、各先行画素点の誤差割当値が誤差割当/蓄積レジスタファイル(3)内に記憶される。誤差割当/蓄積レジスタファイル(3)はまた、使用される誤差行メモリ(2)から読み取られた中間誤差蓄積値などの、画素処理中の中間処理値をキャッシングするのに使用される。

【0026】

50

誤差行メモリ(2)に接続された誤差行メモリ制御回路(4)は、誤差行メモリ(2)の入力及び出力を制御する。誤差割当/蓄積レジスタファイル(3)に接続された、誤差割当/蓄積レジスタファイル制御回路(5)は、誤差割当/蓄積レジスタファイル(3)の入力及び出力を制御する。

【0027】

図2に示すように、スクリーンドット生成装置(6)は、多数のスクリーンドット生成回路(10)からなる。

図3は、グレー生成回路(7)と、閾値比較回路(8)と、誤差生成回路(9)とを備えた、本発明によるスクリーンドット生成回路(10)を示している。グレー生成回路(7)の入力は、画素 $P_{i,j}$ のソース画素値、この画素に対応する誤差行メモリ内の最終誤差蓄積値、及びこの画素に対する同じ行内の画素の前の画素によって生成される誤差割当値であり、スクリーンドット生成回路の出力は最終スクリーンドット、及びこの画素を処理した後に生成される誤差割当値である。本発明の装置によると、処理可能な画素の数は、含んでいるスクリーン生成回路(10)のグループの数と同じである。

【0028】

図4は、本発明により、同じ行内のN個の近隣の画素を同時に処理する方法のフローチャートであり、以下のステップS1~S7を含む、。

S1、誤差行メモリを初期化するステップ

S2、誤差割当/蓄積レジスタファイルを初期化するステップ

S3、行列をなす画素の各行ごとに、且つ各行内のN個の近隣の(neighboring)画素からなるグループごとに、前記画素のオリジナルグレーレベル(ソース画素値)を取得し、誤差行メモリと誤差割当/蓄積レジスタファイルに記憶された値に応じてNサイトスクリーンドットを生成するステップ

S4、1つのグループ内のN個の近隣の画素が処理される毎に、誤差行メモリ及び誤差割当/蓄積レジスタファイルを更新するステップ

S5、1つの行の処理が終了したかどうかを判断し、そうでない場合、S3に進み、そうである場合S6に進むステップ

S6、誤差行メモリを再び更新するステップ

S7、画像処理が終了したかどうかを判断し、そうでない場合、S2に進み、そうである場合、処理が終了するステップ

【0029】

本発明の方法によると、同じ行内の多数の近隣の画素を同時に処理して、マルチサイトスクリーンドットを生成することができる。また、ステップS3内のスキャンはS字形であってもよい、即ち、ある行内のソース画素は左から右に処理され、次の行内のソース画素は右から左に処理される。

【第1の実施形態】

【0030】

Jarvisアルゴリズムに基づいて、2サイトスクリーンドットを同時に生成する場合を例として取り上げ(即ち、 $N=2$)、本発明による装置及び方法を以下に詳細に説明する。

【0031】

図5は、Jarvisアルゴリズムに基づいており、本発明により同じ行内の2つの隣接する画素を同時に処理することができる、高速FMスクリーンドット生成装置を示している。図5に示すように、装置(11)は、誤差行メモリ(12)、誤差割当/蓄積レジスタファイル(13)、誤差行メモリ制御回路(14)、誤差割当/蓄積レジスタファイル制御回路(15)、グレー生成回路I(16)、閾値比較回路I(17)、誤差生成回路I(18)、グレー生成回路II(19)、閾値比較回路II(20)、及び誤差生成回路II(21)の10個の部品を備えている。装置内のグレー生成回路I(16)、閾値比較回路I(17)、及び誤差生成回路I(18)は、スクリーンドット生成回路(10)の第1のグループを構成し、グレー生成回路II(19)、閾値比較回路II(20

）、及び誤差生成回路 I I (2 1) は、スクリーンドット生成回路 (1 0) の第 2 のグループを構成する。

[グレー生成回路]

【 0 0 3 2 】

図 5 に示すように、グレー生成回路 I (1 6) は、ソース画素 1 の最終グレー値を生成するために使用され、グレー生成回路 I (1 6) の入力にはソース画素 1、誤差行メモリ制御回路 (1 4) 及び誤差割当 / 蓄積レジスタファイル制御回路 (1 5) に接続され、その出力は閾値比較回路 I (1 7) 及び誤差生成回路 I (1 8) に供給される。

【 0 0 3 3 】

グレー生成回路 I I (1 9) は、ソース画素 2 の最終グレー値を生成するために使用され、グレー生成回路 I I の入力には、ソース画素 2、誤差行メモリ制御回路 (1 4) 及び誤差割当 / 蓄積レジスタファイル制御回路 (1 5) に接続され、その出力は閾値比較回路 I I (2 0) 及び誤差生成回路 I I (2 1) に供給される。

10

【 0 0 3 4 】

図 6 (A) は、本実施形態によるグレー生成回路 I (1 6) の動作原理を示している。この図に示すように、画素 1 の最終グレー値は加算器によって生成される。即ち、

画素 1 の最終グレー値 = 画素 1 のソース画素値 + 画素 1 に対応する誤差行メモリ (1 2) から読み取られた最終誤差蓄積値 + 誤差割当 / 蓄積レジスタファイル (1 3) 内でキャッシングされた、画素 1 が属する同じ行内の前に位置する画素からの誤差割当値。

20

【 0 0 3 5 】

図 6 (B) は、本実施形態によるグレー生成回路 I I (1 9) の動作原理を示している。この図に示すように、画素 2 の最終グレー値は加算器によって生成される。即ち、

画素 2 の最終グレー値 = 画素 2 のソース画素値 + 誤差行メモリ (1 2) から読み取られた画素 2 に対応する最終誤差蓄積値 + 誤差割当 / 蓄積レジスタファイル (1 3) 内でキャッシングされた、画素 2 が属する同じ行内の前に位置する画素からの誤差割当値 + 画素 1 を処理することによって生成される現在の画素 2 に対する誤差割当値。

【 0 0 3 6 】

このようにして得られた画素の最終グレー値は、スクリーンドットを生成するために閾値比較回路に運ばれ、同時に、その周囲の点に対するこの画素からの誤差割当値を得るために誤差生成回路に運ばれる。

30

【 0 0 3 7 】

上記装置が 2 つの隣接する画素を同時に処理し、2 サイトスクリーンドットを生成できる理由の一つには、スクリーンドット生成回路 (1 0) の 2 つのグループの間の密接な関係にある。図 5 及び図 6 (B) に示すように、画素 1 の誤差生成回路 I (1 8) によって出力された誤差割当値のうち画素 2 に割当てられた値は、画素 2 のグレー生成回路 I I (1 9) に直接入力され、誤差割当 / 蓄積レジスタファイル (1 3) 内に登録される必要はない。

[誤差行メモリ及びその制御回路]

【 0 0 3 8 】

誤差行メモリ (1 2) は、最終誤差蓄積値及び中間誤差蓄積値を記憶するために使用され、誤差行メモリ制御回路 (1 4) に接続され、これによって制御される。

40

【 0 0 3 9 】

J a r v i s アルゴリズムによれば、画素の誤差は次の 2 つの行内の関連画素に拡散される。従って、本実施形態の誤差行メモリは、2 行であるように構成されている。現在処理されている 2 つの隣接する画素が、 $P_{i, 5}$ 及び $P_{i, 6}$ であるとする、本発明の解決法によると、2 つの隣接する画素を同時に処理する間に、 $P_{i, 5}$ 及び $P_{i, 6}$ に対応する最終誤差蓄積値、及び次の行において 2 つの隣接する位置の画素に対応する (画素 $P_{i+1, 5}$ 及び $P_{i+1, 6}$ に対応する) 中間誤差蓄積値は、誤差行メモリから同時に読み取る必要がある。従って、誤差行メモリ内のデータは、4 つの位置、即ち画像の 1 つの

50

行の2つの隣接する位置、及び次の行の2つの隣接する位置に対応するデータが1つのユニットとしてアクセスできるように配置され、これらのユニットは、ユニット順に配置されている。

【0040】

図7(A)は、8画素の画素幅を有する誤差行メモリの略図であり、 (i, j) は誤差行メモリに記憶されたデータに対応する画素の位置を示している。

【0041】

図7(B)は、処理された画像の特定の3つの隣接する行内の画素点の一部の略図であり、 $P_{i, j}$ は行*i*及び列*j*にある画素点のことを言う。

【0042】

図7(A)に示すように、誤差行メモリの第1のユニットは、ソース画像の行*i*内の第1の画素 $P_{i, 1}$ 及び第2の画素 $P_{i, 2}$ の最終誤差蓄積値、及びソース画像の行*i*+1内の第1の画素 $P_{i+1, 1}$ 及び第2の画素 $P_{i+1, 2}$ の中間誤差蓄積値に対応し、誤差行メモリの第2のユニットはソース画像の行*i*の第3の画素 $P_{i, 3}$ 及び第4の画素 $P_{i, 4}$ の最終誤差蓄積値、及びソース画像の行*i*+1の第3の画素 $P_{i+1, 3}$ 及び第4の画素 $P_{i+1, 4}$ の中間誤差蓄積値に対応しており、誤差行メモリの最終ユニットは、ソース画像の行*i*内の第7の画素 $P_{i, 7}$ 及び第8の画素 $P_{i, 8}$ の最終誤差蓄積値、及びソース画像の行*i*+1内の第7の画素 $P_{i+1, 7}$ 及び第8の画素 $P_{i+1, 8}$ の中間誤差蓄積値に対応している。

【0043】

誤差行メモリのバス幅は、誤差行メモリの1ユニット内の4つの位置でのデータを一度に読み取る/書き込むことが可能である必要がある。誤差行メモリ内の1つの画素に対応する位置でのデータ幅が8ビットであるとする、誤差行メモリのバス幅は $4 \times 8 = 32$ ビットであるべきである。

【0044】

誤差行メモリの読取及び書込過程をこれ以下に説明する。

【0045】

Jarvisアルゴリズムによれば、行*i*内の1つの画素点の中間誤差蓄積値は行*i*-2内の5つの近隣の画素によって決まり、最終誤差蓄積値は行*i*-1内の5つの近隣の画素及び行*i*-2内の5つの近隣の画素の合計によって決まる。同様に、行*i*内の2つの近隣の画素点の中間誤差蓄積値は、行*i*-2内の6つの近隣の画素によって決まり、最終誤差蓄積値は行*i*-1内の6つの近隣の画素及び行*i*-2内の6つの近隣の画素の合計によって決まる。

【0046】

従って、図1(D)と合わせて上の説明を参照すると、 $P_{i, j}$ を処理した後に、点 $P_{i+1, j-2}$ の最終誤差蓄積値及び $P_{i+2, j-2}$ の中間誤差蓄積値を同時に決定でき、データパケットとして誤差行メモリの1つのユニット内に同時に記憶される。同様に、2つの隣接する画素点 $P_{i, j}$ 及び $P_{i, j+1}$ を処理した後に、点 $P_{i+1, j-2}$ の最終誤差蓄積値及び $P_{i+2, j-1}$ の中間誤差蓄積値を同時に決定でき、データパケットとして誤差行メモリの1つのユニット内に同時に記憶される。ちょうどこの原理に基づいて、本発明は誤差行メモリのデータ更新を行なう。

【0047】

図8は、本発明による誤差行メモリの読取及び書込過程の例示的な略図である。図7(B)及び図8に示すような実施形態を例として、これ以下に説明する。図7(B)に示す8列の画素行列の場合を例として、行*i*内の画素を処理し始める直前に誤差行メモリ内に記憶されているものは、行*i*内の画素の最終誤差蓄積値及び行*i*+1内の画素の中間誤差蓄積値である。

【0048】

画素 $P_{i, 1}$ 及び $P_{i, 2}$ が処理され始めると、画素 $P_{i, 1}$ 及び $P_{i, 2}$ の最終誤差蓄積値 $L_{i, 1}$ 及び $L_{i, 2}$ 、並びに画素 $P_{i+1, 1}$ 及び $P_{i+1, 2}$ の中間誤差蓄積

10

20

30

40

50

値 $L_{i+1,1}'$ 及び $L_{i+1,2}'$ は、誤差行メモリの第1のユニットから一度で読み取られる。 $L_{i,1}$ 及び $L_{i,2}$ は、それぞれ画素 $P_{i,1}$ 及び $P_{i,2}$ の最終グレー値を生成するために使用され、最終スクリーンドットを生成した後は使用されない。 $L_{i+1,1}'$ 及び $L_{i+1,2}'$ は誤差割当/蓄積レジスタファイル内でキャッシングされ、対応する最終誤差蓄積値 $L_{i+1,1}$ 及び $L_{i+1,2}$ を生成するために後で使用される。

【0049】

画素 $P_{i,3}$ 及び $P_{i,4}$ は、画素 $P_{i,1}$ 及び $P_{i,2}$ が処理された後に処理される。この時、画素 $P_{i,3}$ 及び $P_{i,4}$ の最終誤差蓄積値、並びに画素 $P_{i+1,3}$ 及び $P_{i+1,4}$ の中間誤差蓄積値が誤差行メモリの第2のユニットから読み取られる。同様に、最終誤差蓄積値は、画素 $P_{i,3}$ 及び $P_{i,4}$ の最終スクリーンドットを生成するのに使用され、中間誤差蓄積値は誤差割当/蓄積レジスタファイル内でキャッシングされる。

10

【0050】

画素 $P_{i,3}$ 及び $P_{i,4}$ が処理されると、画素 $P_{i,3}$ 及び $P_{i,4}$ の誤差割当値が提供され、その結果、図7(B)の破線ブロックa内の4つの画素の最終誤差蓄積値及び中間誤差蓄積値を決定でき、更新データとして誤差行メモリの第1のユニットに記憶され、また、誤差行メモリ内のこの番地内のコンテンツは、行 i のこれ以降の誤差処理中に変更されない。

【0051】

その後、画素 $P_{i,5}$ 及び $P_{i,6}$ が処理される。同様に画素 $P_{i,5}$ 及び $P_{i,6}$ が処理された場合、破線ブロックb内の4つの画素の最終誤差蓄積値及び中間誤差蓄積値を決定でき、その後、更新データとして誤差行メモリの第2のユニットに記憶される。

20

【0052】

行 i 内の最後の2つの画素 $P_{i,7}$ 及び $P_{i,8}$ が処理された場合、破線ブロックc内の4つの画素の最終誤差蓄積値及び中間誤差蓄積値だけでなく、破線ブロックd内の4つの画素の最終誤差蓄積値及び中間誤差蓄積値を決定できることが分かる。

【0053】

従って、データ更新を2回行なうために、誤差行メモリに対して2つの読取及び書込動作を行なう必要がある。誤差行メモリ内の更新データ算出方法を、例によりこれ以下に説明する。

30

【0054】

現在処理されている画素が $P_{i,5}$ 及び $P_{i,6}$ であるとする、画素 $P_{i,5}$ 及び $P_{i,6}$ を処理した後の誤差割当値はそれぞれ、 $E_{i,5}D_1$ 、 $E_{i,5}D_2$ 、 $E_{i,5}D_3$ 、 $E_{i,5}D_4$ 、並びに、 $E_{i,6}D_1$ 、 $E_{i,6}D_2$ 、 $E_{i,6}D_3$ 、及び $E_{i,6}D_4$ によって示される。(ここで、 $E_{i,5}$ 及び $E_{i,6}$ はそれぞれ、画素 $P_{i,5}$ 及び $P_{i,6}$ から拡散させる必要がある誤差 E である。) 従って、破線ブロックb内の4つの画素の最終誤差蓄積値及び中間誤差蓄積値 $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}'$ 、及び $L_{i+2,4}'$ は以下のように示される。

$$\begin{aligned} L_{i+1,3} &= L_{i+1,3}' + E_{i,1}D_2 + E_{i,2}D_3 + E_{i,3}D_4 \\ + E_{i,4}D_3 + E_{i,5}D_2 \\ L_{i+1,4} &= L_{i+1,4}' + E_{i,2}D_2 + E_{i,3}D_3 + E_{i,4}D_4 \\ + E_{i,5}D_3 + E_{i,6}D_2 \\ L_{i+2,3}' &= E_{i,1}D_1 + E_{i,2}D_2 + E_{i,3}D_3 + E_{i,4}D_2 + \\ E_{i,5}D_1 \\ L_{i+2,4}' &= E_{i,2}D_1 + E_{i,3}D_2 + E_{i,4}D_3 + E_{i,5}D_2 + \\ E_{i,6}D_1 \end{aligned}$$

40

式中、 $L_{i+1,3}'$ 及び $L_{i+1,4}'$ はそれぞれ、行 $(i-1)$ の画素からの、画素 $P_{i+1,3}$ 及び $P_{i+1,4}$ に対する中間誤差値である。

50

【 0 0 5 5 】

一般的に言えば、現在の行の処理した画素に対応する誤差行メモリ内の最終誤差蓄積値は、画素の最終ドットが生成された後には使用されず、中間誤差蓄積値は、誤差割当/蓄積レジスタファイル内に記憶される。従って、誤差行メモリ内の書き込まれたユニットにおいて、第1の2つの位置の内容は現在処理されている行の次の行の2つの隣接する画素に対応する最終誤差蓄積値であり、次の2つの位置の内容は現在処理されている行の2つ後の行の2つの隣接する画素に対応する中間誤差蓄積値である。従って、誤差行メモリは、初期値を0に設定した上で、2つの行を繰り返し使用できる。

【 0 0 5 6 】

一方、現在処理されている画素 ($P_{i,5}$ 及び $P_{i,6}$ を例とすると) の誤差割当値に加えて、 $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}$ ' 及び $L_{i+2,4}$ ' に影響を与える他の関連値 (即ち、画素 $P_{i,1}$ 、 $P_{i,2}$ 、 $P_{i,3}$ 及び $P_{i,4}$ からの誤差割当値及び中間誤差蓄積値 $L_{i+1,3}$ ' 及び $L_{i+1,4}$ ') は、誤差割当/蓄積レジスタファイル内に記憶されている。従って、 $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}$ ' 及び $L_{i+2,4}$ ' の算出及び書込は誤差行メモリを再び読み取ることなく完了できる。

本発明の誤差行メモリのパス幅が誤差行メモリ内の4つの位置の少なくともデータ幅である場合、1つのユニット内の4つの値 $L_{i,5}$ 、 $L_{i,6}$ 、 $L_{i+1,5}$ ' 及び $L_{i+1,6}$ ' (それぞれ、図7(B)の $P_{i,5}$ 、 $P_{i,6}$ 、 $P_{i+1,5}$ 及び $P_{i+1,6}$ に対応する) の読取は、メモリ上の1回の読取動作のみで完了し、また別のユニット内の4つの値 $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}$ ' 及び $L_{i+2,4}$ ' (図7(B)内の破線ブロックb内の画素に対応する) の書込は、メモリ上の1回の書込動作のみで完了する。従って、本発明による装置を使用した2つの隣接する画素 $P_{i,5}$ 及び $P_{i,6}$ の処理中に、 $L_{i,5}$ 、 $L_{i,6}$ 、 $L_{i+1,5}$ ' 及び $L_{i+1,6}$ ' を読み取るには、メモリ上で1回の読取動作だけが必要であり、 $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}$ ' 及び $L_{i+2,4}$ ' を書き込むには、メモリ上で1回の書込動作だけが必要であり、それによってスクリーンショット生成速度が格段に向上する。

【 0 0 5 7 】

図9は、読取アドレスレジスタ、書込アドレスレジスタ、読取/書込制御回路、及び書込データ生成回路を備えた、本発明による装置の誤差行制御回路(14)のブロック図である。読取アドレスレジスタ及び書込アドレスレジスタ内に記憶されたコンテンツ(即ち、アドレス)は、現在処理されている2つの画素内の第1の画素 ($P_{i,5}$ であるとする) の座標(アドレス)に合わせて生成され、書込データ生成回路は加算器からなり、現在の2つの隣接する画素 $P_{i,5}$ 及び $P_{i,6}$ を処理することによって生成される誤差割当値、同じ行の画素 $P_{i,5}$ 及び $P_{i,6}$ の前の位置にある画素によって生成される(誤差割当/蓄積レジスタファイルに記憶された)誤差割当値、(誤差割当/蓄積レジスタファイルに記憶された)関連する中間誤差蓄積値に従って、誤差行メモリ内に一回で書き込むべきデータを提供し、読取/書込制御回路は、誤差行メモリの読取/書込制御信号を生成する。

【 0 0 5 8 】

読取アドレスレジスタ及び書込アドレスレジスタ内に記憶された読取アドレス又は書込アドレスの決定は、例により以下に説明する。例示的な実施例としては、読取アドレスを $2 \times j - 1$ 、書込アドレスを $2 \times (j - 2) - 1$ と設定する。ここで、 j は現在処理されている画素のうち第1の画素の列数であり、 $j = 1, 2, \dots, n$ である。上記アドレスはバイトアドレスである。例として現在処理されている画素のうち第1の画素 $P_{i,5}$ の列数は、 $j = 5$ であるから、読取アドレスは $2 \times 5 - 1 = 9$ であり、現在の読取アドレスから始まる1ユニット内の4つの連続位置から一度にデータ $L_{i,5}$ 、 $L_{i,6}$ 、 $L_{i+1,5}$ ' 及び $L_{i+1,6}$ ' を読み取る。一方、書込アドレスは $2 \times (5 - 2) - 1 = 5$ であり、書込データ生成回路が、現在の行の次の行、及び現在の行の2つ後の行の2つの隣接する位置にある画素にそれぞれ対応する書込データ $L_{i+1,3}$ 、 $L_{i+1,4}$ 、 $L_{i+2,3}$ '、及び $L_{i+2,4}$ ' (その算出方法は上述したとおりである) を生成し

10

20

30

40

50

、現在の書込アドレスから始まる1つのユニット内の4つの連続位置内に上記書込データを一度に書き込む。

[誤差割当 / 蓄積レジスタファイル及びその制御回路]

【 0 0 5 9 】

誤差割当 / 蓄積レジスタファイル (1 3) は、誤差割当値及び中間誤差割当値をキャッシングする、ハードウェアトリガからなり、誤差割当 / 蓄積レジスタファイル制御回路 (1 5) に接続され、これによって制御される。

【 0 0 6 0 】

図 1 0 は、同じ行内の現在処理されている画素の前の4つの隣接する画素の誤差割当値全て、及び現在処理されている行の次の行内の2つの画素のために読み取られた中間誤差蓄積値を含む、本実施形態による誤差割当 / 蓄積レジスタファイルの略図である。

【 0 0 6 1 】

前の説明から、誤差行メモリを更新するために本発明による方法での最終誤差蓄積値及び中間誤差蓄積値を算出する間に、現在の行内の最大6つの近隣の画素の誤差割当値が必要であり、それによって誤差割当レジスタファイルは、現在処理されている2つの隣接する画素によって生成される誤差割当値と共に、誤差行メモリ内で、次の行内、及び現在処理されている行の次の2行内の対応する画素の最終誤差蓄積値及び中間誤差蓄積値を更新するため、即ち、誤差行メモリ内の現在処理されている画素に対応するユニットの前のユニット内の4つの位置で値を更新するために使用される、同じ行内の現在処理されている画素の前の4つの近隣の画素の誤差割当値を全て記憶する必要がある。Farvisアルゴリズムから、現在の行の次の行の最終誤差値は誤差行メモリ内のオリジナル値、及び現在の行の処理が開始する前に現在の行が0となった後の第2の行の誤差値に関連し、それによって誤差蓄積レジスタファイルは、現在の行の次の行の2つの中間誤差蓄積値を記憶する必要があるだけであることが容易に分かる。

【 0 0 6 2 】

本実施形態では、図 1 0 に示すように、誤差割当 / 蓄積レジスタファイル (1 3) は、4つの近隣の画素の誤差割当値全て、及び現在処理されている行の次の行の2つの中間誤差蓄積値をキャッシングすることができ、 $P_{i, 5}$ 及び $P_{i, 6}$ が2つの現在処理されている隣接する画素であるとする、 $E_{i, m} D_n$ ($m = 1 \dots 4, n = 1 \dots 4$) は、同じ行内の $P_{i, 5}$ 及び $P_{i, 6}$ の前に位置する4つの近隣の画素 $P_{i, 1} \sim P_{i, 4}$ からの誤差割当値全てを示し、 $L_{i+1, 3}$ ' 及び $L_{i+1, 4}$ ' は、画素 $P_{i, 3}$ 及び $P_{i, 4}$ の処理中に読み取られた中間誤差蓄積値を示している。

【 0 0 6 3 】

図 1 1 は、本発明による装置内の誤差割当 / 蓄積レジスタファイル制御回路のマルチプレクサの作動原理の略図である。誤差割当 / 蓄積レジスタファイル制御回路は、 n 個のマルチプレクサを介して各処理期間において一回誤差割当 / 蓄積レジスタファイルを更新し、各行を処理する前に初期化及びリセットを行い、 n は誤差割当 / 蓄積レジスタファイル内のレジスタの数である、即ち、誤差割当 / 蓄積レジスタファイル内の各レジスタは同じ構造を備えた1つのマルチプレクサを備えており、この実施形態では、図 1 0 に示したように、 $n = 18$ である。マルチプレクサの入力は、現在処理されている画素の誤差割当値全て、現在の画素の処理中に読み取られた中間誤差蓄積値、及び誤差割当 / 蓄積レジスタファイルのオリジナル値を含んでおり、マルチプレクサの出力は、誤差割当 / 蓄積レジスタファイル内のレジスタの更新値である。

【 0 0 6 4 】

誤差割当 / 蓄積レジスタファイルのデータ更新を、本発明による方法と合わせて、以下に説明する。

【 0 0 6 5 】

図 1 2 は、本発明による誤差割当 / 蓄積レジスタファイル内のデータを更新する過程の略図であり、 $E_{i, j} D_n$ ($n = 1 \dots 4$) は行 i 内の画素 j の誤差割当値を示している。現在処理されている画素 $P_{i, 5}$ 及び $P_{i, 6}$ を例としてとると、2つの現在の隣接

10

20

30

40

50

する画素の誤差割当値 $E_{i,5} D_n$ 及び $E_{i,6} D_n$ 及び (図 12 に示す列 2 内の) $E_{i,3} D_n$ 及び $E_{i,4} D_n$ に対応する、現在の行に隣接する行から読み取られた中間誤差蓄積値 $L_{i+1,5}'$ 及び $L_{i+1,6}'$ をレンダリングした後に、マルチプレクサはそれぞれ、 $L_{i+1,3}'$ 及び $L_{i+1,4}'$ に対応する (図 12 の現在の列内の) $E_{i,5} D_n$ 及び $E_{i,6} D_n$ を出力し、次に、マルチプレクサはそれぞれ、(図 12 に示す列 1 内の) $E_{i,1} D_n$ 及び $E_{i,2} D_n$ に対応する出力 $L_{i+1,5}'$ 及び $L_{i+1,6}'$ を出力し、さらに、マルチプレクサはそれぞれ (図 12 の列 2 内の) $E_{i,3} D_n$ 及び $E_{i,4} D_n$ を出力する。誤差割当 / 蓄積レジスタファイル内の列は、比喩的に言えば、逐次前進するように更新される。

[スクリーンショット生成方法]

【0066】

本実施形態では、2つの現在処理されている画素が $P_{i,5}$ 及び $P_{i,6}$ であるとする、マルチサイト FM スクリーンショット生成方法は以下のステップを含んでいる。

【0067】

ステップ 1) 行 i 内の 2つの隣接するソース画素、即ち $P_{i,5}$ 及び $P_{i,6}$ を取得する。

【0068】

ステップ 2) 誤差行メモリから一度に 1 ユニット内の 4つの位置の誤差値、即ち、 $P_{i,5}$ 及び $P_{i,6}$ に対応する最終誤差蓄積値 $L_{i,5}$ 及び $L_{i,6}$ 、並びに、画素 $P_{i+1,5}$ 及び $P_{i+1,6}$ に対応する中間誤差蓄積値 $L_{i+1,5}'$ 及び $L_{i+1,6}'$ を読み取る。

【0069】

ステップ 3)

誤差割当 / 蓄積レジスタファイルのコンテンツから現在処理されている画素のうちの第 1の画素 $P_{i,5}$ では、同じ行内の画素の全ての先行処理によって生成される画素 $P_{i,5}$ に割り当てる誤差によってレンダリングされる誤差割当値の合計である S_1 を算出し ($S_1 = E_{i,3} D_3 + E_{i,4} D_4$)、

その後、画素 $P_{i,5}$ の最終グレー値を算出し (ここで、画素 $P_{i,5}$ の最終グレー値 = $P_{i,5}$ のソース画素値 1 + $L_{i,5}$ + S_1)、この最終グレー値を、画素 $P_{i,5}$ の最終スクリーンショット 1 を生成するための閾値と比較して画素 $P_{i,5}$ の最終スクリーンショット 1 を生成し、

次に、その周囲画素点に対する画素 $P_{i,5}$ の誤差割当値を算出し、そのうちの画素 $P_{i,5}$ の誤差割当値 $E_{i,5} D_4$ を第 2の画素点 $P_{i,6}$ にトランスポートする。

【0070】

一方、現在処理されている画素のうちの第 2の画素 $P_{i,6}$ では、同じ行内の画素の全ての先行処理によって生成される画素 $P_{i,6}$ に割り当てる誤差によってレンダリングされる誤差割当値の合計である S_2 を算出し ($S_2 = E_{i,4} D_3 + E_{i,5} D_4$)、

その後、画素 $P_{i,6}$ の最終グレー値を算出し (ここで、画素 $P_{i,6}$ の最終グレー値 = $P_{i,6}$ のソース画素値 2 + $L_{i,6}$ + S_2)、この最終グレー値を、画素 $P_{i,6}$ の最終スクリーンショット 2 を生成するための閾値と比較して画素 $P_{i,6}$ の最終スクリーンショット 2 を生成し、

次に、その周囲画素点に対する画素 $P_{i,6}$ の誤差割当値を算出する。

【0071】

ステップ 4)

誤差行メモリ及び誤差割当 / 蓄積レジスタファイルのデータ更新を行なう、即ち、誤差割当 / 蓄積レジスタファイル内に記憶された画素 $P_{i,1} \sim P_{i,6}$ の誤差割当値及び中間誤差蓄積値 $L_{i+1,3}'$ 及び $L_{i+1,4}'$ に従って、最終誤差蓄積値 $L_{i+1,3}$ 及び $L_{i+1,4}$ 及び中間誤差蓄積値 $L_{i+2,3}'$ 及び $L_{i+2,4}'$ を算出し、誤差行メモリのデータ更新を実現するために誤差行メモリ内に算出結果を書き込む。

【0072】

10

20

30

40

50

ステップ2で読み取った中間誤差蓄積値 $L_{i+1,5}$ 及び $L_{i+1,6}$ 、並びにステップ3で得られた画素 $P_{i,5}$ 及び $P_{i,6}$ の誤差割当値を誤差割当/蓄積レジスタファイル内に記憶させ、逐次前進するように誤差割当/蓄積レジスタファイルを更新する。

【0073】

本実施形態による特定の実施装置では、閾値比較回路 I (17) は、スクリーンドット1を生成するために、グレー生成回路 (16) によって生成されたグレー値を閾値と比較するのに使用される。

閾値比較回路 II (20) は、スクリーンドット2を生成するために、グレー生成回路 II (19) によって生成されたグレー値を閾値と比較するのに使用される。

誤差生成回路 I (18) は、グレー生成回路 I (16) によって生成されたグレー値から、計算又はテーブル検索を介して現在の画素1の誤差割当値を生成し、結果を誤差行メモリ制御回路 (14)、誤差割当/蓄積レジスタファイル制御回路 (15)、及びグレー生成回路 II (19) に出力するために使用される。

誤差生成回路 II (21) は、グレー生成回路 II (19) によって生成されたグレー値から、計算又はテーブル検索を介して現在の画素2の誤差割当値を生成し、結果を誤差行メモリ制御回路 (14) 及び誤差割当/蓄積レジスタファイル制御回路 (15) に出力するために使用される。

誤差行メモリ制御回路 (14) 及び誤差割当/蓄積レジスタファイル制御回路 (15) はそれぞれ、誤差行メモリ (12) 及び誤差割当/蓄積レジスタファイル (13) のデータ更新を行なうために使用される。

【第2の実施形態】

【0074】

Nサイトドットを同時に生成する必要がある場合、装置構成は上述の2サイトスクリーンドットの場合と類似しており、図2に示したように、違いは、実現に当たって、スクリーンドット生成装置 (6) が、N個のグループのスクリーンドット生成回路 (10) からなるということにある。

その際、同じ行内のN個の近隣のソース画素が一度に取得され、現在のN個のソース画素値、並びに、誤差行メモリ (2) 及び誤差割当/蓄積レジスタファイル (3) 内に記憶されたデータによってNサイトスクリーンドットが生成される。

【0075】

一度のデータ読取及び記憶の需要に応じるためには、誤差行メモリのバス幅、及び誤差割当/蓄積レジスタファイルの容量をさらに大きくする必要のあることを当業者は理解すべきである。同時に処理されるべき現在の画素の数がNであり、誤差行メモリ内の1つの位置でのデータ幅がWであり、1つの画素の誤差を拡散することができる行の数がH (現在の行を含む) であるとする、誤差行メモリの最小バス幅は、 $N \times W \times (H - 1)$ となる。誤差割当/蓄積レジスタファイルの容量は、1つの画素の処理に伴う誤差が拡散されるべき近隣の画素の最大数に依存し、採用した誤差拡散アルゴリズムにより決まる。

【0076】

特に、現在のN個の画素のグレー値、誤差行メモリの値、及び誤差割当/蓄積レジスタファイルの値により、Nサイトスクリーンドットを生成する方法は以下のステップを含んでいる。

【0077】

ステップ1)

N個のグループのスクリーンドット生成回路が、行i内のN個の近隣のソース画素のグレー値を同時に取得し、行i内の現在のN個の近隣の画素に応じた最終誤差蓄積値、及び行(i+1)~行(i+H-2)の、直接対応する位置でのN個の近隣の画素の中間誤差蓄積値を誤差行メモリから一度に読み取る。

【0078】

ステップ2)

現在処理されているN個の近隣のソース画素のうち第1の画素 $P_{i,j}$ (jは列番数の

10

20

30

40

50

ことを言う)に関して、 S_1 をレンダリングする。ここで、 S_1 は、誤差割当レジスタファイル内に記憶されたデータを用いて、同じ行内で全ての先行する画素を処理することによって生成される誤差を全てこの画素に割り当てることによってレンダリングされる誤差値の合計である。

【0079】

第1のグループのスクリーンドット生成回路は、現在処理されている画素のうちの第1の画素 $P_{i,j}$ に対応する最終誤差蓄積値 $L_{i,j}$ に、この S_1 を加え、次に、ステップ1で取得された第1のソース画素のグレー値を加えて、第1の画素 $P_{i,j}$ の最終画素グレー値を得、これを閾値と比較して第1の画素の最終スクリーンドットを生成すると共に、その周辺画素点に対する画素 $P_{i,j}$ の誤差割当値を算出する。

10

【0080】

同時に、現在処理されている画素のうちの第2の画素 $P_{i,j+1}$ に関して、 S_2 をレンダリングする。ここで、 S_2 は、誤差割当/蓄積レジスタファイルに記憶されたデータを用いて、同じ行内の画素 $P_{i,j}$ の前の画素全てによって生成される誤差全てをこの画素に割り当てることによってレンダリングされる誤差割当値の合計をレンダリングし、その後、上記第1の画素 $P_{i,j}$ を処理することによって生成される誤差を画素 $P_{i,j+1}$ に割り当てることによってレンダリングされる誤差割当値の合計である。

【0081】

第2のグループのスクリーンドット生成回路は、現在処理されている画素のうちの第2の画素 $P_{i,j+1}$ に対応する最終誤差蓄積値 $L_{i,j+1}$ に、この S_2 を加え、次に、ステップ1で取得された第2のソース画素のグレー値を加えて、第2の画素 $P_{i,j+1}$ の最終画素グレー値を得、これを閾値と比較して第2の画素の最終スクリーンドットを生成すると共に、その周辺画素点に対する画素 $P_{i,j+1}$ の誤差割当値を算出する。

20

【0082】

同様に、現在処理されている画素のうちの第M番目の画素 $P_{i,j+M-1}$ ($2 < M < N$)に関して、 S'_M をレンダリングする。ここで、 S'_M は、誤差割当レジスタファイルに記憶されたデータを用いて、同じ行内の画素 $P_{i,j}$ の前の画素全てによって生成された誤差全てをこの第M番目の画素に割り当てることによってレンダリングされる誤差割当値の合計である。

その後、 S''_M をレンダリングする。ここで、 S''_M は、第1～第(M-1)番目の画素によって生成された誤差全てを第M番目の画素に割り当てることによってレンダリングされる誤差割当値全ての合計である。

30

次に、この S'_M と S''_M を加えて、同じ行内のM番目の画素の前の画素全てによって生成される誤差全てを第M番目の画素に割り当てることによってレンダリングされる誤差割当値の合計である S_M をレンダリングする。

【0083】

現在のN個の近隣の画素を処理した後に、この方法は以下のステップを含んでいる。

【0084】

ステップ1)

現在処理されている画素それぞれの最終画素グレー値及び閾値に従って、現在のN個の近隣の画素によって生成される誤差を全ての近隣の画素に割り当てることによって値 $E_{i,k}D_n$ をレンダリングする($E_{i,k}D_n$ は、現在処理されている画素のうちのK番目の画素によって生成される誤差割当値のグループのことを言い、 $1 \leq K \leq N$ であり、Jarvisアルゴリズムでは、 $n = 1 \sim 4$ である)。

40

【0085】

ステップ2)

誤差割当/蓄積レジスタファイル内のコンテンツ、及び現在のN個の近隣の画素を処理することによって生成される誤差割当値に従って、行($i+1$)内のN個の近隣の位置 $P_{i+1,j-N} \sim P_{i+1,j-1}$ での最終誤差蓄積値、及び行($i+2$)～行($i+H-2$)内の、N個の近隣の位置の画素($P_{i+2,j-N} \sim P_{i+2,j-1}$)～N個の

50

近隣の位置の画素 ($P_{i+H-2, j-N} \sim P_{i+H-2, j-1}$) の中間誤差蓄積値をレンダリングする。これらは、一度に誤差行メモリ内の対応する位置に書き込まれる。

【0086】

ステップ3)

誤差割当レジスタファイル内の1つの列内に各N個の近隣の画素の誤差割当値全てを配置し、N個の画素の先行列の誤差割当値をN個の近隣の画素の後続列の誤差割当値となるように逐次更新し、最後にN個の近隣の画素の最終列の誤差割当値を現在のN個の画素の誤差割当値となるように更新する。

【0087】

ステップ4)

現在のN個の近隣の画素に応じて次の行の位置でN個の近隣の画素 $P_{i+1, j} \sim P_{i+1, j+N-1}$ のものとなるようにオリジナルのN個の近隣の画素 $P_{i+1, j-N} \sim P_{i+1, j-1}$ の中間誤差蓄積値を更新する。

【0088】

本発明の好ましい実施形態のみを上記に記載したものであり、本発明をこれに限定するものと解釈すべきではない。上記装置の様々な部分、及びその間の接続関係は例示的なものであり、当業者は本発明の精神から逸脱することなく様々な変更及び置換ができることを理解すべきである。加えて、上記方法は単に本発明の好ましい解決法であり、特定の状況によって方法のステップに対して当業者は適切な選択及び最適化できる。

【0089】

例えば、誤差行メモリ内のデータを更新する上記方法では、いずれの画像の行においても、最初及び最後の画素の処理中に誤差行メモリを更新する方法が紹介されている、即ち、誤差行メモリは（現在更新されたデータが生成されるときに）各行内の最初の2つの画素を処理中に更新されず、各行内の最後の2つの画素の処理中に2度更新される。しかし当業者ならば、多くの他のデータ更新方法が存在することを理解できるであろう。

【0090】

例えば、誤差行メモリの最前部の1つのユニットが残され、各行内の最初の2つの画素を処理する間にリフレッシュされ、効果的な最終誤差蓄積値及び中間誤差蓄積値が誤差行メモリの第2のユニットから記憶される。また、例えば、誤差行メモリは、各行内の最後の2つの画素を処理した後一度リフレッシュすることができ、その後、各行の後に2つのブランクドットを処理し、誤差行メモリの最終ユニットをリフレッシュすることができる。

【0091】

加えて、本発明により一度に2サイトスクリーンドットを同時に生成する装置の実施形態が、誤差が12個の近隣の位置に拡散されるJarvisアルゴリズムに関連して記載されているが、本発明はまた、他の誤差拡散アルゴリズム、及び3つ以上のスクリーンドットを同時に生成する装置に適用することができる。従って、本発明の精神及び原理内のあらゆる変更、等価置換、改良などは、本発明の保護の範囲内に含まれるべきものである。

【符号の説明】

【0092】

1、11 高速FMスクリーンドット装置、マルチサイトFMスクリーンドットを同時に生成する装置

2、12 誤差行メモリ

3、13 誤差割当/蓄積レジスタファイル

4、14 誤差行メモリ制御回路

5、15 誤差割当/蓄積レジスタファイル制御回路

6 スクリーンドット生成装置

7 グレー生成回路

8 閾値比較回路

10

20

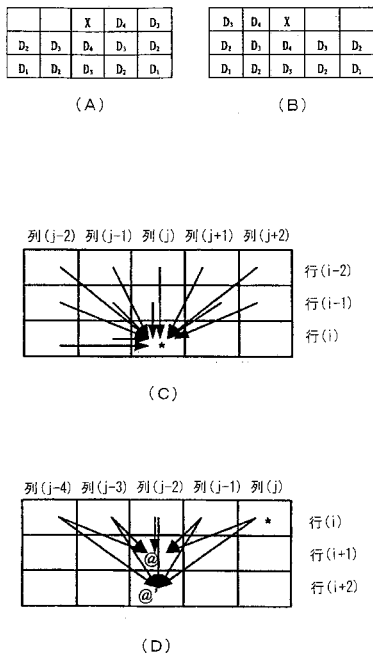
30

40

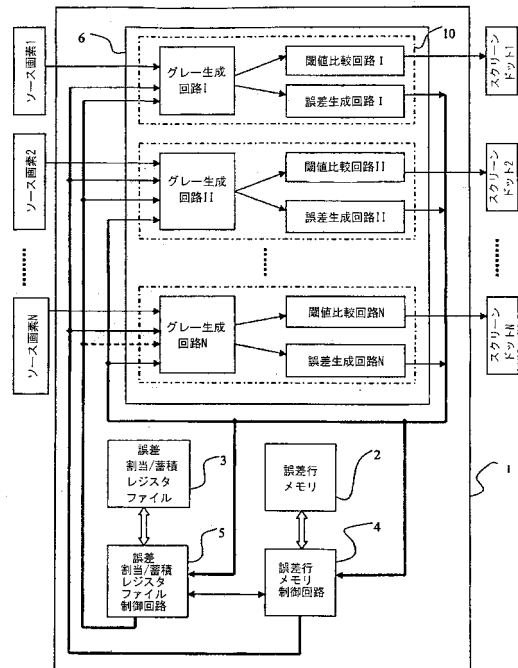
50

- 9 誤差生成回路
- 10 スクリーンドット生成回路
- 16、19 グレー生成回路 I、II
- 17、20 閾値比較回路 I、II
- 18、21 誤差生成回路 I、II

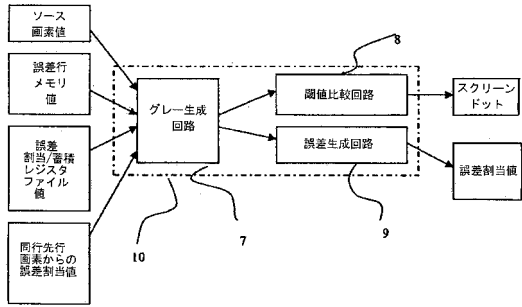
【図1】



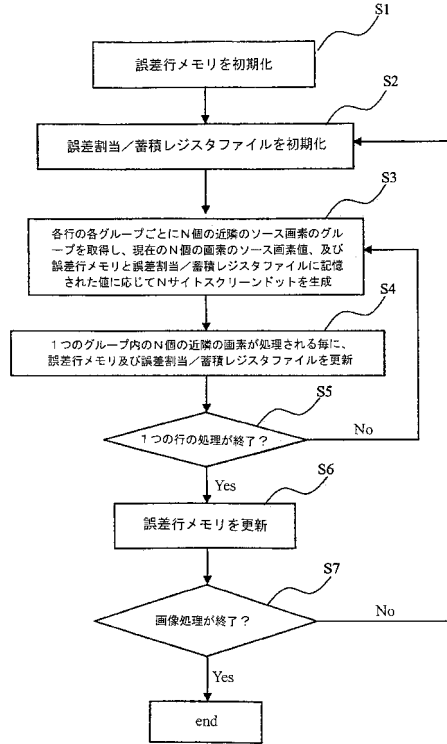
【図2】



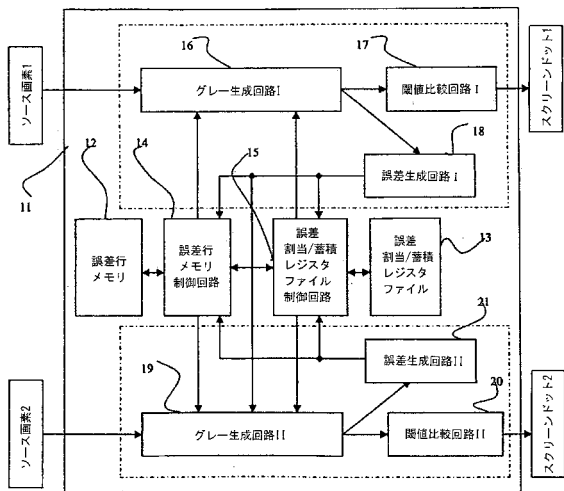
【図3】



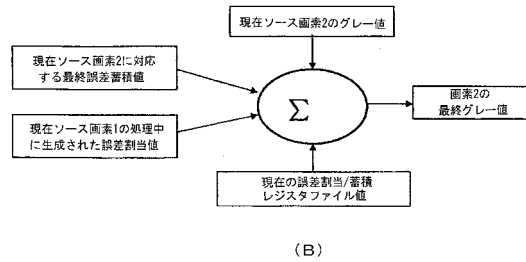
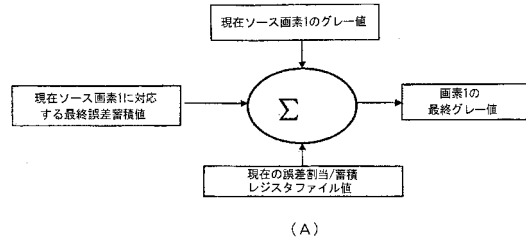
【図4】



【図5】



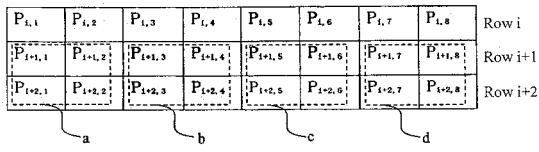
【図6】



【 図 7 】

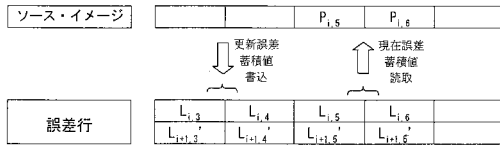
| | | | | | | | |
|----------|----------|----------|----------|----------|----------|----------|----------|
| (i, 1) | (i, 2) | (i, 3) | (i, 4) | (i, 5) | (i, 6) | (i, 7) | (i, 8) |
| (i+1, 1) | (i+1, 2) | (i+1, 3) | (i+1, 4) | (i+1, 5) | (i+1, 6) | (i+1, 7) | (i+1, 8) |

(A)

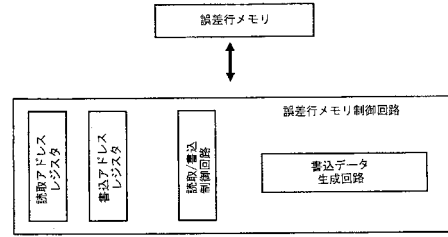


(B)

【 図 8 】



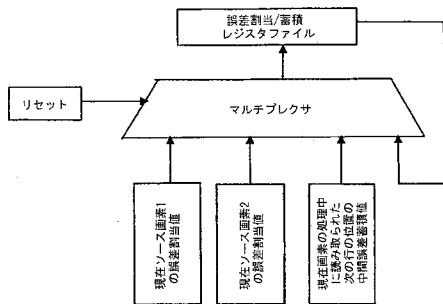
【 図 9 】



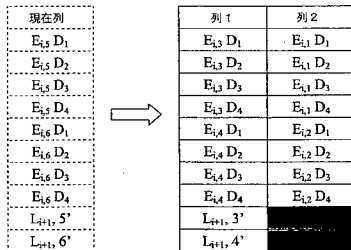
【 図 10 】

| 列1 | 列2 |
|---------------|---------------|
| $E_{i,3} D_1$ | $E_{i,1} D_1$ |
| $E_{i,3} D_2$ | $E_{i,1} D_2$ |
| $E_{i,3} D_3$ | $E_{i,1} D_3$ |
| $E_{i,3} D_4$ | $E_{i,1} D_4$ |
| $E_{i,4} D_1$ | $E_{i,2} D_1$ |
| $E_{i,4} D_2$ | $E_{i,2} D_2$ |
| $E_{i,4} D_3$ | $E_{i,2} D_3$ |
| $E_{i,4} D_4$ | $E_{i,2} D_4$ |
| $L_{i+1,3}$ | |
| $L_{i+1,4}$ | |

【 図 11 】



【 図 12 】



【 國際調查報告 】

| INTERNATIONAL SEARCH REPORT | | International application No. PCT/CN2007/002729 |
|---|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER | | |
| H04N 1/405(2006.01) i | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) | | |
| IPC: H04N, G09G | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| CNPAT, WPI, EPODOC, CNKI, IEEE, gray, pixel, image, error, diffusion, diffuse, register, memory, stack, neighboring, web, point, accumulat+, multi. | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US5615021A (Qian Lin) 25 Mar. 1997(25.03.1997) The whole document | 1-13 |
| A | KR20030000031A (LG ELECTRONICS INC.) 6 Jan. 2003(06.01.2003) The whole document | 1-13 |
| A | EP0602854A2 (XEROX CORPORATION) 22 Jun. 1994(22.06.1994) The whole document | 1-13 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family |
| Date of the actual completion of the international search 7 Dec. 2007(07.12.2007) | | Date of mailing of the international search report 27 Dec. 2007 (27.12.2007) |
| Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451 | | Authorized officer: YANG, Zhen Telephone No. (86-10) 62413360 |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2007/002729

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|------------------|---------------|------------------|
| US5615021A | 25.03.1997 | EP0670653A1 | 06.09.1995 |
| | | JP7283943A | 27.10.1995 |
| | | CN1118903A | 20.03.1996 |
| | | DE69521638E | 16.08.2001 |
| | | CN1085000C | 15.05.2002 |
| KR20030000031A | 06.01.2003 | NONE | |
| EP0602854A2 | 22.06.1994 | US5321525A | 14.06.1994 |
| | | JP6233121A | 19.08.1994 |
| | | DE69309409E | 07.05.1997 |

| 国际检索报告 | | 国际申请号 PCT/CN2007/002729 |
|--|--|---|
| A. 主题的分类 | | |
| H04N 1/405(2006.01) i | | |
| 按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类 | | |
| B. 检索领域 | | |
| 检索的最低限度文献(标明分类系统和分类号) | | |
| IPC: H04N, G09G, | | |
| 包含在检索领域中的除最低限度文献以外的检索文献 | | |
| 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) | | |
| CNPAT, WPI, EPODOC, CNKI, IEEE, 灰度, 误差扩散, 寄存器, 存储, 内存, 调频, 堆栈, 像素, 图像, 误差, 差错, 相邻, 累积, gray, pixel, image, error, diffusion, diffuse, register, memory, stack, neighboring, web, point, accumulatt+, multi. | | |
| C. 相关文件 | | |
| 类 型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 |
| A | US5615021A (Qian Lin) 25.3月 1997(25.03.1997) 全文 | 1-13 |
| A | KR20030000031A (LG ELECTRONICS INC.) 6.1月 2003(06.01.2003) 全文 | 1-13 |
| A | EP0602854A2 (XEROX CORPORATION) 22.6月 1994(22.06.1994) 全文 | 1-13 |
| <input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。 | | |
| * 引用文件的具体类型: | | |
| “A” 认为不特别相关的表示了现有技术一般状态的文件 | | “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 |
| “E” 在国际申请日的当天或之后公布的在先申请或专利 | | “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 |
| “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 | | “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 |
| “O” 涉及口头公开、使用、展览或其他方式公开的文件 | | “&” 同族专利的文件 |
| “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 | | |
| 国际检索实际完成的日期 7.12月 2007(07.12.2007) | 国际检索报告邮寄日期 27.12月 2007 (27.12.2007) | |
| 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451 | 授权官员 杨震 电话号码: (86-10) 62413360 | |

| 国际检索报告 关于同族专利的信息 | | | 国际申请号 PCT/CN2007/002729 |
|---------------------|------------|-------------|----------------------------|
| 检索报告中引用的 专利文件 | 公布日期 | 同族专利 | 公布日期 |
| US5615021A | 25.03.1997 | EP0670653A1 | 06.09.1995 |
| | | JP7283943A | 27.10.1995 |
| | | CN1118903A | 20.03.1996 |
| | | DE69521638E | 16.08.2001 |
| | | CN1085000C | 15.05.2002 |
| KR20030000031A | 06.01.2003 | NONE | |
| EP0602854A2 | 22.06.1994 | US5321525A | 14.06.1994 |
| | | JP6233121A | 19.08.1994 |
| | | DE69309409E | 07.05.1997 |

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
B 4 1 J 3/00 A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(71)出願人 507232478
北京大学
PEKING UNIVERSITY
中華人民共和国北京市 海 淀区 頤 和 園 路5号
No. 5, Yiheyuan Road, Haidian District, Beijing 100871, China

(71)出願人 507232456
北京北大方正 電 子有限公司
BEIJING FOUNDER ELECTRONICS CO., LTD.
中華人民共和国北京市 海 淀区上地五街9号方正大厦
Founder Building, No. 9, Shangdiwu Street, Haidian District, Beijing 100085, China

(74)代理人 110000051
特許業務法人共生国際特許事務所

(72)発明者 チェン, ファン
中華人民共和国北京市 海 淀区上地五街9号方正大厦

(72)発明者 リュー, チーホン
中華人民共和国北京市 海 淀区上地五街9号方正大厦

(72)発明者 ウェン, シャオフイ
中華人民共和国北京市 海 淀区上地五街9号方正大厦

(72)発明者 チュー, ウエイ
中華人民共和国北京市 海 淀区上地五街9号方正大厦

F ターム(参考) 2C262 AB07 BB08 GA12
5B057 AA20 CA02 CA08 CA12 CA16 CB02 CB07 CB12 CB16 CC01
CE13
5C077 LL18 MP01 NN14 PP62 RR08 TT02
5C080 BB05 DD08 EE29 GG13 GG15 GG17 JJ02 JJ07
5C082 BA12 BA35 BA39 BB15 BB22 BD09 CA11 CA21 CA81 CB01
DA54 DA55 DA57 DA64 DA65 DA67 MM02