

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-528170

(P2011-528170A)

(43) 公表日 平成23年11月10日(2011.11.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 J	5 F 0 3 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/04 G	5 F 0 4 8
HO 1 L 21/822 (2006.01)	HO 3 F 1/30 Z	5 J 5 0 0
HO 1 L 27/04 (2006.01)	HO 3 F 3/347	
HO 3 F 1/30 (2006.01)		

審査請求 有 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-517743 (P2011-517743)
 (86) (22) 出願日 平成21年9月4日 (2009.9.4)
 (85) 翻訳文提出日 平成23年1月14日 (2011.1.14)
 (86) 国際出願番号 PCT/CN2009/073744
 (87) 国際公開番号 W02010/111857
 (87) 国際公開日 平成22年10月7日 (2010.10.7)
 (31) 優先権主張番号 200910301327.1
 (32) 優先日 平成21年4月3日 (2009.4.3)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 505072650
 浙江大学
 中華人民共和国浙江省杭州市浙大路38号
 (74) 代理人 100069981
 弁理士 吉田 精孝
 (74) 代理人 100087860
 弁理士 長内 行雄
 (72) 発明者 ▲羅▼ 豪
 中国浙江省浙江大学玉泉校区1269信箱
 、310029
 (72) 発明者 ▲韓▼ 雁
 中国浙江省浙江大学玉泉校区1269信箱
 、310029
 Fターム(参考) 5F038 BG06 BG09 EZ20

最終頁に続く

(54) 【発明の名称】 サブスレッショルド集積回路におけるプロセスばらつき防止方法およびボディ電位変調回路

(57) 【要約】

サブスレッショルド集積回路におけるプロセスばらつき防止方法とボディ電位変調回路が掲載されている。前記ボディ電位変調回路は、目標MOSデバイス(11)と、誘導MOSデバイス(12)と、電流-電圧変換回路(13)とを備えている。前記電流-電圧変換回路は、誘導MOSデバイスから出力された誘導電流を誘導電圧に変換するとともに、その誘導電圧を目標MOSデバイスのボディ端にフィードバックして、目標MOSデバイスのボディ電位を変調するためのものである。

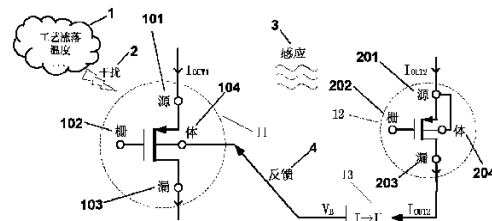


図1 / FIG. 1

- 1 PROCESS VARIATION, TEMPERATURE
- 2 DISTURBING
- 3 INDUCTING
- 4 FEEDBACK
- 101 SOURCE
- 102 GATE
- 103 DRAIN
- 104 BODY
- 201 SOURCE
- 202 GATE
- 203 DRAIN
- 204 BODY

【特許請求の範囲】

【請求項 1】

サブスレッショルド集積回路におけるプロセスばらつき防止方法であって、
目標 MOS デバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導 MOS デバイスにより誘導し、ドレイン・ソース誘導電流の形式で出力するステップと、
電流 - 電圧変換回路により誘導 MOS デバイスから出力された誘導電流信号を電圧信号に変換し、誘導電流の変化特徴を該当電圧信号にリアルタイムで反映するステップと、
電流 - 電圧変換回路から出力された電圧信号を目標 MOS デバイスのボディ端にフィードバックし、誘導フィードバックループを形成することにより、ボディ電位変調をして、
プロセスばらつきによる目標デバイスの性能パラメータへの影響を低減するステップと
を備えることを特徴とするプロセスばらつき防止方法。

10

【請求項 2】

請求項 1 に記載のプロセスばらつき防止方法を実現するボディ電位変調回路であって、
前記プロセスばらつき防止方法の作用対象としての目標 MOS デバイスと、
目標 MOS デバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するための誘導 MOS デバイスと、
誘導 MOS デバイスから出力された誘導電流を誘導電圧に変換するとともに、この誘導電圧を目標 MOS デバイスのボディ端にフィードバックして、目標 MOS デバイスのボディ電位変調を実現するための電流 - 電圧変換回路とを備え、
該当ボディ電位変調回路が PMOS ボディ電位変調回路と NMOS ボディ電位変調回路との二種類に分けられていることを特徴とするボディ電位変調回路。

20

【請求項 3】

前記 PMOS ボディ電位変調回路は、サブスレッショルド状態での PMOS デバイスのプロセスばらつきを防止することを実現するためのものであって、前記 PMOS ボディ電位変調回路の目標 MOS デバイスである第 1 の PMOS デバイス (M1) と、PMOS ボディ電位変調回路の誘導 MOS デバイスである第 2 の PMOS デバイス (M2) と、PMOS ボディ電位変調回路における電流 - 電圧変換回路の機能を実現する第 1 の抵抗 (R1) とを備え、
前記第 2 の PMOS デバイス (M2) のソース端はそのボディ端に接続され、そのドレイン端は前記第 1 の抵抗 (R1) の一端と前記第 1 の PMOS デバイス (M1) のボディ端とにそれぞれ接続され、第 1 の抵抗 (R1) の他端は同相電圧と接続されることを特徴とする請求項 2 に記載のボディ電位変調回路。

30

【請求項 4】

前記 NMOS ボディ電位変調回路は、サブスレッショルド状態での NMOS デバイスのプロセスばらつきを防止することを実現するためのものであって、前記 NMOS ボディ電位変調回路の目標 MOS デバイスである第 1 の NMOS デバイス (M3) と、NMOS ボディ電位変調回路の誘導 MOS デバイスである第 2 の NMOS デバイス (M4) と、NMOS ボディ電位変調回路における電流 - 電圧変換回路の機能を実現する第 2 の抵抗 (R2) とを備え、
前記第 2 の NMOS デバイス (M4) のソース端はそのボディ端に接続され、そのドレイン端は前記第 2 の抵抗 (R2) の一端と前記第 1 の NMOS デバイス (M3) のボディ端とにそれぞれ接続され、第 2 の抵抗 (R2) の他端は同相電圧と接続されることを特徴とする請求項 2 に記載のボディ電位変調回路。

40

【請求項 5】

演算増幅機能を実現するための従来技術の C 型インバータ (51) を備える、プロセスばらつきを防止する C 型インバータであって、
請求項 3、4 に記載の PMOS ボディ電位変調回路 (52) と NMOS ボディ電位変調回路 (53) をさらに備え、
従来技術の C 型インバータ (51) における PMOS、NMOS 入力デバイスは、それぞれ、前記 PMOS ボディ電位変調回路 (52) と NMOS ボディ電位変調回路 (53)

50

とにおける、目標MOSデバイスとしての第1のPMOSデバイス(M1)と第1のNMOSデバイス(M3)であることを特徴とするプロセスばらつきを防止するC型インバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はサブスレッショルド集積回路におけるプロセスばらつき防止方法及びその方法を実現する回路に関するものであり、集積回路技術分野に属する。

【背景技術】

【0002】

10

携帯機器の低消費電力の差し迫った要求と、大型のシステムの省エネルギー化の需要とを満足するために、低電圧、低消費電力は将来のCMOS集積回路(IC)の主な発展方向になる。ところが、MOSデバイスの漏れ電流の影響を考慮すると、その閾値電圧は電源電圧に比例して下がる可能性がない。従って、低電圧、低消費電力のアナログ集積回路の設計は大きな挑戦であり、その中で、オペアンプの設計は低圧アナログ回路にとって一番困難である。サブスレッショルド技術は動作電圧の低減化の課題を解決するための有効な手段である。サブスレッショルド回路において、一部分のMOSデバイスは、サブスレッショルド状態で動作しているので、低電圧の動作環境によく適用されている。この理由から、サブスレッショルド技術はアナログ集積回路の分野で広く用いられてきた。

【0003】

20

近年では、従来のオペアンプの代わりに、インバータを利用して、低電圧、高性能のスイッチトキャパシタ回路を実現する研究が衆人の注目を集め、その中に、インバータがC型インバータと似ている動作方式を利用し、その入力デバイスが通常にサブスレッショルド状態で動作しているので、システムの消費電力が最大限に低減されている。このようなインバータは、C型インバータ(Class-C Inverter)と呼ばれている。今、C型インバータに基づきスイッチトキャパシタ積分器と変調器などが開示されたことがある(例えば、非特許文献1参照)。

【0004】

30

しかし、MOSデバイスがサブスレッショルド状態で動作する場合には、通常のオン状態で動作する場合と比べて、そのトランスコンダクタンスと出力電流などの指標は、異なるプロセス・コーナーによって、より大きい影響を受けている。従って、プロセスばらつきは、サブスレッショルド集積回路の性能を低下させ、ひいてはその機能を失わせる可能性があって、C型インバータを含むサブスレッショルド集積回路の性能の安定性と、一致性と、良品率とを大幅に低下させ、最終的にはその実用性に影響を及ぼす恐れがある。

【発明の概要】

【発明が解決しようとする課題】

【0005】

40

本発明が解決しようとする技術課題は、従来技術におけるサブスレッショルド状態でのMOSデバイスがプロセスばらつきによって大きい影響を受けることにより、サブスレッショルド集積回路の性能が低下し、ひいてはその機能がなくなるという欠点を克服するように、サブスレッショルド集積回路におけるプロセスばらつき防止方法を提供することである。

【0006】

本発明が解決しようとする他の技術課題は、上記プロセスばらつき防止方法を実現するためのボディ電位変調回路を提供することである。

【0007】

本発明が解決しようとする別の技術課題は、従来技術によるC型インバータの、プロセスばらつきを防止する能力が弱い、安定性と実用性が悪いという欠点を克服するように、上記ボディ電位変調回路をC型インバータに用いる方法、及びその運用効果のデータを提供し、プロセスばらつきを防止するC型インバータを実現することである。

50

【課題を解決するための手段】

【0008】

本発明のプロセスばらつき防止方法は、

目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導MOSデバイスにより誘導し、ドレイン・ソース誘導電流の形式で出力するステップと、

電流・電圧変換回路により誘導MOSデバイスから出力された誘導電流信号を電圧信号に変換し、誘導電流の変化特徴を該当電圧信号にリアルタイムで反映するステップと、

電流・電圧変換回路から出力された電圧信号を目標MOSデバイスのボディ端にフィードバックし、誘導フィードバックループを形成することにより、ボディ電位変調をして、プロセスばらつきによる目標デバイスの性能パラメータへの影響を低減するステップとを備えて構成されている。

10

【0009】

本発明のボディ電位変調回路は、

前記プロセスばらつき防止方法を実現するための回路であって、

前記プロセスばらつき防止方法の作用対象としての目標MOSデバイスと、

目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するための誘導MOSデバイスと、

誘導MOSデバイスから出力された誘導電流を誘導電圧に変換するとともに、その誘導電圧を目標MOSデバイスのボディ端にフィードバックして、目標MOSデバイスのボディ電位変調を実現するための電流・電圧変換回路とを備え、

20

PMOSボディ電位変調回路とNMOSボディ電位変調回路との二種類に分けられている。

【0010】

PMOSボディ電位変調回路は、サブスレッショルド状態でのPMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、PMOSボディ電位変調回路の目標MOSデバイスである第1のPMOSデバイスM1と、PMOSボディ電位変調回路の誘導MOSデバイスである第2のPMOSデバイスM2と、PMOSボディ電位変調回路における電流・電圧変換回路の機能を実現する第1の抵抗R1とを備え、

第2のPMOSデバイスM2のソース端はそのボディ端に接続され、そのドレイン端は第1の抵抗R1の一端と第1のPMOSデバイスM1のボディ端とにそれぞれ接続され、第1の抵抗R1の他端は同相電圧と接続される。

30

【0011】

NMOSボディ電位変調回路は、サブスレッショルド状態でのNMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、NMOSボディ電位変調回路の目標MOSデバイスである第1のNMOSデバイスM3と、NMOSボディ電位変調回路の誘導MOSデバイスである第2のNMOSデバイスM4と、NMOSボディ電位変調回路における電流・電圧変換回路である第2の抵抗R2とを備え、

第2のNMOSデバイスM4のソース端はそのボディ端に接続され、そのドレイン端は第2の抵抗R2の一端と第1のNMOSデバイスM3のボディ端とにそれぞれ接続され、第2の抵抗R2の他端は同相電圧と接続される。

40

【0012】

本発明のボディ電位変調回路をC型インバータに用いることにより、プロセスばらつきを防止するC型インバータを実現でき、該当C型インバータにおいては、演算増幅機能を実現するための従来技術のC型インバータの上に、本願のプロセスばらつきを防止するためのPMOSボディ電位変調回路とNMOSボディ電位変調回路が追加され、従来技術のC型インバータ(51)におけるPMOS、NMOS入力デバイスは、それぞれ、前記PMOSボディ電位変調回路(52)とNMOSボディ電位変調回路(53)とにおける、目標MOSデバイスとしての第1のPMOSデバイス(M1)と第1のNMOSデバイス(M3)である。

【発明の効果】

50

【0013】

本発明は下記の利点と積極的な効果がある。本発明に記載のプロセスばらつき防止方法は、誘導フィードバックループのボディ電位変調により、目標MOSデバイスの電気パラメータをリアルタイムで変調することができ、サブスレッショルド状態で目標MOSデバイスのプロセスばらつきに対しての感度を低減することができる。本発明に記載のボディ電位変調回路は、少ない回路素子によって誘導フィードバックループの全体を実現し、このボディ電位変調回路を導入することにより、回路の複雑性と消費電力が明らかに増すことなく、C型インバータを含むサブスレッショルド集積回路の性能の安定性、一致性及び良品率を効果的に向上させることができるため、高い実用性がある。

【0014】

本発明の特徴と性能については、以下の実施例及び図面により詳しく説明する。

【図面の簡単な説明】

【0015】

【図1】本発明のプロセスばらつき防止方法を実施するフローチャートである。

【図2】本発明のPMOSボディ電位変調回路の回路構成図である。

【図3】本発明のNMOSボディ電位変調回路の回路構成図である。

【図4】従来技術のC型インバータの回路構成図である。

【図5】本発明のプロセスばらつきを防止するC型インバータの回路構成図である。

【発明を実施するための形態】

【0016】

本発明に提案されたサブスレッショルド集積回路におけるプロセスばらつき防止方法を実施する場合には、目標MOSデバイスと、誘導MOSデバイスと、電流-電圧変換回路などが使われている。その中に、

目標MOSデバイスは、プロセスばらつき防止方法の作用対象である。目標MOSデバイスのボディ端を個別に引き出す必要がある。現在、よく使用されているトリプルウェルプロセスにおいては、PMOSデバイスとNMOSデバイスが全てボディ端の個別引き出しを実現することができる。

【0017】

誘導MOSデバイスは、目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するものである。誘導MOSデバイスと目標MOSデバイスは、類型が同じで、レイアウトが合って、且つ動作状態が同じである。従って、誘導MOSデバイスと目標MOSデバイスは、プロセスばらつきの程度がいつでもほとんど同じ、即ち、両方のトランスコンダクタンスと出力電流の変化動向が同じである。言い換えると、誘導MOSデバイスは目標MOSデバイスの異なるプロセス・コーナーでのトランスコンダクタンスと出力電流などのパラメータ変化を誘導することができる。

【0018】

電流-電圧変換回路は、誘導電流（誘導MOSデバイスの出力電流）を誘導電圧に変換するとともに、その誘導電圧を目標MOSデバイスのボディ端にフィードバックして、目標MOSデバイスのボディ電位変調を実現するためのものである。

【0019】

本発明のプロセスばらつき防止方法のキーポイントはボディ電位変調であって、MOSデバイスの閾値電圧とボディ電位との間には、下記のような関係がある。

【0020】

【数1】

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|})$$

ただし、 v_{SB} はMOSデバイスのソース-ボディ電圧、 V_{T0} は $v_{SB} = 0$ の時の閾値電圧、 γ はバイアス係数、 ϕ_F はFermiポテンシャルである。上記数式から、ボディ電位変調（ v_{SB} を調整すること）によって、MOSデバイスの閾値電圧を変えることができ、MOS

10

20

30

40

50

デバイスのトランスコンダクタンスと出力電流を間接的に変えることができる。

【0021】

本発明のプロセスばらつき防止方法を実施するフローチャートは、図1に示すように、目標MOSデバイス11と、誘導MOSデバイス12と、電流-電圧変換回路13などを備えている。目標MOSデバイス11のプロセスばらつきなどによるパラメータの変動が、誘導MOSデバイス12上にリアルタイムで誘導され、誘導MOSデバイス12の誘導出力電流が電流-電圧変換回路13を介して目標MOSデバイス11のボディ端にフィードバックされることにより、誘導フィードバックループを実現し、ボディ電位変調により、目標MOSデバイス11のプロセスばらつきに対しての感度を効果的に低減している。

10

【0022】

PMOSデバイスを例として、本発明のプロセスばらつき防止方法において、誘導フィードバックループがどうやってプロセスばらつきによる目標MOSデバイスへの悪影響を低減するかについて説明する。

【0023】

仮に初期時点では、プロセスばらつきにより、目標PMOSデバイス11のトランスコンダクタンスと出力電流 I_{OUT1} が低減されれば、それにつれて、誘導MOSデバイス12は、目標PMOSデバイス11の異なるプロセス・コーナーでのパラメータ変化を誘導できるので、その誘導出力電流 I_{OUT2} が低減される。誘導出力電流 I_{OUT2} を電圧信号 V_B に変換するとともに、 V_B の変化動向が I_{OUT2} と一致するように電流-電圧変換回路13を設計することにより、 V_B が I_{OUT2} の低減に連れて低減されている。電圧信号 V_B は、最終的に目標PMOSデバイス11のボディ端に届くとともに、ボディ電位変調によって目標PMOSデバイス11の閾値電圧の絶対値を低減させ、トランスコンダクタンスと出力電流を増大させて、誘導フィードバックループ全体は負帰還を形成しており、プロセスばらつきによるPMOSデバイス11への影響が効果的に低減されている。

20

【0024】

負帰還を形成する過程はNMOSデバイスについても同様である。

【0025】

本発明のプロセスばらつき防止方法については、下記の点について説明する必要がある。

30

【0026】

(1) 目標MOSデバイスと誘導MOSデバイスのボディ端の接続方法について説明する。目標MOSデバイスのボディ端を個別に引き出し、ボディ電位を調節可能とする必要がある。また、誘導MOSデバイスはプロセスばらつきによる影響を実際どおりに反映する必要があるので、そのボディ端は、誘導NMOSデバイスのボディ端がローレベルに接続され、誘導PMOSデバイスのボディ端がハイレベルに接続されるように、通常の接続方法で接続されている。

【0027】

(2) 誘導MOSデバイスは目標MOSデバイスの各パラメータの変化動向のみを誘導する必要があるので、誘導MOSデバイスのサイズは目標MOSデバイスと完全に一致する必要がない。実際にチップの面積と、消費電力とマッチング精度とのバランスを考慮すると、両方のチャンネルの長さを一致させ、チャンネルの幅を適宜な比率(例えば、1/8から1/20までの間)とすることが好ましい。

40

【0028】

(3) MOSデバイスは、サブスレッショルド状態における場合、プロセスばらつきに対して極めて敏感であるので、本発明のプロセスばらつき防止方法は、通常、サブスレッショルド集積回路において用いられている。

【0029】

図2と図3はそれぞれ、本発明のPMOSボディ電位変調回路とNMOSボディ電位変調回路を示している。

50

【0030】

P MOS ボディ電位変調回路は、サブスレッシュヨルド状態でのP MOS デバイスのプロセスばらつきを防止することを実現するためのものである。それは目標P MOS デバイスM 1と、誘導P MOS デバイスM 2と、抵抗R 1からなる。仮に目標P MOS デバイスM 1がサブスレッシュヨルド状態となり、そのゲート端、ドレイン端、ソース端の電位がそれぞれ自己の位置する回路によって供給されれば、誘導P MOS デバイスM 2を同様にサブスレッシュヨルド状態で動作させるようにそのゲート - ソース電圧 ($V_{GP} - V_{DDH}$) を設定することにより、M 2はM 1の異なるプロセス・コーナーでのトランスコンダクタンスと出力電流などのパラメータの変化動向を誘導することができる。抵抗R 1が誘導電流信号 (M 2の出力電流) を電圧信号 V_{BP} に変換してM 1のボディ端にフィードバックすることにより、誘導フィードバックループを形成し、ボディ電位変調を行っている。M 2のソース端の電位 V_{DDH} は、M 1のボディ電位変調範囲 (V_{BP} の値の範囲) の上限を決定しており、実際の運用に応じて設定されることができ、同相電圧 V_{CM} は、M 1のボディ電位変調範囲の下限を決定している。本発明に記載のプロセスばらつき防止方法によれば、M 1のトランスコンダクタンスと出力電流が、電圧信号 V_{BP} のM 1のボディ端での変調作用 (即ち、M 1のソース - ボディ電圧を調節すること) によって、異なるプロセス・コーナーで一致されている。

10

【0031】

N MOS ボディ電位変調回路は、サブスレッシュヨルド状態でのN MOS デバイスのプロセスばらつきを防止することを実現するためのものである。それは、目標N MOS デバイスM 3と、誘導N MOS デバイスM 4と、抵抗R 2とからなる。抵抗R 2が誘導電流信号を電圧信号 V_{BN} に変換してM 3のボディ端にフィードバックすることにより、ボディ電位変調を行っている。類似的には、誘導N MOS デバイスM 4の動作状態が目標N MOS デバイスM 3と同じである (両方ともサブスレッシュヨルド状態で動作している)。M 4のソース端の電位 V_{GNDL} は、M 3のボディ電位変調範囲 (V_{BN} の値の範囲) の下限を決定するが、同相電圧 V_{CM} は、M 3のボディ電位変調範囲の上限を決定する。M 3のトランスコンダクタンスと出力電流が、電圧信号 V_{BN} のM 3のボディ端での変調作用によって、異なるプロセス・コーナーで一致されている。

20

【0032】

本発明のP MOS ボディ電位変調回路の動作原理については、下記のように具体的に説明する。

30

【0033】

プロセス・コーナーがtt (typical-typical) である場合は、M 2の誘導出力電流を I_{OUT2_tt} として、M 1のボディ端電位 V_{BP} (即ち $V_{CM} + I_{OUT2_tt} R_1$) V_{DD} (仮にボディ電位変調回路が導入されない場合に、M 1のボディ端電位は電源電圧 V_{DD} である) とするように、 I_{OUT2_tt} (M 2のサイズ、ソース端電位 V_{DDH} 等に関連する) 及びR 1などのパラメータを調節して、回路が代表的な (tt) 動作状態になる。

【0034】

プロセス・コーナーがss (slow-slow) である場合は、M 1の閾値電圧の絶対値が大きくなるため、M 1がサブスレッシュヨルド状態で動作する時のトランスコンダクタンスが小さくなって、帯域幅が狭くなって、この時、出力電流が最小値になる。誘導P MOS デバイスM 2はM 1の電流の変化動向を誘導することができるので、M 2の誘導出力電流も最小値 I_{OUT2_ss} になる。よって、M 1のボディ端電位 V_{BP} (即ち $V_{CM} + I_{OUT2_ss} R_1$) V_{DD} であって、この電圧信号をM 1のボディ端にフィードバックすることにより、M 1の閾値電圧の絶対値はボディ電位変調によって僅かに低減され、M 1がサブスレッシュヨルド状態で動作する時に、トランスコンダクタンスと出力電流が増大して、M 1のパラメータに対しての負帰還が実現されている。

40

【0035】

プロセス・コーナーがff (fast-fast) である場合は、M 1の閾値電圧の絶対値が小さくなるため、M 1のトランスコンダクタンスが大きくなって、この時、M 2の出力電流が

50

最大値 I_{OUT2_ff} になる。この時、 V_{BP} (即ち $V_{CM} + I_{OUT2_ff} R_1$) $> V_{DD}$ であって、それを M_1 のボディ端にフィードバックすることにより、 M_1 の閾値電圧の絶対値が増大され、そのトランスコンダクタンスと出力電流が低減されている。注意する必要があるのは、 M_2 のソース端電位 V_{DDH} により V_{BP} が決定されているので、 $V_{DDH} > V_{DD}$ の時だけ、 M_1 の ff プロセス・コーナーでのボディ電位変調が有効である。

【0036】

上記のように、 M_2 の誘導出力電流 I_{OUT2} 及び R_1 などのパラメータを調節することにより、 $PMOS$ ボディ電位変調回路に異なるプロセス・コーナーでも適宜な V_{BP} を生成させ、目標 $PMOS$ デバイス M_1 がサブスレッショルド状態で動作する時に、トランスコンダクタンスと出力電流を比較的に一致させることができる。

10

【0037】

本発明のボディ電位変調回路は少ない回路素子を用いて誘導フィードバックループ全体を実現するとともに、回路中の誘導 MOS デバイス M_2 と M_4 はサブスレッショルド状態で動作され、消費電力が非常に低い。従って、ボディ電位変調回路を導入するのは、回路の複雑性と消費電力を明らかに増加することなく、プロセスばらつきの MOS デバイスへの悪影響を低減することができる。

【0038】

本発明のボディ電位変調回路については、実際の運用において、下記の点を注意する必要がある。

【0039】

(1) 抵抗 R_1 、 R_2 については、許容差が小さい抵抗を選択して用いすべきである。

20

【0040】

(2) $PMOS$ ボディ電位変調回路においては、 V_{BP} の電位は、漏れ電流が M_1 デバイスのソース・ボディ接合の過度な順バイアスによって明らかに増大することを回避するために、低すぎないほうが良いが、同様に、 $PMOS$ ボディ電位変調回路においては、 V_{BN} の電位は、 M_3 デバイスのボディ・ソース接合の過度な順バイアスを回避するために、高すぎないほうが良い。

【0041】

(3) $PMOS$ ボディ電位変調回路においては、 M_2 のソース端電位 V_{DDH} は、一般的に、目標 $PMOS$ デバイス M_1 の電源電圧 V_{DD} 以上であるが、同様に、 $NMOS$ ボディ電位変調回路においては、 M_4 のソース端電位 $GNDL$ は、目標 $NMOS$ デバイス M_3 のグランド電位 GND 以下である。 V_{DDH} を V_{DD} よりも大きくして、且つ / または $GNDL$ を GND よりも小さくすると、規定外のバイアスレベルを追加する必要があるが、この時、調節の範囲が増大し、調節の効果が明らかになっている。規定外のバイアスレベルを増加させなければ ($V_{DDH} = V_{DD}$ として、且つ / または $GNDL = GND$ とする)、調節の効果に相応の影響を及ぼす。具体的には、実施例 2 における表 1 と表 2 のデータが参照できる。

30

【0042】

(4) 過剰なバイアスレベルを提供することを回避するために、 $PMOS$ ボディ電位変調回路においては、 M_2 のゲート端電位 V_{GP} として電源電圧 V_{DD} ($V_{DDH} > V_{DD}$ 時) 或いは同相電圧 V_{CM} ($V_{DDH} = V_{DD}$ 時) を選択して用いることができるが、 $NMOS$ ボディ電位変調回路においては、 M_4 のゲート端電位 V_{GN} として電源電圧 GND ($GNDL > GND$ 時) 或いは V_{CM} ($GNDL = GND$ 時) を選択して用いることができる。

40

【0043】

以下、さらに本発明の運用実例における C 型インバータについて述べる。

【0044】

C 型インバータ技術は新たな低電圧アナログ回路を設計する技術であって、従来のオペアンプの代わりに、 C 型インバータを用いることにより、多くの低電圧、低消費電力のスイッチトキャパシタ回路を実現することができる。従来技術の C 型インバータの回路構成図は図 4 に示すようになっている。 C 型インバータの給電電圧 V_{DD} はインバータの二つの入力デバイスの閾値電圧の和より僅かに低いため、仮に C 型インバータの二つの入力デバ

50

イスの閾値電圧がほとんど同じであれば、同相電圧 $V_{CM} = V_{DD} / 2$ を入力することにより、二つの入力デバイス M 1 と M 3 が両方ともサブスレッシュヨルド状態におけるようにすることができ、その時、C 型インバータが、極めて低い消費電力と高いゲインを備えているが、プロセスばらつきに対して極めて敏感である。

【 0 0 4 5 】

本発明のプロセスばらつきを防止する C 型インバータの回路構成図は図 5 を示すようになっていて、それは、従来技術の C 型インバータ 5 1 のもとに、本発明の P M O S ボディ電位変調回路 5 2 と N M O S ボディ電位変調回路 5 3 が追加され、従来技術の C 型インバータ 5 1 における P M O S 入力デバイスと N M O S 入力デバイスは、それぞれ、ボディ電位変調回路の目標 P M O S デバイス M 1 と目標 N M O S デバイス M 3 である。

10

【 0 0 4 6 】

従来技術の C 型インバータ 5 1 は、演算増幅機能を実現するためのものである。それは、P M O S 入力デバイス M 1 と、N M O S 入力デバイス M 3 とからなる。インバータ入力デバイス M 1、M 3 のボディ端は個別に引き出されていて、ボディ電位は調節可能である。

【 0 0 4 7 】

本発明の P M O S ボディ電位変調回路 5 2 と N M O S ボディ電位変調回路 5 3 は、M 1 と M 3 の異なるプロセス・コーナーでのトランスコンダクタンスと出力電流が比較的に一致するように、それぞれ、M 1 と M 3 のプロセスばらつきを防止するためのものである。C 型インバータにおいては、入力デバイス M 1、M 3 のトランスコンダクタンスと出力電流は、インバータ全体のゲイン、帯域幅、及び静的電力損失等の定常性評価指標に直接に関係するので、ボディ電位変調回路 5 2、5 3 を導入することにより、C 型インバータの各定常性評価指標の、プロセスばらつきに対しての感度を効果的に低減することができる。

20

【 0 0 4 8 】

サブスレッシュヨルド状態における異なるプロセス・コーナーでの、従来技術の C 型インバータと本発明におけるプロセスばらつきを防止する C 型インバータのゲイン、帯域幅、及び静的電力損失等の性能偏差の状況については、表 1 を参照する。その中には、電源電圧 V_{DD} が 1.2 V であり、GND が 0 V であり、M 1 の幅と長さの比率が $180 \mu m / 0.35 \mu m$ であり、M 3 の幅と長さの比率が $60 \mu m / 0.35 \mu m$ であり、M 2 と M 4 の幅がそれぞれ M 1 と M 3 の幅の 1/12 であり、インバータの負荷容量が全て 5 p F である。

30

【 0 0 4 9 】

【表 1】

表 1：違うプロセス・コーナでの C 型インバータの性能最大偏差の状況比較

C 型インバータ	プロセスばらつき	ゲイン (dB)		偏差範囲	ユニティーゲイン帯域幅 (MHz)		偏差範囲	静的電力損失 (μ W)		偏差範囲
従来技術 (本発明を使わず)	ff	29.89	-2.16%	28.8 %	169	349.83%	435.8 %	234.3	489.58%	577.4 %
	snfp	36.15	18.33%		37.65	0.21%		31.75	-20.1%	
	tt	30.55			37.57			39.74		
	fnsp	27.34	-10.5%		82.48	119.54%		49.85	25.44%	
	ss	31.57	3.34%		5.283	-85.94%		4.86	-87.77%	
本発明 ($V_{DDH}=1.8V$ $GNDL=-0.6V$)	ff	27.76	-9.64%	27.8 %	64.61	48.70%	52.3 %	43.92	-6.43%	8 %
	snfp	33.79	9.99%		45.65	5.06%		45.34	-3.41%	
	tt	30.72			43.45			46.94		
	fnsp	28.85	-6.09%		49.72	14.43%		46.6	-0.72%	
	ss	36.3	18.16%		41.90	-3.57%		43.2	-7.97%	
本発明 ($V_{DDH}=1.8V$ $GNDL=0V$)	ff	27.37	-10.88%	29.1 %	110.8	153.08%	169.3 %	54.84	20.26%	81.9 %
	snfp	34.03	10.81%		44.35	1.3%		48	5.26%	
	tt	30.71			43.78			45.6		
	fnsp	29.46	-4.07%		115.5	163.82%		78.8	72.81%	
	ss	36.31	18.24%		41.4	-5.44%		41.46	-9.08%	
本発明 ($V_{DDH}=1.2V$ $GNDL=0V$)	ff	29.91	-2.41%	25.5 %	170.3	271.59%	287.0 %	240.6	407.59%	425.7 %
	snfp	34.41	12.27%		47.19	2.97%		51.1	7.8%	
	tt	30.65			45.83			47.4		
	fnsp	28.25	-7.83%		96.16	109.82%		60.42	26.84%	
	ss	36.06	17.65%		38.75	-15.45%		38.84	-18.06%	

注意：上記の四種類の状況での C 型インバータの位相余裕は、全て 90° を超え、且つその各プロセス・コーナでの偏差範囲が 4% より小さいので、記載が省略されている。

表 1 から分かるのは、規定外のプラスレベルとマイナスレベルを導入し、即ち、 $V_{DDH} = 1.8V$ 、 $GNDL = -0.6V$ とする場合は、本発明におけるプロセスばらつきを防止する C 型インバータは、サブスレッショルド状態における異なるプロセス・コーナでのゲイン、帯域幅、及び静的電力損失の最大偏差がそれぞれ 27.8%、52.3%、及び 8% であり、本発明が受けたプロセスばらつきからの影響が、従来技術の C 型インバータの 28%、435.8%、及び 577.4% と比べて、大幅に低減されるので、十分なゲインと帯域幅も確保できるし、無駄な静的電力損失も回避できて、明らかな効果があるが、ボディ電位変調回路においては規定外のプラスレベルだけ導入し、マイナスレベルを導入しない（現在の集積回路の設計においては、このような現象がよく生じている）、即ち、 $V_{DDH} = 1.8V$ 、 $GNDL = 0V$ とする場合は、プロセスばらつきを防止する C 型インバータの最大偏差がそれぞれ 29.1%、169.3%、及び 81.9% であるが、ボディ電位変調回路においては規定外のプラスレベルも導入しないし、マイナスレベルも導入しない、即ち、 $V_{DDH} = 1.2V$ 、 $GNDL = 0V$ とする場合は、プロセスばらつきを防止する C 型インバータの最大偏差がそれぞれ 25.5%、287.0%、及び 425.7% であって、従来技術の C 型インバータよりも良い。特にユニティーゲイン帯域幅の指標については、本発明の技術を用いない従来技術の C 型インバータは、ユニ

10

20

30

40

50

ティーゲイン帯域幅がssプロセス・コーナーで5MHz程度しかなく、高周波では正常に動作することができないが、本発明の技術を用いるC型インバータは、どんな場合でもこういう嚴重な問題が発生しない。

【0050】

C型インバータの異なるプロセス・コーナーでの性能最大偏差の簡易なまとめ表は、表2に示すようになっている。

【0051】

【表2】

表2：違うプロセス・コーナでのC型インバータの性能最大偏差の簡易なまとめ表

C型インバータ	静的電力損失		ゲイン		ユニティーゲイン帯域幅	
	偏差範囲	範囲縮小	偏差範囲	範囲縮小	偏差範囲	範囲縮小
従来技術	577.4%		28.8%		435.8%	
本発明 ($V_{DDH}=1.8V$ $GNDL=-0.6V$)	8%	98.6%	27.8%	3.5%	52.3%	88.0%
本発明 ($V_{DDH}=1.8V$ $GNDL=0V$)	81.9%	85.8%	29.1%	-1.0%	169.3%	61.2%
本発明 ($V_{DDH}=1.2V$ $GNDL=0V$)	425.7%	26%	25.5%	11.5%	287.0%	34%

本発明の記述は特定の実施例と結びつけて行われているが、この分野の当業者は、本発明はここに記載した実施例に限らず、本発明の精神や範囲から逸脱することなく、色々な修正や変化を行うことができることを理解すべきである。

【産業上の利用可能性】

【0052】

本発明に記載のプロセスばらつき防止方法は、誘導フィードバックループのボディ電位変調により、目標MOSデバイスのトランスコンダクタンスと出力電流などのパラメータに対してリアルタイムで変調することを実現し、MOSデバイスのサブスレッショルド状態でのプロセスばらつきに対する感度を低減している。本発明に記載のボディ電位変調回路は、少ない回路素子によって誘導フィードバックループの全体を実現し、このボディ電位変調回路を導入することにより、回路の複雑性と消費電力が明らかに増すことなく、C型インバータを含むサブスレッショルド集積回路の性能の安定性、一貫性及び良品率を効果的に向上させることができるため、高い実用性がある。

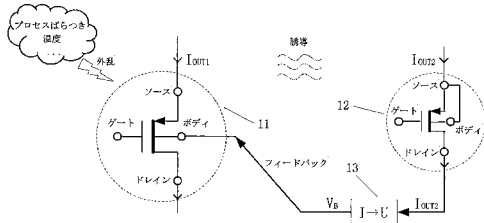
【先行技術文献】

【非特許文献】

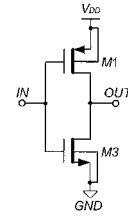
【0053】

【非特許文献1】"Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator", IEEE Journal of Solid-State Circuit, Vol. 44, No.2, pp.458-472, 2009.

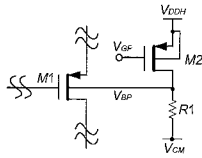
【 図 1 】



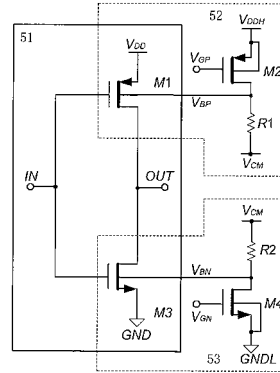
【 図 4 】



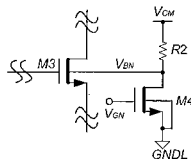
【 図 2 】



【 図 5 】



【 図 3 】



【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2009/073744
A. CLASSIFICATION OF SUBJECT MATTER		
see the extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: H03K3/-,H03B5/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT; WPI; EPODOC; CNKI: subthreshold, MOS, metal oxide semiconductor, feedback, induce, target, modulate, craft,		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 101510769 A (Zhejiang University) 19 August 2009 (19.08.2009) see the claims 1-6, description pages 5-10	1-5
A	CN 1497725 A (MATSUSHITA ELECTRIC IND CO LTD) 19 May 2004 (19.05.2004) see the whole document	1-5
A	JP 2007004581 A (SEIKO EPSON CORP) 11 January 2007 (11.01.2007) see the whole document	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 23 December 2009(23.12.2009)		Date of mailing of the international search report 07 Jan. 2010 (07.01.2010)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451		Authorized officer HU,Xubing Telephone No. (86-10)62411861

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2009/073744

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101510769 A	19.08.2009	None	
CN 1497725 A	19.05.2004	US2006125550A1	15.06.2006
		US2006125551A1	15.06.2006
		US7138851B2	21.11.2006
		US2007024342A1	01.02.2007
		US2007024343A1	01.02.2007
		US2007024345A1	01.02.2007
		US7221211B2	22.05.2007
		US2007132504A1	14.06.2007
		US7358793B2	15.04.2008
		US2008088357A1	17.04.2008
		JP2004165649A	10.06.2004
		US2004135621A1	15.07.2004
		CN100352059C	28.11.2007
		US7365590B2	29.04.2008
		US7429887B2	30.09.2008
		US7508251B2	24.03.2009
JP 2007004581 A	11.01.2007	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2009/073744

Continuation of: second sheet

A. CLASSIFICATION OF SUBJECT MATTER

H03B5/00 (2006.01) i

H03K3/356 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

国际检索报告		国际申请号 PCT/CN2009/073744
A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H03K3/-,H03B5/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT; WPI; EPODOC; CNKI; 亚阈值, 金属氧化物半导体, 反馈, 感应, 目标, 调制, 工艺, 涨落, 电流, 电压; subthreshold, MOS, metal oxide semiconductor, feedback, induce, target, modulate, craft, fluctuate, current, voltage		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 101510769 A (浙江大学) 19.8 月 2009 (19.08.2009) 参见权利要求 1-6, 说明书第 5-10 页	1-5
A	CN 1497725 A (松下电器产业株式会社) 19.5 月 2004 (19.05.2004) 参见全文	1-5
A	JP 2007004581 A (SEIKO EPSON 公司) 11.1 月 2007 (11.01.2007) 参见全文	1-5
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		
“A” 认为不特别相关的表示了现有技术一般状态的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“E” 在国际申请日的当天或之后公布的在先申请或专利		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“O” 涉及口头公开、使用、展览或其他方式公开的文件		“&” 同族专利的文件
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 23.12 月 2009 (23.12.2009)		国际检索报告邮寄日期 07.1 月 2010 (07.01.2010)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员 胡徐兵 电话号码: (86-10) 62411861

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2009/073744

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 101510769 A	19.08.2009	无	
CN 1497725 A	19.05.2004	US2006125550A1	15.06.2006
		US2006125551A1	15.06.2006
		US7138851B2	21.11.2006
		US2007024342A1	01.02.2007
		US2007024343A1	01.02.2007
		US2007024345A1	01.02.2007
		US7221211B2	22.05.2007
		US2007132504A1	14.06.2007
		US7358793B2	15.04.2008
		US2008088357A1	17.04.2008
		JP2004165649A	10.06.2004
		US2004135621A1	15.07.2004
		CN100352059C	28.11.2007
		US7365590B2	29.04.2008
		US7429887B2	30.09.2008
		US7508251B2	24.03.2009
JP 2007004581 A	11.01.2007	无	

国际检索报告

国际申请号
PCT/CN2009/073744

续第二页:

A. 主题的分类

H03B5/00(2006.01) i

H03K3/356(2006.01) i

按照国际专利分类表(IPC)或者同时按照国家分类和IPC两种分类

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H 0 3 F 3/347 (2006.01)

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム (参考) 5F048 AB10 AC01 AC03 AC10 BB14 BE09 BF18
5J500 AA01 AA46 AC15 AF00 AF10 AH10 AH17 AH25 AK04 AK27
AK47 AM21