

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月8日(08.04.2010)

PCT

(10) 国際公開番号
WO 2010/038786 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 49/00 (2006.01)
H01L 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2009/067047
- (22) 国際出願日: 2009年9月30日(30.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-255376 2008年9月30日(30.09.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人岡山大学(NATIONAL UNIVERSITY CORPORATION OKAYAMA UNIVERSITY) [JP/JP]; 〒7008530 岡山県岡山市北区津島中一丁目1番1号 Okayama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 池田 直 (IKEDA, Naoshi) [JP/JP]; 〒7008530 岡山県岡山市北区津島中三丁目1番1号 国立大学法人岡山大学大学院自然科学研究科内 Okayama (JP). 久保園 芳博(KUBOZONO, Yoshihiro) [JP/JP]; 〒7008530 岡山県岡山市北区津島中三丁目1番1号 国立大学法人岡山大学大学院自然科学研究科内 Okayama (JP). 神戸 高志(KAMBE, Takashi) [JP/JP]; 〒7008530 岡山県岡山市北区津

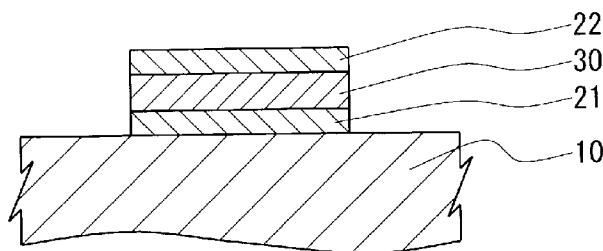
- 島中三丁目1番1号 国立大学法人岡山大学大学院自然科学研究科内 Okayama (JP).
- (74) 代理人: 森 寿夫, 外(MORI, Hisao et al.); 〒7100047 岡山県倉敷市大島505-14 Okayama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が^Δ可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MEMORY ELEMENT, METHOD FOR MANUFACTURING THE MEMORY ELEMENT, AND MEMORY DEVICE COMPRISING MEMORY ELEMENT

(54) 発明の名称: メモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置

【図3】



(57) Abstract: Disclosed is a memory element having low-power consumption. Also disclosed are a method for manufacturing the memory element and a memory device comprising the memory element. The memory element comprises a resistor that causes a change in electric resistance upon the application of voltage and a voltage applying electrode for applying a predetermined voltage to the resistor. The memory device comprises the memory element. The resistor is formed of a compound having a layered triangle lattice structure containing a rare earth element. In particular, the resistor is formed of a compound having a layered triangle lattice structure represented by $(RMbO_{3-\delta})_n(MaO)_m$ wherein R represents at least one element selected from In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ca, Sr, Ce, Sn, and Hf; Ma and Mb, which may be same or different, represent at least one element selected from Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, and Cd; n is an integer of 1 or more; m is an integer of 0 or more; and δ is a real number of 0 to 0.2. Alternatively, the resistor may be formed of a compound that is the same compound as described above except that a part of R in the compound has been replaced with a positive divalent or lower element.

(57) 要約:

[続葉有]



WO 2010/038786 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

低消費電力のメモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置を提供する。電圧を印加することにより電気抵抗が変化する抵抗体と、抵抗体に所定の電圧を印加するための電圧印加用の電極とを有するメモリ素子並びにメモリ素子を備えた記憶装置であつて、抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成する。特に、抵抗体は、Rを、In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ca, Sr, Ce, Sn, Hf から選ばれる少なくとも1種類の元素、Ma及びMbを、Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, Cd から重複を許して選ばれる少なくとも1種類の元素、nを1以上の整数、mを0以上の整数、 δ を0以上0.2以下の実数として、 $(RMbO_{3-\delta})_n(MaO)_m$ として表される層状三角格子構造を有する化合物、またはその化合物のRの一部を正二価以下の元素により置換した化合物とする。

明 細 書

発明の名称：

メモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置

技術分野

[0001] 本発明は、メモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置に関する。

背景技術

[0002] 従来、電子計算機では、いわゆるDRAM(Dynamic Random Access Memory)と呼ばれている記憶装置が一般的に用いられている。

[0003] このDRAMは、半導体基板に形成したコンデンサとトランジスタで構成しており、トランジスタによってコンデンサに蓄積する電荷量を制御することにより、「0」または「1」の1ビット分のデータを記憶している。

[0004] DRAMでは、コンデンサに蓄積した電荷が経時的に減少するために、一定時間ごとにコンデンサに対して再充電を行って、記憶しているデータを保持するリフレッシュ処理が必要となっている。

[0005] また、最近では、DRAMのようにリフレッシュ処理を行うことなくデータを長期間記憶可能とした、いわゆるMRAM(Magnetoresistive Random Access Memory)も用いられるようになってきている。

[0006] MRAMでは、自由な方向に磁化可能とした自由磁化層と、一定の方向に磁化された固定磁化層とを積層させて、強磁性トンネル接合素子を形成しており、この強磁性トンネル接合素子で「0」または「1」の1ビット分のデータを記憶している。

[0007] すなわち、強磁性トンネル接合素子では、自由磁化層の磁化の方向と固定磁化層の磁化の方向とが平行状態となっている場合と、反平行状態となっている場合とで電気抵抗の大きさが異なっており、この異なる電気抵抗の状態を利用して1ビット分のデータを記憶している(例えば、特許文献1参照)。

[0008] したがって、MRAMでは、自由磁化層を所定の方向に向けて磁化することによりデータを書き込むことができる。

特許文献1：特開平11-097766号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、MRAMでは、自由磁化層を所定の方向に向けて磁化するために、アンペールの法則に基づいて所定の電流を流しており、しかも、自由磁化層に所定の閾値以上の磁場を作用させる必要があるため、比較的大きな電流を流す必要があつて、消費電力が大きいという問題があつた。

[0010] また、DRAMの場合でも、リフレッシュ処理にともなつて電力が消費されるため、消費電力をより小さくすることが困難となつていた。

[0011] 本発明者らは、希土類元素を含有した層状三角格子構造を有する化合物の研究を行う中で、この化合物の誘電特性を利用することにより消費電力の小さいメモリ素子を提供できることに思い至り、本発明を成したものである。

課題を解決するための手段

[0012] 本発明のメモリ素子では、電圧を印加することにより電気抵抗が変化する抵抗体と、この抵抗体に所定の電圧を印加するための電圧印加用の電極とを有するメモリ素子であつて、前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成することとした。

[0013] さらに、本発明のメモリ素子では以下の点にも特徴を有するものである。
すなわち、

(1) 前記化合物が、Rを、In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ca, Sr, Ce, Sn, Hfから選ばれる少なくとも1種類の元素、Ma及びMbを、Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, Cdから重複を許して選ばれる少なくとも1種類の元素、nを1以上の整数、mを0以上の整数、 δ を0以上0.2以下の実数として、 $(RMbO_{3-\delta})_n(MaO)_m$ として表される化合物、またはその化合物のRの一部を正二価以下の元素により置換した化合物であること。

(2) 電圧印加用の電極は2つ1組として抵抗体を挟んで対向させて設ける

とともに、電圧印加用の電極を抵抗体の電気抵抗を検出するための電圧検出用の電極と兼用していること。

(3) 電圧印加用の電極は抵抗体を構成している化合物のc軸方向に離隔させて設けたこと。

[0014] また、本発明のメモリ素子の製造方法では、電圧を印加することにより電気抵抗が変化する抵抗体と、抵抗体に所定の電圧を印加するための電圧印加用の電極とを有するメモリ素子の製造方法であって、前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で形成する工程を有することとした。

[0015] また、本発明の記憶装置では、電圧を印加することにより電気抵抗が変化する抵抗体と、抵抗体に所定の電圧を印加するための電圧印加用の電極とをそれぞれ有する複数のメモリ素子を備えた記憶装置であって、前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成することとした。

発明の効果

[0016] 本発明によれば、抵抗体の異なる抵抗値を利用して所定のデータを記憶するメモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置において、抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成することにより、抵抗体に所定の電圧を印加することにより電気抵抗を変化させて、データを記憶させることができる。

[0017] しかも、この抵抗体を用いて形成したメモリ素子では、リフレッシュ処理が不要となることにより消費電力の低減を図ることができ、さらに、抵抗体が微細化することができることによって、小型化による消費電力の低減を図ることもできる。

図面の簡単な説明

[0018] [図1] 図1は層状三角格子構造を有する化合物の平面視における各元素の配置の概略説明図である。

[図2] 図2は層状三角格子構造を有する化合物の側面視における各元素の配置

の概略説明図である。

[図3] 図3は本発明の実施形態にかかるメモリ素子の概略模式図である。

[図4] 図4は他の実施形態のメモリ素子の概略模式図である。

[図5] 図5は他の実施形態のメモリ素子の概略模式図である。

[図6] 図6は他の実施形態のメモリ素子の概略模式図である。

[図7] 図7は他の実施形態のメモリ素子の概略模式図である。

[図8] 図8は他の実施形態のメモリ素子の概略模式図である。

[図9] 図9は本発明の実施形態にかかる記憶装置の概略模式図である。

符号の説明

- [0019] 10, 40, 70 絶縁基板
21, 21'', 51, 81 第1電極
22, 22', 22'', 52, 82 第2電極
30, 30', 30'', 60, 90 抵抗体

発明を実施するための最良の形態

- [0020] 本発明のメモリ素子及びその製造方法、並びにメモリ素子を備えた記憶装置では、電圧を印加することにより電気抵抗が変化する抵抗体を用いてメモリ素子を構成しているものである。
- [0021] 特に、抵抗体は、希土類元素を含有した層状三角格子構造を有する化合物で構成したものである。
- [0022] 具体的には、Rを、In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ga, Sr, Ce, Sn, Hfから選ばれる少なくとも1種類の元素、Ma及びMbを、Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, Cdから重複を許して選ばれる少なくとも1種類の元素、nを1以上の整数、mを0以上の整数、 δ を0以上0.2以下の実数として、 $(R\text{MbO}_{3-\delta})_n(\text{MaO})_m$ として表される化合物、またはその化合物のRの一部を正二価以下の元素により置換した化合物である。
- [0023] 以下において、RをLuとし、Ma及びMbをFeとした LuFe_2O_4 を代表例として、層状三角格子構造を有する化合物を説明する。
- [0024] LuFe_2O_4 は、以下の手順により生成できる。

(1) 酸化ルテチウム(Lu_2O_3)と酸化鉄(III)(Fe_2O_3)とを1:2の割合で混合するとともに、ボールミルで約1時間混合し、混合物を生成する。

(2) 前記混合物を所定形状に成形して、酸素雰囲気下で、24時間、 800°C に加熱して仮焼成体を生成する。

(3) FZ(Floating Zone)法によって前記仮焼成体を本焼成することにより、単結晶の LuFe_2O_4 とする。このとき、一酸化炭素と二酸化炭素の混合ガスである $\text{CO}-\text{CO}_2$ 混合ガスの雰囲気下で結晶成長させている。

[0025] なお、単結晶を生成する本焼成では、 $\text{CO}-\text{CO}_2$ 混合ガスの代わりに CO_2-H_2 混合ガスを用いてもよく、還元雰囲気で酸素分圧を制御しながら焼成することにより酸素の量を調整している。

[0026] 単結晶の LuFe_2O_4 の結晶構造について、図1及び図2を用いて説明する。なお、説明の便宜上、 LuFe_2O_4 の結晶構造は、結晶中のFeイオンにおいて Fe^{3+} と Fe^{2+} の規則構造が出現していない、いわゆる電荷秩序化前の状態としている。

[0027] 図1は、平面視における各元素の配置の概略説明図であり、元素Aの三角格子と、元素Bの三角格子と、元素Cの三角格子の位置関係を示している。以下において、元素Aの三角格子における格子点の位置を「A位置」、元素Bの三角格子における格子点の位置を「B位置」、元素Cの三角格子における格子点の位置を「C位置」と呼ぶこととする。

[0028] 図2は、側面視における各元素の配置の概略説明図であり、最上層から下方に向けて以下の順番で所定の位置に各元素が位置している。

Lu-B位置

O-C位置

Fe-C位置

O-B位置

O-C位置

Fe-B位置

O-B位置

Lu-C位置

0 - A位置
Fe - A位置○
0 - C位置○
0 - A位置○
Fe - C位置○
0 - C位置
Lu - A位置
0 - B位置
Fe - B位置
0 - A位置
0 - B位置
Fe - A位置
0 - A位置
Lu - B位置

- [0029] このうち、○印を付した4層で構成される部分をW層(W-Layer)と呼んでおり、このW層を有していることが LuFe_2O_4 の特徴点となっている。
- [0030] また、 LuFe_2O_4 以外の層状三角格子構造を有する化合物でも同様にW層が形成されていることが知られている。
- [0031] W層は三角格子の積層構造となっており、 LuFe_2O_4 において同数の Fe^{2+} と Fe^{3+} とを存在させることにより、電荷のフラストレーションを生じさせている。
- [0032] これにより、 LuFe_2O_4 では、W層中において Fe^{3+} の多い領域が正電荷の役割を持ち、一方、 Fe^{2+} の多い領域が負電荷の役割を持つこととなって、電気双極子（電気分極）が現れることとなっている。
- [0033] しかも、 LuFe_2O_4 では、外部から電場を作用させることにより電気双極子の状態を制御でき、この電気双極子の状態に応じて LuFe_2O_4 が異なる電気抵抗を有することとなっている。
- [0034] このように、希土類元素を含有した層状三角格子構造を有する化合物はW層を有するとともに、外部から加えた電場によってW層中の電荷秩序構造を

制御して異なる電気抵抗の状態を生じさせることができることから、メモリ素子を構成できる。

[0035] すなわち、本発明のメモリ素子は、図3に示すように、所定の絶縁基板10上に第1電極21と、抵抗体30と、第2電極22とを下から順次積層させて形成しており、第1電極21と第2電極22を所定の電位として抵抗体30に電場を作用させることにより抵抗体30の電気抵抗を変更可能としている。

[0036] 第1電極21と第2電極22には、図示しない電圧印加装置を接続して、第1電極21と第2電極22の間の抵抗体30に所定の電場を作用させることとしている。

[0037] すなわち、電圧印加装置では、第1電極21の方を第2電極22よりも高電位とするか、第2電極22の方を第1電極21よりも高電位とするかによって抵抗体30に作用させる電場の向きを調整し、抵抗体30を電気抵抗の異なる2つの状態に変更可能としている。ただし、抵抗体30の電気抵抗を変更するためには、所定の閾値以上の電場を抵抗体30に作用させる必要がある。

[0038] 第1電極21及び第2電極22は、AuやCuなどの導電性の高い金属を用いて構成している。

[0039] 抵抗体20は、本実施形態では LuFe_2O_4 としている。なお、抵抗体20は LuFe_2O_4 に限定するものではなく、Rを、In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ca, Sr, Ce, Sn, Hfから選ばれる少なくとも1種類の元素、Ma及びMbを、Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, Cdから重複を許して選ばれる少なくとも1種類の元素、nを1以上の整数、mを0以上の整数、 δ を0以上0.2以下の実数として、 $(\text{RMbO}_{3-\delta})_n(\text{MaO})_m$ として表される層状三角格子構造を有する化合物、またはその化合物のRの一部を正二価以下の元素により置換した化合物を用いることができる。以下においては、抵抗体20は LuFe_2O_4 として説明する。

[0040] 上述したメモリ素子は、次のようにして形成することができる。

[0041] まず、絶縁基板10上にスパッタ法などによって第1金属層を形成する。

[0042] 次に、この第1金属層上に微粒子状とした LuFe_2O_4 を用いて、CVD (Chemical Vapor Deposition)法、スパッタ法、MBE (Molecular Beam Epitaxy)

法、あるいはエアロゾルデポジション法などによって形成して抵抗体を形成する。

[0043] 次に、この抵抗体層上にスパッタ法などによって第2金属層を形成する。

[0044] その後、この第2金属層の上面にエッチング用のマスクを形成して、エッチングあるいは電子線リソグラフィーにより第2金属層と、抵抗体層と、第1金属層を順次エッチングすることにより、第1電極21、抵抗体30、第2電極22を形成している。なお、抵抗体層は、 LuFe_2O_4 の単結晶である方が望ましいが、多結晶であってもよい。

[0045] 抵抗体層を形成する場合には、 LuFe_2O_4 のc軸方向を、第1電極21と第2電極22の対向方向に一致させている。なお、 LuFe_2O_4 のc軸方向は、第1電極21と第2電極22の対向方向に必ずしも完全に一致させておく必要はなく、少なくとも LuFe_2O_4 のc軸方向が、第1電極21と第2電極22の対向方向と直交していなければよい。

[0046] このように、抵抗体に希土類元素を含有した層状三角格子構造を有する化合物を用いることにより、抵抗体の電気抵抗を容易に切り替えることができるので、消費電力の小さいメモリ素子とすることができる。

[0047] 特に、抵抗体に所定の電圧を印加する2つ1組の第1電極21と第2電極22を、化合物のc軸方向に離隔させて設けることにより、第1電極21と第2電極22で形成した電場によって抵抗体30の電気抵抗を効果的に変えることができ、さらなる低消費電力化を図ることができる。

[0048] 図1に示したメモリ素子では、第1電極21と第2電極22、及び抵抗体30の幅寸法を同寸法としているが、例えば、図4に示すように、第2電極22'を第1電極21及び抵抗体30よりも小さい幅寸法としてもよい。

[0049] さらには、図5に示すように、第2電極22'を抵抗体30'よりも小さい幅寸法とするとともに、抵抗体30'を第1電極21よりも小さい幅寸法としてもよい。

[0050] あるいは、図6に示すように、第1電極21''と第2電極22''の幅寸法を、抵

抗体30”の幅寸法よりも小さくしてもよい。

- [0051] また、第1電極21と第2電極22は上下方向に離隔させて形成する場合だけでなく、例えば、図7に示すように、絶縁基板40の面方向に所定寸法だけ離隔させて第1電極51と第2電極52を設け、第1電極51と第2電極52の間に希土類元素を含有した層状三角格子構造を有する化合物からなる抵抗体60を設けてもよい。
- [0052] この場合、絶縁基板40上には、微粒子状とした LuFe_2O_4 を用いて、CVD法、スパッタ法、MBE法、あるいはエアロゾルデポジション法などによって抵抗体層をあらかじめ形成し、この抵抗体層を電子線リソグラフィなどによって所定のセル形状として抵抗体60を形成している。
- [0053] その後、絶縁基板40上には、スパッタ法などによって金属層を形成して抵抗体60を被覆し、第1電極51及び第2電極52を形成するためのエッチング用の第1マスクを形成して金属層をエッチングすることにより、絶縁基板40の面方向に第1電極51と、抵抗体60と、第2電極52を配設している。なお、抵抗体60を第1電極51と第2電極52よりも先に形成するのではなく、第1電極51と第2電極52を抵抗体60よりも先に形成してもよい。
- [0054] ここで、図7に示すように絶縁基板40の面方向に第1電極51と、抵抗体60と、第2電極52を配設する場合には、抵抗体60を構成する化合物のc軸方向を絶縁基板40の面方向としている。
- [0055] すなわち、表面の結晶面を調整した絶縁基板40を用いて抵抗体60を形成することにより、抵抗体60を構成する化合物のc軸方向を絶縁基板10の面方向とすることができる。本実施形態では、絶縁基板40には ScAlMgO_4 を用いている。
- [0056] 上述した実施形態では、第1電極21, 51と第2電極22, 52によって抵抗体30, 60に作用させる電場の方向が、絶縁基板10の垂直方向と、絶縁基板40の面方向とのいずれかとなっているが、場合によっては、図8に示すように、絶縁基板70の上面に設けた第1電極81に対して、抵抗体90を挟んで第2電極82を斜め上方位置に設けてもよい。

- [0057] 上述したメモリ素子を用いて記憶装置を構成することができる。記憶装置では、図9に示すように、記憶容量に応じた数のメモリ素子 m を行列状に配設している。
- [0058] メモリ素子 m の第1電極には第1配線101を接続し、メモリ素子 m の第2電極には、制御用トランジスタ t を介して第2配線102を接続している。
- [0059] 本実施形態の記憶装置では、図9中において縦方向に並んだメモリ素子 m は1本の第1配線101を共用しており、図9中において横方向に並んだメモリ素子 m は1本の第2配線102を共用している。
- [0060] 第1配線101は第1ドライバ回路103に接続し、第2配線102は第2ドライバ回路104にして、第1ドライバ回路103と第2ドライバ回路104によって、第1配線101及び第2配線102を介してメモリ素子 m に所定の電場を作用させるようにしている。
- [0061] 第1ドライバ回路103と第2ドライバ回路104は、それぞれ図示しない主制御部から入力された制御信号によって制御している。
- [0062] 制御用トランジスタ t のゲートには、それぞれ制御信号線105を接続しており、この制御信号線105は第3ドライバ回路106に接続して、第3ドライバ回路106から制御信号線105に出力された制御信号によって制御用トランジスタ t のオン・オフの切替制御を行っている。
- [0063] 図9中において横方向に並んだ制御用トランジスタ t は1本の制御信号線105を共用している。第3ドライバ回路106も図示しない主制御部から入力された制御信号によって制御している。
- [0064] このように構成した記憶装置において所定のデータを記憶する場合には、第1ドライバ回路103で所定のデータを記憶するメモリ素子 m に接続した第1配線101を第1の電位とし、第2ドライバ回路104で所定のデータを記憶するメモリ素子 m に接続した第2配線102を第2の電位として、第3ドライバ回路106で所定のデータを記憶するメモリ素子 m に接続した制御用トランジスタ t にオン信号を入力している。
- [0065] したがって、第1の電位となった第1電極と、第2の電位となった第2電

極によって、メモリ素子mの抵抗体に所定の電場を作用させることができ、抵抗体の電気抵抗を所定の電気抵抗としている。

[0066] なお、図9中において横方向に並んだ制御用トランジスタtは1本の制御信号線105を共用しているため、所定のデータを記憶するメモリ素子mに接続した制御用トランジスタtだけでなく、横方向に並んだ全ての制御用トランジスタtがオン状態となっている。

[0067] このとき、所定のデータを記憶するメモリ素子m以外のメモリ素子mには、第1ドライバ回路103と第2ドライバ回路104によって、それぞれのメモリ素子mの第1電極と第2電極を同電位とすることにより、メモリ素子mに無意味なデータが書き込まれることを防止している。

[0068] 一方、所定のメモリ素子mからデータを読み出す場合には、第3ドライバ回路106でデータを読み出すメモリ素子mに接続した制御用トランジスタtにオン信号を入力し、第1ドライバ回路103と第2ドライバ回路104とによって第1配線101及び第2配線102を介してデータを読み出すメモリ素子mに所定の読み出し用の電流を流している。

[0069] そして、この読み出し用の電流の値を第1ドライバ回路103または第2ドライバ回路104で検出し、この電流の値と所定の閾値との比較を行って、メモリ素子mの抵抗状態を検出してデータを読み出している。

[0070] なお、メモリ素子mからデータを読み出す際には、メモリ素子mにおける抵抗体において抵抗状態が変化する電場よりも小さい電場だけが作用する状態として、データの読み出しにともなってメモリ素子mで記憶されているデータが書き換えられないようにしている。

[0071] このように、メモリ素子mでは、データを書き込む場合と、データを読み出す場合とで第1電極及び第2電極を共用し、第1電極と第2電極を抵抗体の電気抵抗を検出するための電圧検出用の電極としても用いることにより、メモリ素子mの構造が複雑化することを防止でき、極めて容易にメモリ素子mを形成することができる。

産業上の利用可能性

[0072] 本発明によれば、低消費電力のメモリ装置を提供できる。

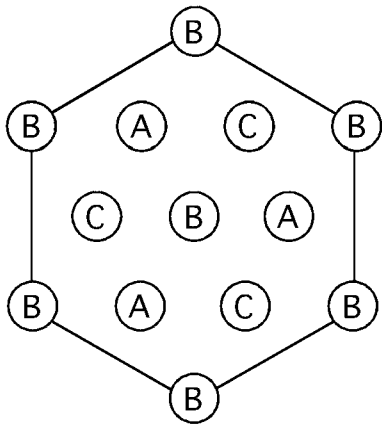
請求の範囲

- [請求項1] 電圧を印加することにより電気抵抗が変化する抵抗体と、
前記抵抗体に所定の電圧を印加するための電圧印加用の電極と
を有するメモリ素子であって、
前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成したメモリ素子。
- [請求項2] 前記抵抗体が、
Rを、In, Sc, Y, Dy, Ho, Er, Tm, Yb, Lu, Ti, Ca, Sr, Ce, Sn, Hfから選ばれる少なくとも1種類の元素、
Ma及びMbを、Ti, Mn, Fe, Co, Cu, Ga, Zn, Al, Mg, Cdから重複を許して選ばれる少なくとも1種類の元素、
nを1以上の整数、
mを0以上の整数、
 δ を0以上0.2以下の実数
として、 $(RmB_{0.3-\delta})_n(MaO)_m$ として表される層状三角格子構造を有する化合物、またはその化合物のRの一部を正二価以下の元素により置換した化合物である請求項1に記載のメモリ素子。
- [請求項3] 前記電圧印加用の電極は2つ1組として前記抵抗体を挟んで対向させて設けるとともに、前記電圧印加用の電極を前記抵抗体の電気抵抗を検出するための電圧検出用の電極と兼用している請求項1または請求項2に記載のメモリ素子。
- [請求項4] 前記電圧印加用の電極は、前記抵抗体を構成している前記化合物のc軸方向に離隔させて設けている請求項3に記載のメモリ素子。
- [請求項5] 電圧を印加することにより電気抵抗が変化する抵抗体と、
前記抵抗体に所定の電圧を印加するための電圧印加用の電極と
を有するメモリ素子の製造方法であって、
前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で形成する工程を有するメモリ素子の製造方法。

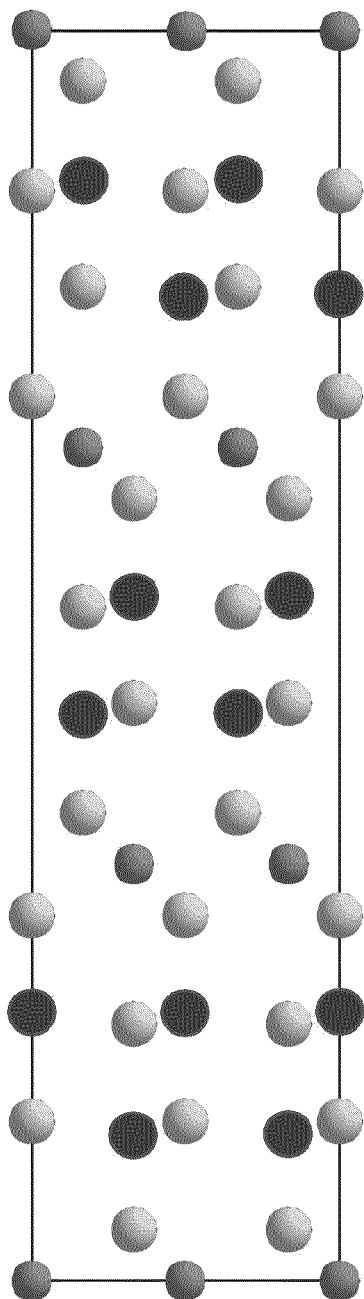
[請求項6]

電圧を印加することにより電気抵抗が変化する抵抗体と、
前記抵抗体に所定の電圧を印加するための電圧印加用の電極と
をそれぞれ有する複数のメモリ素子を備えた記憶装置であって、
前記抵抗体を希土類元素を含有した層状三角格子構造を有する化合物で構成した記憶装置。

[図1]



[図2]



Lu (B)
 O (C)

 Fe (C)
 O (B)
 O (C)
 Fe (B)

 O (B)
 Lu (C)
 O (A)

 Fe (A)
 O (C)
 O (A)
 Fe (C)

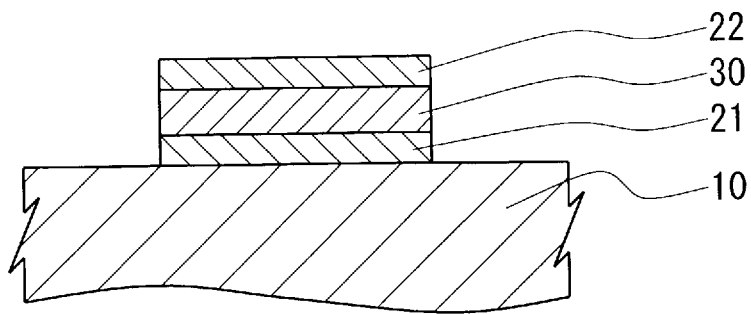
 O (C)
 Lu (A)
 O (B)

 Fe (B)
 O (A)
 O (B)
 Fe (A)

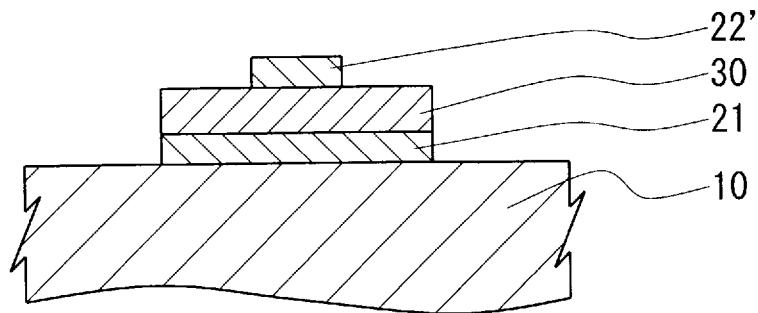
 O (A)
 Lu (B)

W-Layer

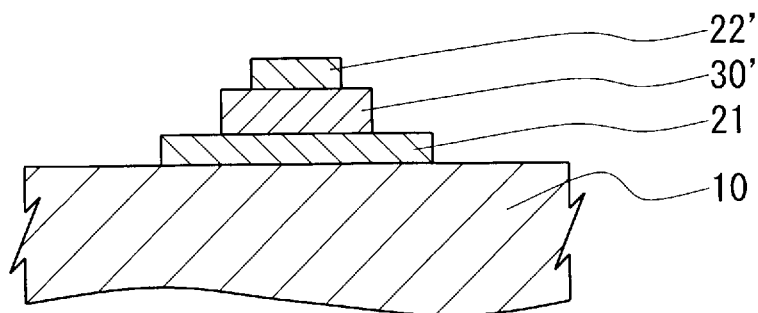
[図3]



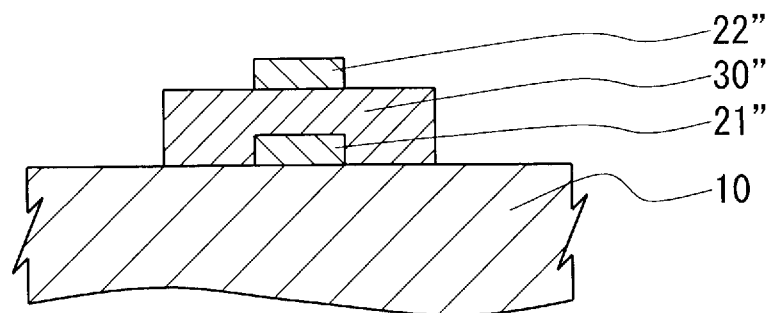
[図4]



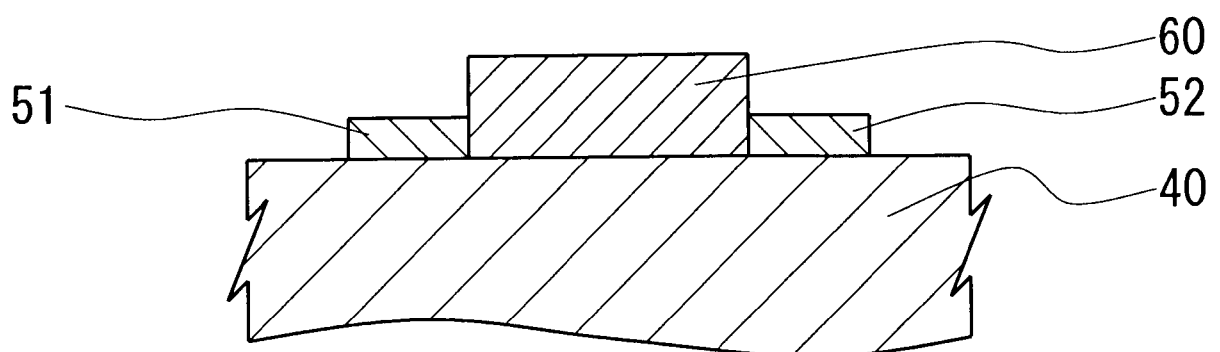
[図5]



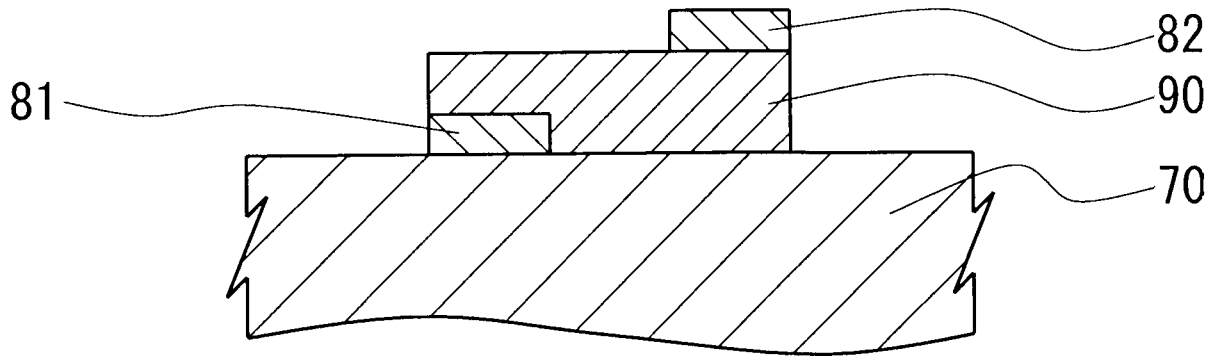
[図6]



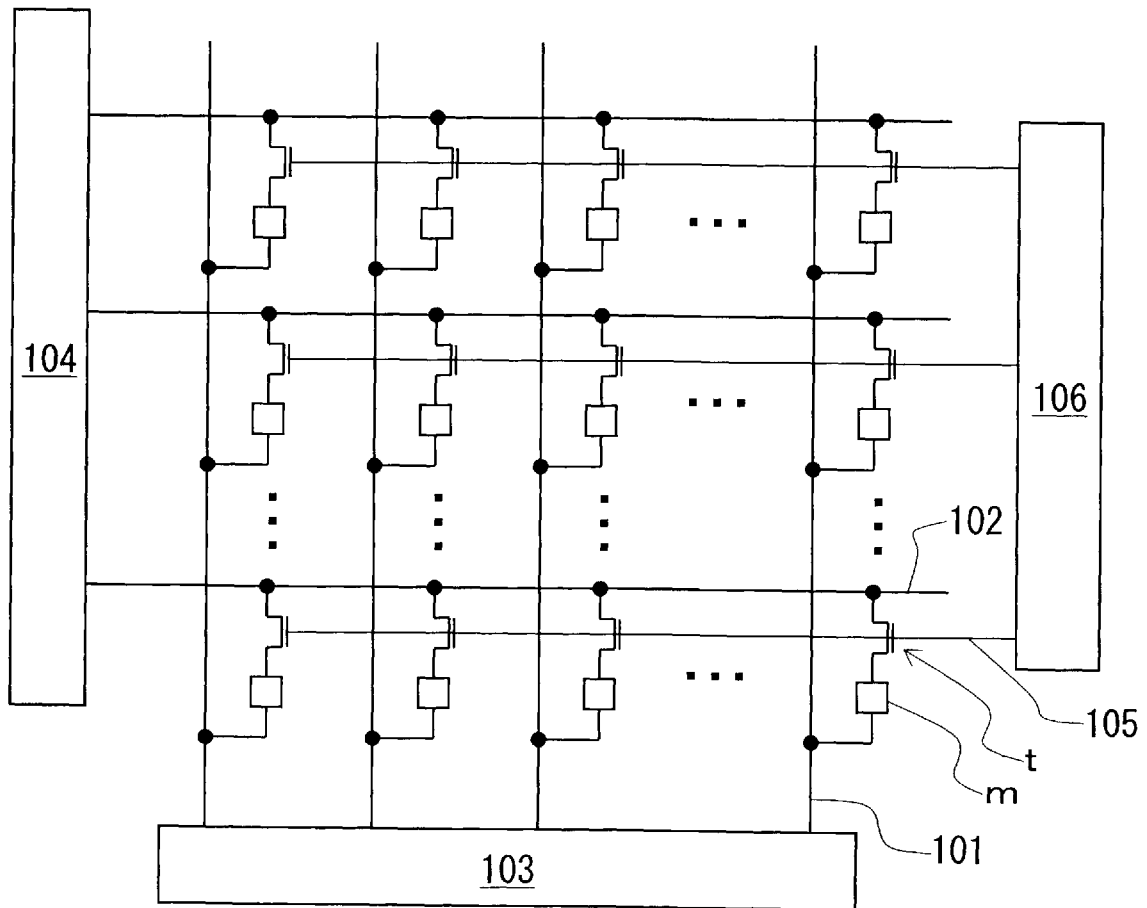
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067047

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-223886 A (Japan Synchrotron Radiation Research Institute), 06 September 2007 (06.09.2007), entire text; all drawings & KR 10-2007-0054069 A	1-6
A	N.Ikeda et al., "Ferroelectricity from iron valence ordering in the charge-frustrated system LuFe2O4", Nature, 2005.08.25, Vol.436, No.7054, August 2005, pp.1136-1138	1-6
A	JP 2002-368200 A (Sony Corp.), 20 December 2002 (20.12.2002), paragraphs [0047] to [0053]; fig. 3 to 4 & US 2002/0196654 A1	3, 4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2009 (15.12.09)

Date of mailing of the international search report
28 December, 2009 (28.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067047

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-317765 A (Seiko Epson Corp.), 06 December 2007 (06.12.2007), paragraphs [0036], [0060] to [0061] & US 2007/0275484 A1	4
P,X	WO 2009/028426 A1 (Okayama University), 05 March 2009 (05.03.2009), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-223886 A (財団法人高輝度光科学研究センター) 2007.09.06, 全文、全図 & KR 10-2007-0054069 A	1-6
A	N. Ikeda et al., "Ferroelectricity from iron valence ordering in the charge-frustrated system LuFe2O4", Nature, 2005.08.25, Vol.436, No.7054, August 2005, pp.1136-1138	1-6
A	JP 2002-368200 A (ソニー株式会社) 2002.12.20, [0047]-[0053], 図3-4 & US 2002/0196654 A1	3, 4

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 15.12.2009	国際調査報告の発送日 28.12.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小川 将之 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-317765 A (セイコーエプソン株式会社) 2007. 12. 06, [0036], [0060]-[0061] & US 2007/0275484 A1	4
P、X	WO 2009/028426 A1 (国立大学法人岡山大学) 2009. 03. 05, 全文、全 図 (ファミリーなし)	1-6