

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年6月4日 (04.06.2009)

PCT

(10) 国際公開番号
WO 2009/069365 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 45/00 (2006.01)
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2008/066500
- (22) 国際出願日: 2008年9月8日 (08.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-310662
2007年11月30日 (30.11.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目5番5号 Osaka (JP). 三洋半導体株式会社 (SANYO SEMICONDUCTOR CO., LTD.) [JP/JP]; 〒3700596 群馬県邑楽郡

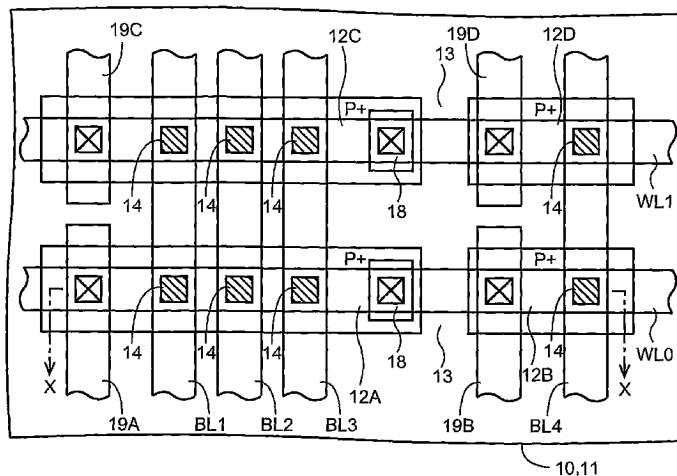
- 大泉町坂田一丁目1番1号 Gunma (JP). 国立大学法人東京農工大学 (NATIONAL UNIVERSITY CORPORATION TOKYO UNIVERSITY OF AGRICULTURE AND TECHNOLOGY) [JP/JP]; 〒1838538 東京都府中市晴見町3-8-1 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 須田良幸 (SUDA, Yoshiyuki) [JP/JP]; 〒1838538 東京都府中市晴見町3-8-1 国立大学法人東京農工大学内 Tokyo (JP). 太田豊 (OTA, Yutaka) [JP/JP]; 〒3700596 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内 Gunma (JP).
- (74) 代理人: 須藤克彦 (SUTO, Katsuhiko); 〒3730818 群馬県太田市小舞木町388 OKビル2階 Gunma (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体メモリ装置

第1図



(57) Abstract: Provided is a highly integrated switching resistive RAM having a short readout time. An NPN type bipolar transistor (BT) has an N well (11) as a collector layer, a P+ type Si layer (12A) formed on the surface of the N well (11) as a base layer, and an N+ type Si layer (15) formed on the surface of the P+ type Si layer (12A) as an emitter layer. A word line (WL0) is electrically connected to the N+ type Si layer (15), and bit lines (BL1-BL4) intersect with the word line (WL0). Furthermore, a plurality of switching layers (14) are formed on the surface of the P+ type Si layer (12A) and electrically connected to the corresponding bit lines for performing switching between the on-state and the off-state, and a potential fixing line (19A) fixes the P+ type Si layer (12A) at a prescribed potential.

[続葉有]

WO 2009/069365 A1



DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(ii))
- 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

- 国際調査報告書

(57) 要約: 読み出し時間を短縮するとともに、高集積化されたスイッチング抵抗RAMを実現する。Nウエル11をコレクタ層とし、Nウエル11の表面に形成されたP+型Si層12Aをベース層とし、P+型Si層12Aの表面に形成されたN+型Si層15をエミッタ層とする、NPN型のバイポーラトランジスタBTが形成されている。また、N+型Si層15に電氣的に接続されたワード線WLO、ワード線WLOに交差したビット線BL1~BL4が形成されている。また、P+型Si層12Aの表面に形成され、対応するビット線に電氣的に接続されるとともに、ON状態とOFF状態の間でスイッチングする複数のスイッチング層14と、P+型Si層12Aを所定の電位に固定する電位固定線19Aが形成されている。

明 細 書

半導体メモリ装置

5 技術分野

本発明は、Si層、SiC層、Si酸化層で構成される2端子のメモリセルを用いた半導体メモリ装置に関する。

背景技術

- 10 近年、半導体メモリ装置は情報の記憶装置として様々な分野で用いられている。従来の半導体メモリ装置として、フラッシュメモリやRAM、ROMなどが用いられており、それらは制御電極が3つ必要な3端子メモリである。近年、記憶情報量の拡大の要請に伴って、2つの電極で制御可能な2端子メモリの出現が望まれている。2端子メモリは3端子メモリに比較して電極数が減るため、回路基板でのメモリ1個当
- 15 たりにおける占有面積が少なくなる。よって、回路基板の単位面積当たりにおけるメモリ数を増加することができ、面積あたりの情報量、即ち、記憶情報密度を拡大することができる。よって、面積の小さい基板で、取り扱える情報量の多い記憶装置の作製が可能となる。

- 近年、2端子メモリとしてスイッチング抵抗RAMが研究されている。スイッチ
- 20 ング抵抗RAMは、電位印加によりON状態とOFF状態の間でスイッチングする、スイッチング層を用いてメモリセルを形成し、このメモリセルをビット線とワード線の各交差点に接続した構成を有している。スイッチング層は、等価回路的には抵抗素

子とみなすことができ、ON状態では抵抗値が低くなり、OFF状態では抵抗値が高くなるという性質を持っている。そして、ビット線とワード線に印加する電位を制御することにより、データの書き込み、読み出し、消去が可能になっている。

第16図はそのようなスイッチング抵抗RAMの構成を示す図である。ワード線WL0、WL1とビット線BL0、BL1の各交差点に、スイッチング層を含んだメモリセルCEL1～CEL4が接続されている。

今、メモリセルCEL1が選択されたとする。この時、ビット線BL1、ワード線WL0が選択されており、それぞれの電位が、Hレベル、Lレベルに設定される。非選択のビット線BL0の電位はLレベル、非選択のワード線WL1の電位はHレベルに設定されている。そこで、ビット線BL1に電流センスアンプを接続すれば、選択されたメモリセルCEL1に流れる電流をセンスすることができる。すなわち、メモリセルCEL1がON状態に設定されていれば電流は大きくなり、OFF状態に設定されていれば電流は小さくなるので、電流センスアンプのセンス結果に基づいて、メモリセルCEL1に記憶されたデータ（「1」又は「0」）を読み出すことができる。

関連した技術文献としては、例えば Y.Hosoi et.al. 「High Speed Unipolar Switching Resistance RRAM (RRAM) Technology」 IEDM 2006 30-7、

K.Takada、M.Fukumoto、Y.Suda、「Memory Function of a SiO₂/β-SiC/Si MIS Diode」 Ext. Abs. 1999 International Conference on Solid State and Materials, p.132-133 (1999) が挙げられる。

20

発明の開示

上述したスイッチング抵抗RAMにおいては、第1に、スイッチング層を流れ

る読み出し電流が小さいために、読み出し時間が長くなるという問題があった。

また、第2に、読み出し時に、非選択ワード線等を経由した不必要な回り込み電流が生じ、消費電流が非常に大きくなるという問題があった。以下で、この回り込み電流について第16図を参照して説明する。

5 今、メモリセルCEL3、CEL4がON状態に設定されているとする。そうすると、非選択のワード線WL1からメモリセルCEL3、4を経由して選択されたワード線WL0に回り込み電流が流れ込む。回り込み電流は図示しない、他の非選択のワード線からも生じるので、消費電流が非常に大きくなってしまう。また、回り込み電流が選択されたワード線WL0に流れ込むと、ワード線WL0の電位が上昇し、

10 選択されたメモリセルCEL1に流れる電流が小さくなるという問題も生じる。

 ここで、非選択のメモリセルCEL3は、選択されたメモリセルCEL1とは逆にバイアスされており、こうした逆バイアス下で非選択のメモリセルCEL3に電流が流れるために、回り込み電流が生じていた。そこで、第17図に示すように、各メモリセルCEL1～CEL4のスイッチング層に、それぞれ直列にダイオードD1

15 ～D4を接続することにより、回り込み電流の発生を防止することが考えられる。

 しかしながら、メモリセルを構成する素子数が増加し、占有面積が増加するという問題がある。また、従来のスイッチング抵抗RAMでは、メモリセルCEL1～CEL4をON状態からOFF状態に遷移させるには、読み出し時とは逆の方向に、つまり、ワード線からビット線方向に、スイッチング膜に逆方向電流を流すことが必

20 要であるが、上述のようにダイオードD1～D4を設けると、逆方向電流が流せなくなる。そこで、第18図に示すように、リセット電極R1、R0を設け、ダイオードD1～D4をバイパスしてスイッチング膜に逆方向電流を流すようにすればこの問題

は解決するが、さらに素子数が増加し、占有面積が増加することは避け難い。

本発明の半導体メモリ装置は、上述した課題に鑑みてなされたものであり、コレクタ層と、前記コレクタ層の表面に形成されたベース層と、前記ベース層の表面に形成されたエミッタ層と、前記エミッタ層に電氣的に接続されたワード線と、前記ワード線に交差して前記ベース層上に延びる複数のビット線と、前記ベース層の表面に形成され、対応する前記ビット線に電氣的に接続されるとともに、ON状態とOFF状態の間でスイッチングする複数のスイッチング層と、前記ベース層を所定の電位に固定する電位固定線と、を備えることを特徴とする。

かかる構成によれば、ビット線からスイッチング層を介してベース層に流れる読み出し電流は、コレクタ層、ベース層、エミッタ層から構成されるバイポーラトランジスタにより増幅されてワード線に出力されるため、これをセンスすることにより読み出し時間を短縮することができる。

また、上記構成に加えて、前記ベース層はSi層からなり、前記スイッチング層は、前記Si層に積層されたSiC層と、前記SiC層上に積層され、対応する前記ビット線に接続されたSi酸化層とからなることを特徴とする。

かかる構成によれば、スイッチング層を逆バイアスした時に流れる逆方向電流をダイオードの逆方向リーク電流程度に小さくできる。これは、スイッチング層がダイオードの働きを有しているためである。また、スイッチング層をON状態からOFF状態に遷移させるためには、これに逆方向電位を印加すればよく、大きな逆方向電流を流す必要はない。従って、従来のように、スイッチング層とは別個にダイオードやリセット電極を設ける必要がないので、メモリセルの占有面積を非常に小さくすることができ、これにより高集積化されたスイッチング抵抗RAMを実現することができ

きる。

本発明の半導体メモリ装置によれば、読み出し時間を短縮するとともに、高集積化されたスイッチング抵抗RAMを実現することができる。

5 図面の簡単な説明

第1図は本発明の実施形態に係る半導体メモリ装置の平面図であり、第2図は第1図のX-X線に沿った断面図であり、第3図はスイッチング層の構成を示す断面図であり、第4図はスイッチング層の電気的特性を示す図であり、第5図は本発明の実施形態に係る半導体メモリ装置の等価回路を示す図であり、第6図は本発明の実施形態に係る半導体メモリ装置の等価回路を示す図であり、第7図は本発明の実施形態に係る半導体メモリ装置の等価回路を示す図であり、第8図は本発明の実施形態に係る半導体メモリ装置のメモリ動作を示す図であり、第9図は本発明の実施形態に係る半導体メモリ装置の構造を示す図であり、第10図は本発明の実施形態に係る半導体メモリ装置の製作方法を示すフロー図であり、第11図はSiCを1200℃で熱酸化した場合の、SiO₂及びSiOXの含有率を示す図であり、第12図はSiCを1000℃で熱酸化した場合の、SiO₂及びSiOXの含有率を示す図であり、第13図は本発明の実施形態におけるメサ型の半導体メモリ装置の構造図であり、第14図は従来の構造における半導体メモリ装置のメモリ動作回数の動特性を測定した結果を示す図であり、第15図は本発明の実施形態における半導体メモリ装置のメモリ動作回数の動特性を測定した結果を示す図であり、第16図は従来の半導体メモリ装置の構成を示す回路図であり、第17図は従来の半導体メモリ装置の構成を示す回路図であり、第18図は従来の半導体メモリ装置の構成を示す回路図である。

発明を実施するための最良の形態

本発明の実施形態に係る半導体メモリ装置の構成について図面を参照しながら説明する。第1図は半導体メモリ装置の平面図、第2図は第1図のX-X線に沿った
5 断面図である。

P型Si（シリコン）基板10の表面に、N型不純物が拡散されることによりNウェル11が形成されている。Nウェル11はコレクタ層として用いられる。Nウェル11の表面にさらにP型不純物が拡散されることにより島状のP+型Si層12A、12B、12C、12Dが形成されている。P+型Si層12A、12B、12C、12Dはベース層として用いられる。P+型Si層12A、12B、12C、12Dは、素子分離絶縁膜13によって互いに分離されている。素子分離絶縁膜13は、トレンチに埋め込まれたSi酸化層であることが微細化の上で好ましいが、いわゆるLOCOS（Local Oxidation of Silicon）酸化膜でもよい。

また、P+型Si層12A、12B、12C、12Dの表面には、ON状態と
15 OFF状態の間でスイッチングするスイッチング層14が形成されている。スイッチング層14は、第3図に示すように、P+型Si層12Aの表面に積層されたSiC（炭化シリコン）層14Aと、SiC層14A上に積層されたSi酸化層14Bとから構成されている。P+型Si層12B、12C、12D上のスイッチング層14についても同じである。スイッチング層14は、ビット線BL1～BL4とワード線WL0、WL1の交差点に対応して設けられている。即ち、ビット線BL1～BL4と
20 ワード線WL0、WL1の各交差点に1つのメモリセルが形成されている。

第1図、第2図では、1つのP+型Si層内に3つのメモリセルが形成されている

が、寄生容量による読み出し時間が長くない範囲でメモリセル数を増やしても良い。

また、P+型Si層12A、12Cの端部の表面には、エミッタ層として用いられるN+型Si層15が形成されている。尚、本実施形態では、P+型Si層12A、12B、12C、12Dの中には、それぞれ3つのスイッチング層14が形成されるが、第1図、第2図において、P+型Si層12B、12Dについては、便宜上1つのスイッチング層14だけを図示している。

スイッチング層14、N+型Si層15が形成されたP型Si基板10上には第1の層間絶縁膜16が形成されている。第1の層間絶縁膜16にはスイッチング層14、N+型Si層15に対応してコンタクトホールが形成されている。そして、各コンタクトホールに埋め込まれた電極を介して、スイッチング層14のSi酸化層14Bは、対応したビット線BL1～BL4に電氣的に接続され、N+型Si層15はエミッタ電極18に電氣的に接続されている。また、P+型Si層12A、12B、12C、12D上の第1の層間絶縁膜16にもそれぞれコンタクトホールが形成されている。そして、各コンタクトホールに埋め込まれた電極を介して、各P+型Si層12A、12B、12C、12D（ベース層）は、電位を固定するための電位固定線19A、19B、19C、19Dにそれぞれ電氣的に接続されている。

また、第1の層間絶縁膜16上には第2の層間絶縁膜17が形成されている。第2の層間絶縁膜17にエミッタ電極18に対応してコンタクトホールが形成され、コンタクトホールに埋め込まれた電極を介して、エミッタ電極18は対応するワード線WL0、WL1に電氣的に接続されている。

また、ワード線WL0、WL1には、読み出し電流をセンスするための不図示

のセンスアンプがそれぞれ設けられている。また、ビット線BL1～BL4、ワード線WL0、WL1、電位固定線19A、19B、19C、19Dに書き込み、読み出し、消去に対応した電位を印加するための、不図示の電位印加手段が設けられている。

このように、本実施形態によれば、島状のP+型Si層12A、12B、12C、12D上は、それぞれ同一構成のメモリユニットが形成されている。1つのメモリユニットの3つのメモリセルは、スイッチング層14として、ワード線とビット線の交差点に配置されている。従って、このようなメモリユニットを繰り返して配置することにより、任意のメモリ容量を持ったスイッチング抵抗RAMを形成することができる。そして、読み出し時には、例えば、ビット線BL1にプラスの電位を印加することで、スイッチング層14を介して読み出し電流が流れる。読み出し電流は基本的にはトンネル電流であるためスイッチング層14がON状態の時でも小さい。

この読み出し電流は、ベース電流として、P+型Si層12A（ベース層）からN+型Si層15（エミッタ層）に流れ込む。すると、Nウェル11をコレクタ層とし、P+型Si層12Aをベース層とし、N+型Si層15をエミッタ層とする、NPN型のバイポーラトランジスタBTがターンオンする。なお、Nウェル11はHレベル、ワード線WL0はLレベルに設定されているとする。そして、読み出し電流はバイポーラトランジスタBTにより増幅され、その増幅された読み出し電流がワード線WL0に流れる。ワード線WL0にはセンスアンプが接続されているので、その増幅された読み出し電流をセンスアンプによりセンスすることでメモリセルに記憶された情報を短時間で読み出すことができる。

スイッチング層14の各種特性や製造方法については後で詳しく説明するが、ここでは第4図を参照してその電気的特性の概略を説明する。第4図はスイッチング

層 1 4 に印加される電圧と、スイッチング層 1 4 に流れる電流との関係を示している。スイッチング層 1 4 の上層のビット線から P + 型 S i 層 1 2 A に向けて電流が流れる時にスイッチング層 1 4 に印加される電圧がプラスの電圧、つまり順方向電圧であり、逆に P + 型 S i 層 1 2 A からビット線に向けて電流が流れる時にスイッチング層 1 4 に印加される電圧がマイナスの電圧、つまり逆方向電圧であるとする。実際にはビット線、ワード線、電位固定線に印加する電位を制御することにより、スイッチング層 1 4 に印加される電圧が発生する。

いま、スイッチング層 1 4 が O F F 状態（消去状態）の場合、抵抗の高い状態でありプラスの電圧を印加しても電流は非常に小さい。さらにプラスの電圧を高くすると、O F F 状態から O N 状態（書き込み状態）への遷移が起こり、スイッチング層 1 4 は抵抗の低い状態になり、プラスの電圧を印加すると O F F 状態に比して大きな電流が流れるようになる。

そして、この O N 状態でマイナスの電圧を印加すると、逆方向電流が流れる。そして、マイナスの電圧を高くすると O N 状態から O F F 状態への遷移が起こり、スイッチング層 1 4 は抵抗の高い状態に戻り、逆方向電流も殆ど流れなくなる。

尚、読み出し時には、O F F 状態から O N 状態への遷移が起こらない程度のプラスの電圧を印加して、スイッチング層 1 4 を介して流れる読み出し電流を上述のように増幅してセンスすればよい。

上記スイッチング層 1 4 の構成によれば、第 4 図の破線で囲んだ部分の逆方向電流は、ダイオードの逆方向リーク電流程度に小さくできることが本発明者により確認されている。これは、スイッチング層 1 4 がダイオードの働きを有しているためである。したがって、本実施形態の回路は、第 1 7 図のようなダイオードを組み込んだ

回路と等価になる。また、スイッチング層 1 4 を ON 状態から OFF 状態に遷移させるためには、スイッチング層 1 4 に対してある程度大きなマイナスの電圧を印加すればよく、大きな逆方向電流を流す必要はない。

従って、従来のように、スイッチング層 1 4 とは別個にダイオードやリセット電極を設けることなく回り込み電流を防止することができる。そして、別個にダイオードやリセット電極を設ける必要がないので、メモリセルの占有面積を非常に小さくすることができ、これにより高集積化されたスイッチング抵抗 RAM を実現することができる。

以下、本実施形態の半導体メモリ装置の詳しい動作について説明する。第 5 図、第 6 図、第 7 図は、第 1 図及び第 2 図に示した半導体メモリ装置の等価回路を示している。また、表 1 に、書き込み時、読み出し時、消去時におけるビット線、ワード線等の電位状態を示す。

第 5 図～第 7 図において、スイッチング層 1 4 は ON 状態と OFF 状態で抵抗値が変化する抵抗 1 4 C と、この抵抗に直列接続されたダイオード 1 4 D によって表すことができる。また、第 5 図～第 7 図においては、P+型 Si 層 1 2 A, 1 2 B, 1 2 C, 1 2 D に対応した 4 つのメモリユニットが図示されている。第 1 図及び第 2 図では、P+型 Si 層 1 2 C, 1 2 D に対応したビット線 BL 5, BL 6、バイポーラトランジスタ BT は省略されているが、第 5 図～第 7 図では図示してある。

また、表 1 において、選択ビット線 BL 及び非選択ビット線に印加される「H」は、スイッチング層 1 4 が OFF 状態から ON 状態に遷移しない程度のプラス電位であり、「H+」はスイッチング層 1 4 が OFF 状態から ON 状態に遷移する程度のプラス電位であり、「H」より高い電位である。また、電位固定線 1 9 A～1 9 D に印加さ

れる「H+」はスイッチング層14がON状態からOFF状態に遷移する程度のプラスの高電位である。また、Nウェル11に印加される「H」は読み出し時に印加されるプラスの電位で、「H+」はそれより高いプラスの電位である。「FL」とはフローティング状態であることを示している。「L」は「H」、「H+」より低い電位であり、

5 通常は接地電位である。

表 1

動作モード	書き込み	読み出し	消去
選択ビット線 BL	H+	H	L
非選択ビット線 BL	L	L	FL
選択ワード線 WL	L	L	FL
非選択ワード線 WL	FL	H	FL
電位固定線(同一のP+型層)	FL	FL	H+
電位固定線(別のP+型層)	FL	L	H+
Nウェル 11	H+	H	H+

[書き込み時の動作]

10 いま、ビット線BL1とワード線WL0が選択されたとすると、ビット線BL1とワード線WL0の交差点のスイッチング層14が選択セルになる。この場合、ビット線BL1の電位は「H+」、ワード線WL0の電位は「L」に設定される。すると、選択されたスイッチング層14に順方向電圧が印加され、スイッチング層14は、OFF状態からON状態に遷移する。但し、スイッチング層14の初期状態はOFF状態とする。

この時、非選択のビット線BL2～BL6と選択されたワード線WL0に対応するスイッチング層14には電圧が印加されず、ON/OFF状態は変化しない。

また、選択されたビット線BL1と非選択のワード線WL1に対応するスイッチング層14については、非選択のワード線WL1は「FL」の状態なので、スイッチング層14には電位が印加されず、ON/OFF状態は変化しない。さらに、非選択のビット線BL2～BL6と非選択のワード線WL1に対応するスイッチング層14については、非選択のビット線BL2～BL6の電位が「L」、非選択のワード線WL1が「FL」の状態なので、同様に、ON/OFF状態は変化しない。

[読み出し時の動作]

いま、ビット線BL1とワード線WL0が選択されたとすると、ビット線BL1とワード線WL0の交差点のスイッチング層14が選択セルになる。この場合、ビット線BL1の電位は「H」、ワード線WL0の電位は「L」に設定される。この選択セルのスイッチング層14は、上記書き込み動作により、ON状態になっているとする。すると、このスイッチング層14からP+型Si層12A（ベース層）に読み出し電流（ベース電流IB）が流れ、この読み出し電流はN+型Si層15（エミッタ層）に流れ込む。すると、NPN型のバイポーラトランジスタBTがターンオンする。そして、読み出し電流はバイポーラトランジスタBTにより増幅され、その増幅された読み出し電流がワード線WL0に流れる。この時、ワード線WL0にはエミッタ電流 $I_E = I_B + I_C$ が流れることになる。ICはコレクタ電流である。

この時、選択セルと同じP+型Si層12Aの中にある非選択セル、つまり、非選択のビット線BL2、BL3とワード線WL0に対応するスイッチング層14については、選択セルからP+型Si層12Aに読み出し電流が流れることで、P+型Si層12Aの電位が上昇して、前記スイッチング層14に逆方向電位が印加されることになるが、その電位は小さいのでON/OFF状態の変化が起こることはない。

また、非選択のビット線と選択されたワード線WL0に対応する非選択セルであって、選択セルと異なるP+型Si層12Bの中にある非選択セル、つまり、非選択のビット線BL4～BL6とワード線WL0に対応するスイッチング層14については、ビット線BL4～BL6の電位は「L」、電位固定線19Bの電位は「L」に設定されているので、電位が印加されず、読み出し電流は流れない。また、バイポーラトランジスタBTにも電流は流れない。

また、選択されたビット線BL1と非選択のワード線WL1に対応するスイッチング層14（P+型Si層12Cの中にある）については、ビット線BL1の電位は「H」であり、P+型Si層12Cの電位は、スイッチング層14がON状態の時は「H」になり、OFF状態の時は「L」になるが、ワード線WL1の電位は「H」であるため、バイポーラトランジスタBTに電流は流れない。

また、P+型Si層12Cの中にある他の非選択セル、つまり、ビット線BL2，BL3と非選択のワード線WL1に対応するスイッチング層14については、選択されたビット線BL1と非選択のワード線WL1に対応するスイッチング層14が、ON状態の時、P+型Si層12Cの電位は「H」になるが、ワード線WL1の電位が「H」であるため、バイポーラトランジスタBTに電流は流れない。

さらに、P+型Si層12Dの中にある他の非選択セル、つまり、ビット線BL4，BL5，BL6と非選択のワード線WL1に対応するスイッチング層14については、BL4，BL5，BL6の電位が「L」、非選択のワード線WL1の電位が「H」であるため、バイポーラトランジスタBTに電流は流れない。

[消去時の動作]

いま、ビット線BL1が選択されたとする。ビット線BL1の電位は「L」に、

電位固定線 19A、19Cの電位は「H+」に設定される。これにより、ビット線BL1に接続されたスイッチング層14には逆方向電位が印加される。これにより、ビット線BL1に接続された全てのセル（スイッチング層14）の情報が一括消去される。つまり、スイッチング層14はON状態からOFF状態に遷移する。

- 5 一方、非選択のビット線に接続された非選択セルについては「FL」の状態に設定されているため、ON/OFF状態は変化しない。同様に、ビット線BL1、BL2に接続された全てのセルを消去するには、ビット線BL1、BL2の電位を「L」に、電位固定線19A、19Cの電位を「H+」に設定すればよい。

10 以下、スイッチング層14を用いたメモリセルの各種特性、製造方法、好ましい構成について詳しく説明する。以下の説明において、「Si」は前記P+型Si層12A~12Dに、「SiC」はSiC層14Aに、「Si酸化物」は前記Si酸化層14Bに対応している。また、「SiCとSi酸化物の積層物」がスイッチング層14に対応している。

15 第8図に、バンド図によるメモリ動作のモデルを示す。Si酸化物は、酸化温度が1000度と低い場合、完全酸化物であるSiO₂と、不完全酸化物SiO_x（x<2）が混在する。またこの酸化物は、SiCのCが除去される過程を通して形成されたため、温度が低いと他の原子と結合していない未結合手をもったSiが結晶欠陥として存在し、かつこの未結合手が電子を放出しており、プラスに帯電したSi⁺として残存する。よって、Si酸化物の領域、およびSi酸化物とSiCとの界面にこ
20 のようなドナー型欠陥が存在する。特にSi酸化物とSiCとの界面により多くのドナー型欠陥が存在する（第8図の（1））。

 Si酸化物の表面にプラスの電圧をかけていくと、Si基板の抵抗が低いため

に、印加した電圧は主にS i 酸化物とS i Cにかかる。しかし、S i 酸化物が障壁となるために電流はほとんど流れない。つまり、メモリ装置全体として抵抗の高い状態となる。この抵抗の高い状態がOFF状態となる（第8図の（2））。

S i のバンドギャップは1.1 e V、S i Cのバンドギャップは立方晶構造の場合
5 2.3 e Vである。電圧をさらに増加すると、S i CとS i 基板とにバンドギャップ差があるために、ある電圧を超えたところで、S i 基板からS i C側に電子が注入され、S i 酸化物とS i Cとの界面に多く存在している、ドナー型欠陥であるS i +に電子が捕獲される。このとき、S i 基板から電子が捕獲された領域まで電圧がかかりにくくなり、電子の捕獲量の少ないS i 酸化物の領域に多くの電圧がかかるようになる。
10 このため、S i 酸化物に強い電界が発生し、電子がS i 酸化物をトンネルするようになり電流が流れる。よってメモリ装置全体として抵抗が低下したことになる。この抵抗の低い状態がON状態である（第8図の（3））。OFF状態からON状態に遷移することは情報“1”の書き込みに対応する。

メモリ装置がON状態にあるとき、S i 酸化物の表面にマイナスの電圧を印加
15 すると、電子はドナー型欠陥のS i +に捕獲されたままなので、電圧が主にS i 酸化物にかかり、引き続き電子がS i 酸化物をトンネルして電流が流れる（第8図の（4））。しかし、S i 酸化物の表面にさらにマイナスの電圧を印加すると、捕獲されていた電子が放出されS i +となり、電子はS i 基板側に戻される。よって、再び電圧がS i 酸化物とS i Cの双方にかかるようになる（第8図の（5））。結果的にS i 酸化物の
20 電界が弱まって、電子がS i 酸化物をトンネルできなくなり、電流がほとんど流れなくなる。すなわちメモリ装置の抵抗が全体として増加したことになり、OFF状態となる（第8図の（6））。ON状態からOFF状態に遷移することは情報の消去または

情報“0”の書き込みに対応する。

即ち、このメモリ動作はS i 酸化物に形成されるドナー型欠陥を利用している。電子がS i 酸化物およびS i 酸化物とS i Cとの界面に発生するドナー型欠陥S i +に捕獲されるとON状態になり、電子がドナー型欠陥から放出されるとOFF状態になる。よって、ON状態を論理値“1”の記憶、OFF状態を論理値“0”の記憶とするメモリ動作として対応させることが出来る。S i 酸化物にかける電圧をプラス側に十分大きくすればOFF状態からON状態に、逆にマイナス側に十分大きくすればON状態からOFF状態に変えることが出来る。また、低い電圧で電流が流れるか流れないかを調べれば装置の記憶値である“0 (OFF状態)”か“1 (ON状態)”か、

5

10

を読み取ることが出来る。

なお、S i Cを酸化した方が、S iを直接酸化するよりドナー型欠陥をより多く形成可能である。これは、S i Cを酸化することにより、Cの除去及びS i 酸化物の形成が容易にできるからである。また、S i Cがあることで、欠陥での電子捕獲の有無により、電圧がS i CとS i 酸化物の両方にかかる場合と、S i 酸化物のみにかかる場合とに変化して、電流の流れやすさ、即ち、メモリ装置の抵抗を変化している

15

ことになる。

第9図は、半導体メモリ装置の構成図である。1はS i 基板層、2はS i C層、3は第2のS i 酸化層、4は第1のS i 酸化層である。S i 基板層1は、N型にドーピングしたS i (111) 基板を用いる。これは、電子濃度の高いN型のS i 基板を用いるとメモリ動作を効果的に実現できるためである。また、S i +の欠陥量はS i 酸化物内およびS i 酸化物とS i Cとの界面で制御されるため、S i 基板層1上に形成するS i C自体は欠陥が少なく結晶性が高いほうが良い。S i 基板の面方位が(111)面で

20

あると、結晶性の高いSiCが成膜できる。

以下、第10図のフローチャートを用いて、半導体メモリ装置の作製方法を説明する。N型にドーピングしたSi(111)基板層1上に、CVD法によりSiC層2を形成する(ステップS1)。SiC層2は、ドーピングしたものでも、していないものでもどちらでも良い。N型にドーピングしたSi基板層1上に、P型にドーピングしたSiC層2を形成しても良い。

次に、熱酸化装置に酸素を導入し、酸化雰囲気中1100度以上の温度でSiCを熱酸化する。これにより、SiC層2の上部に第1のSi酸化層4が形成される(ステップS3)。第1のSi酸化層4の厚さは、2~20nmが好ましい。

第1のSi酸化層4は高温でSiCを熱酸化するので、SiO₂の含有率を90%以上にすることができる。第11図に、SiCを1200度で熱酸化を行った場合の、Si酸化物表面からSiCまでの深さ方向におけるSi酸化物の含有率を示す。第11図より、完全酸化物であるSiO₂の含有率が、Si酸化物の表面からSiCとの界面近くまで90%程度存在している。それに対して、不完全酸化物であるSiO_xの含有率が、Si酸化物表面で10%程度、SiCとの界面付近でさえも30%程度しか存在していない。これより、第1のSi酸化層4は、ほぼ完全酸化物SiO₂で構成されていると考えられる。

次に、酸化温度を1100度未満に下げて、SiCを熱酸化する。これにより、SiC層2と第1のSi酸化層4の間に第2のSi酸化層3が形成される(ステップS5)。第2のSi酸化層3の厚さは、10nm以下が好ましい。

第2のSi酸化層3では第1のSi酸化層4より低い温度SiCを熱酸化するので、不完全酸化物SiO_xの割合が第1のSi酸化層4より高い。第12図に、S

i Cを1000度で熱酸化を行った場合の、Si酸化物表面からSiCまでの深さ方向におけるSi酸化物の含有率を示す。第12図より、Si酸化物の表面において、完全酸化物SiO₂の含有率が65%程度と、1200度で熱酸化を行った場合よりも少なく、それに対して不完全酸化物であるSiO_xの含有率が、表面で35%程度、
5 SiCとの界面付近では65%程度と高くなっている。これより、第2のSi酸化物3は、不完全酸化物SiO_xが混在して構成されていると考えられる。

なお、Si基板層1としてSi(100)基板を用いても良い。また、適時、SiCを形成した後やSi酸化層を形成した後に、Arなどの不活性雰囲気中で、熱処理を行っても良い。また、SiH₄とN₂Oの混合ガスを用いて、化学気相成長法(CVD法)により、SiC上にSi酸化層を堆積する堆積法を用いて、第1及び第2のSi酸化層を形成しても良い。SiCを酸化雰囲気中で熱酸化して第2のSi酸化層を形成した後に、堆積法で第1のSi酸化層を形成してもよい。また、第2及び第1のSi酸化層の両方を堆積法で形成してもよい。

メモリ装置の集積化のために、第13図のように第1のSi酸化層4、第2のSi酸化層3、SiC層2をメサ型にエッチングし、第1のSi酸化層の上部と、Si基板層1にそれぞれ電極5、6を形成する。電極はAu、Pt、Ni、Alなどが用いられる。多数のメサ型メモリ装置の上部は立体的に配線し、電氣的に1つのメモリ装置を選択できるようにすれば良い。

以下、さらに具体的な製造方法について説明する。N型にドーピングした0.1-0.5ΩcmSi(100)基板層1上に、CVD法によりSiC層2を400オングストロームの厚さにエピタキシャル形成した。次に、熱酸化装置に酸素を導入し、酸化雰囲気中で1200度で3分間酸化し、第1のSi酸化層4を形成した。この第1の

S i 酸化層 4 の厚みは 1 2 n m であつた。

次に、酸化温度を 1 0 0 0 度に下げて 5 分間酸化し、第 2 の S i 酸化層 3 を形成した。第 2 の S i 酸化層 3 の厚みは 2 n m であつた。

次に、第 1 の S i 酸化層 4、第 2 の S i 酸化層 3、S i C 層 2 をメサ型にエッチングし、第 1 の S i 酸化層 4 の上部に A u 電極 5 を、S i 基板層 1 に A l 電極 6 を形成した。その後、メサ型上部に立体的配線を形成し、集積型メモリ装置を構成した。X 線光電子分光法による解析の結果、第 1 の S i 酸化層 4 は 9 5 ~ 1 0 0 % の S i O₂ を含み、第 2 の S i 酸化層 3 の S i O₂ は 5 0 ~ 8 9 % であつた。

第 1 4 図は従来による構造による半導体メモリ装置の動作回数、第 1 5 図は上記実施形態の半導体メモリ装置におけるメモリ動作回数を測定した結果である。なお、第 1 4 図、第 1 5 図の縦軸は、メモリの O N 状態に対する O F F 状態の抵抗比、つまり、O N 状態に比べて O F F 状態ではどの程度電流が流れにくいかを示している。抵抗比 = 1 のときは、O N 状態、O F F 状態の間で電流が変化していないことになり、メモリとして動作していないことに対応する。

本実施形態では、従来の、1 0 0 0 度で熱酸化した S i 酸化層が 1 層のみの場合に比べ、繰り返し特性が 1 0 0 0 倍以上向上している。また、従来ではメモリ動作回数が 1 0 0 回を超えると、抵抗比が 1 に近づき、メモリ動作が困難になってくるが、本実施形態では動作回数が 1 0 5 回以上でも抵抗比が 1 . 5 以上あり、安定したメモリ動作を行うことができる。また、電子を捕獲する欠陥領域を第 2 の S i 酸化層 3 の厚みである 2 n m の極めて狭い範囲に制限できたため、捕獲された電子も電圧の印加で容易に放出されやすく、O N (情報“1”の書込みに対応)、O F F (情報の消去、或いは、情報“0”の書込みに対応) 繰り返し回数が 1 0 5 回以上に達した。

尚、上記スイッチング層14のSi酸化層14Bの構成として、第1のSi酸化層4、第2のSi酸化層3の2層構造を採用することにより、同様の効果を得ることができるとができる。

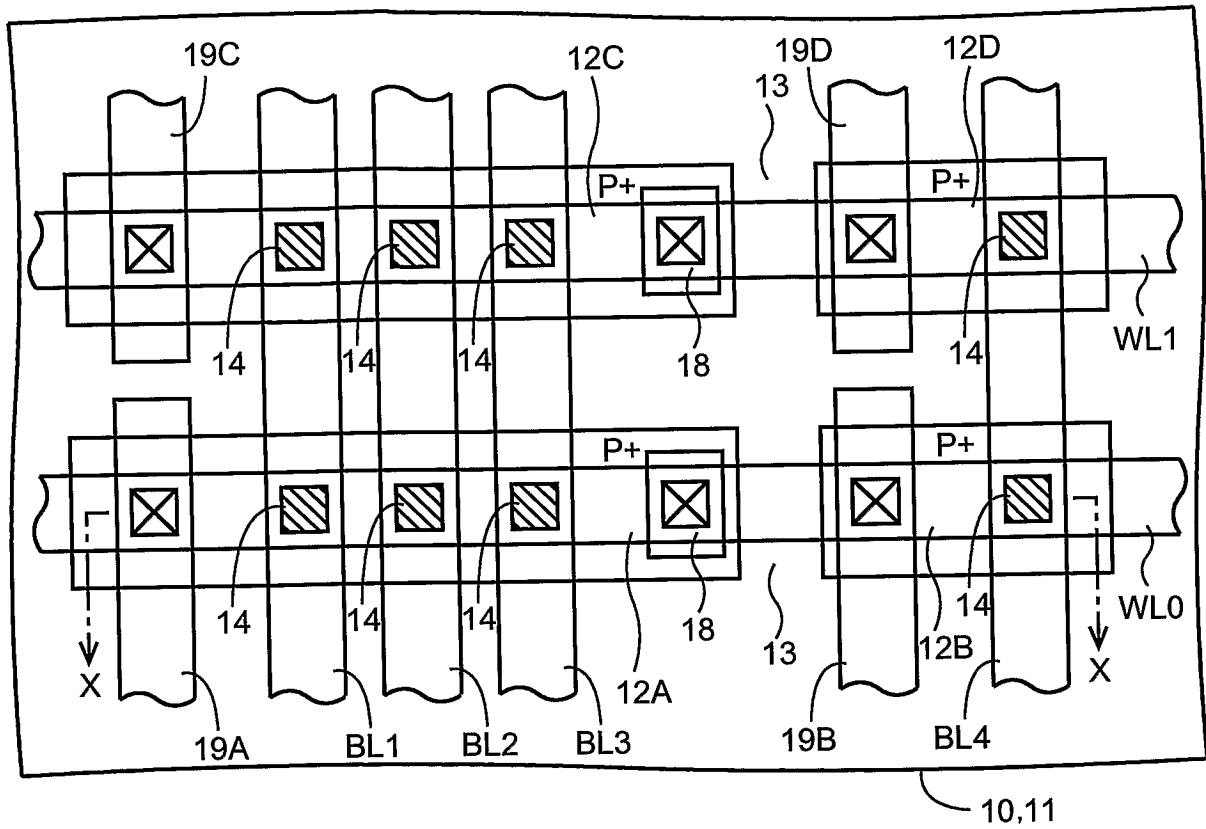
5 5 尚、本発明は上記実施形態に限定されることなく、その要旨を逸脱しない範囲で変更が可能である。例えば、上記実施形態においては、P型Si基板10上にNウェル11が形成され、Nウェル11の表面にP+型Si層12A~12Dが島状に形成されているが、P型Si基板10の代わりに、N型Si基板を用い、そのN型Si基板の表面にP+型Si層12A~12Dを島状に形成しても良い。更に、上記実施形態において、P型Si基板10、Nウェル11、P+型Si層12A~12D、
10 N+型Si層15の導電型を逆の導電型に変更しても良い。この場合、NPN型のバイポーラトランジスタBTはPNP型のバイポーラトランジスタになる。

また、P+型Si層12A~12Dにはそれぞれ3つのメモリセル（スイッチング層14）が設けられているが、P+型Si層12A~12Dにはそれぞれ幾つのメモリセルを形成するかは、スイッチング層14がON状態の時に流れる読み出し電
15 流の大きさと、P+型Si層12A~12Dが有する容量（主として、Nウェル11との間の接合容量）の大きさの関係によって決定される。

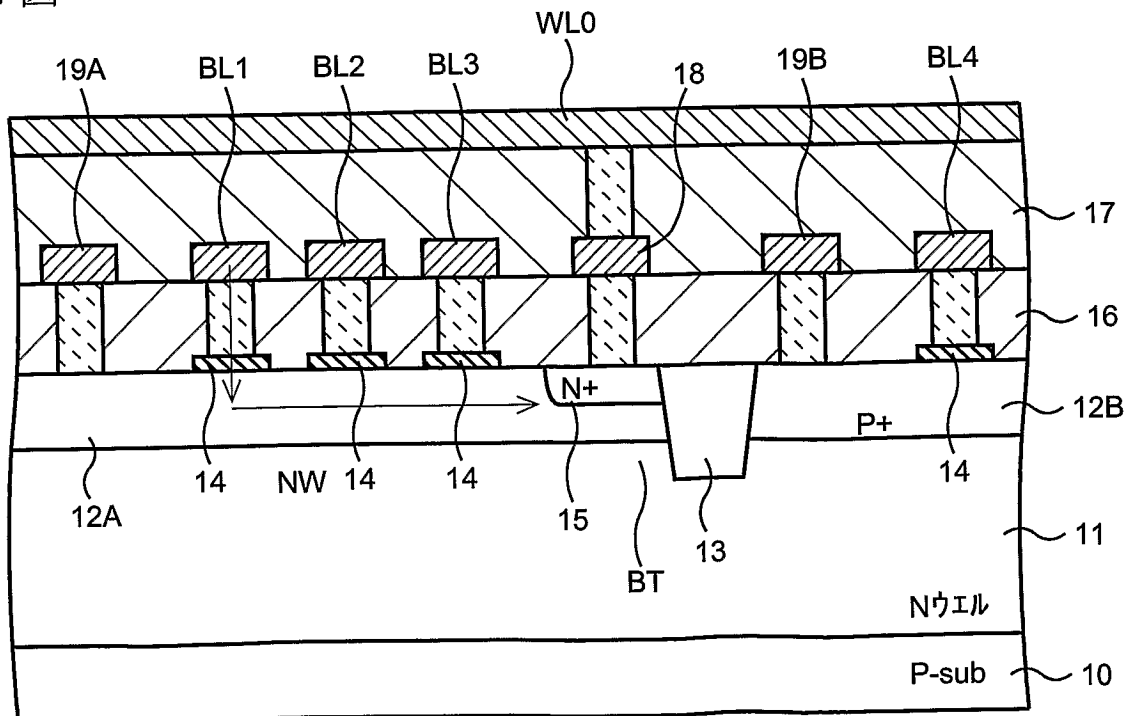
請 求 の 範 囲

1. コレクタ層と、
前記コレクタ層の表面に形成されたベース層と、
前記ベース層の表面に形成されたエミッタ層と、
前記エミッタ層に電氣的に接続されたワード線と、
前記ワード線に交差して前記ベース層上に延びる複数のビット線と、
前記ベース層の表面に形成され、対応する前記ビット線に電氣的に接続される
とともに、ON状態とOFF状態の間でスイッチングする複数のスイッチング層
と、
前記ベース層を所定の電位に固定する電位固定線と、を備えることを特徴とす
る半導体メモリ装置。
2. 前記ベース層はSi層からなり、前記スイッチング層は、前記Si層に積層さ
れたSiC層と、前記SiC層上に積層され、対応する前記ビット線に接続され
たSi酸化層と、からなることを特徴とする請求項1に記載の半導体メモリ装置。
3. 前記Si酸化層は、SiC層上に積層された第1のSi酸化層と、前記第1の
Si酸化層に積層された第2のSi酸化層を含み、
前記第2のSi酸化層のSiO₂の構成割合が、前記第1のSi酸化層のSi
O₂の構成割合より大きいことを特徴とする請求項1又は請求項2に記載の半
導体メモリ装置。

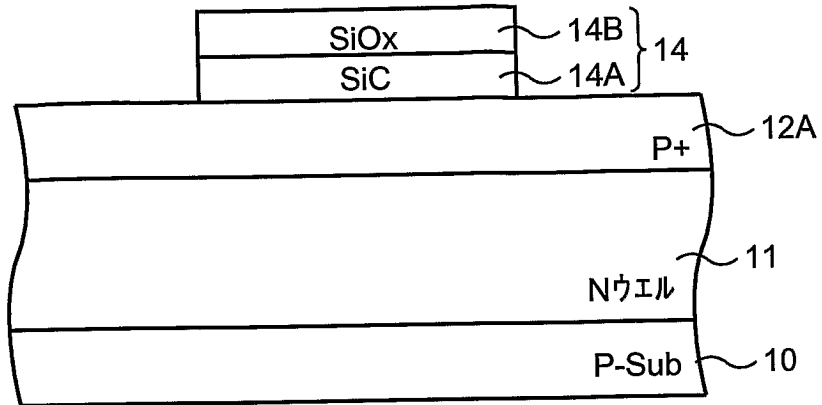
第 1 図



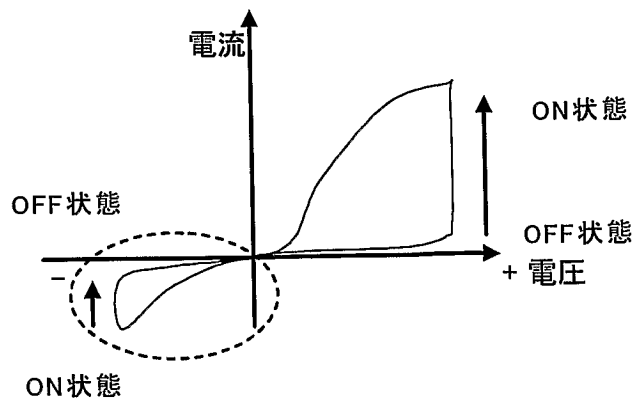
第 2 図

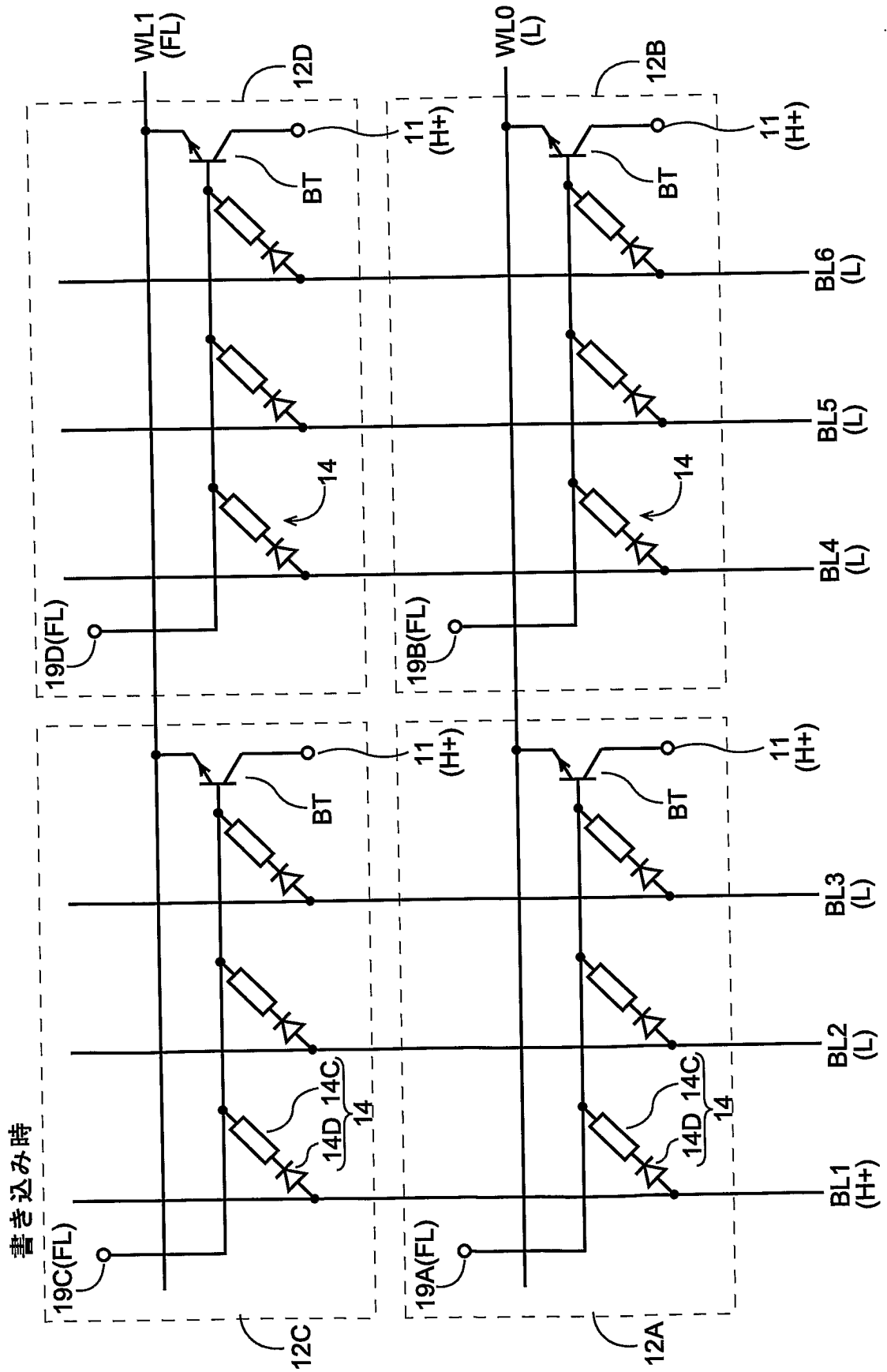


第 3 図

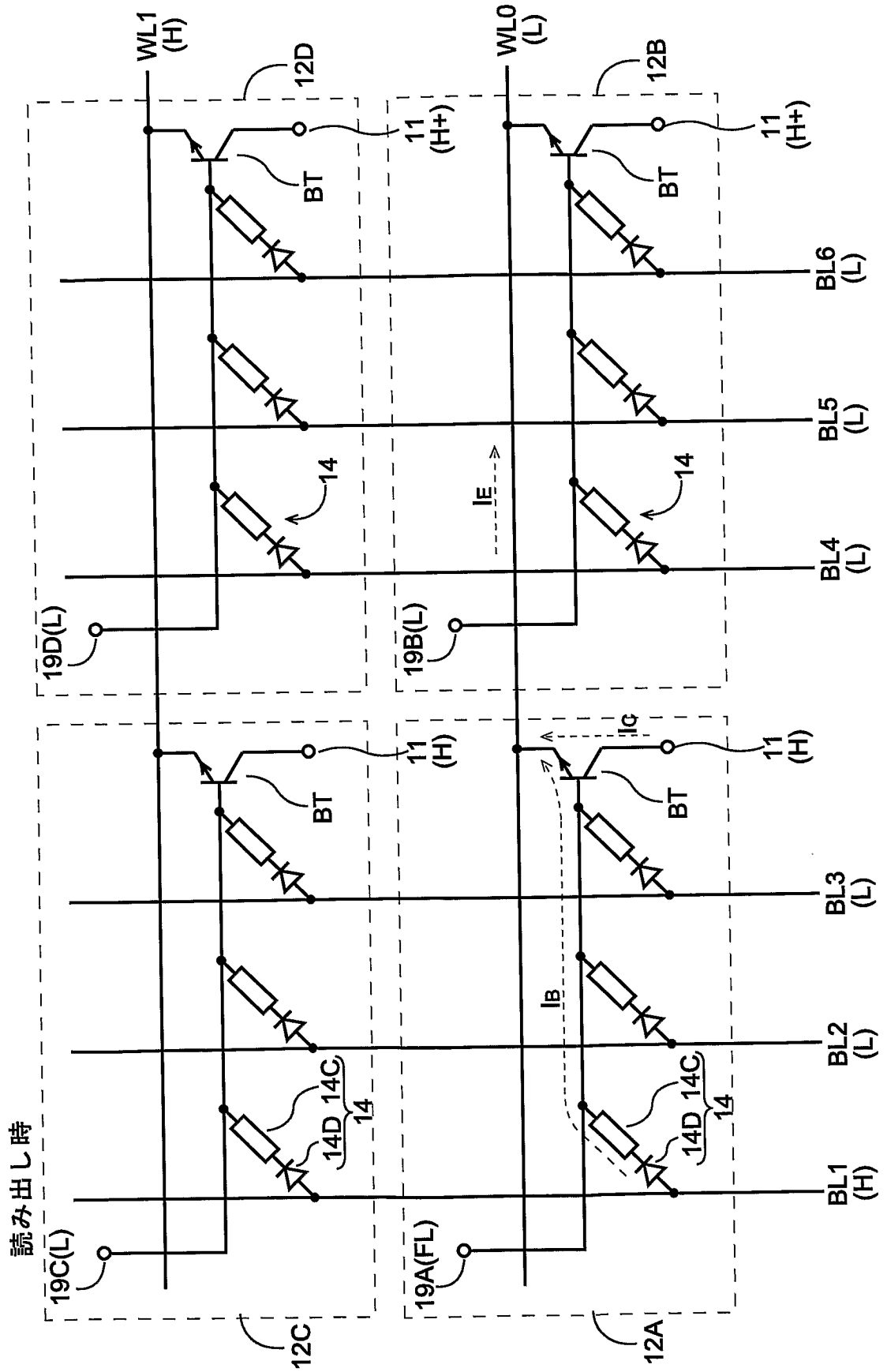


第 4 図



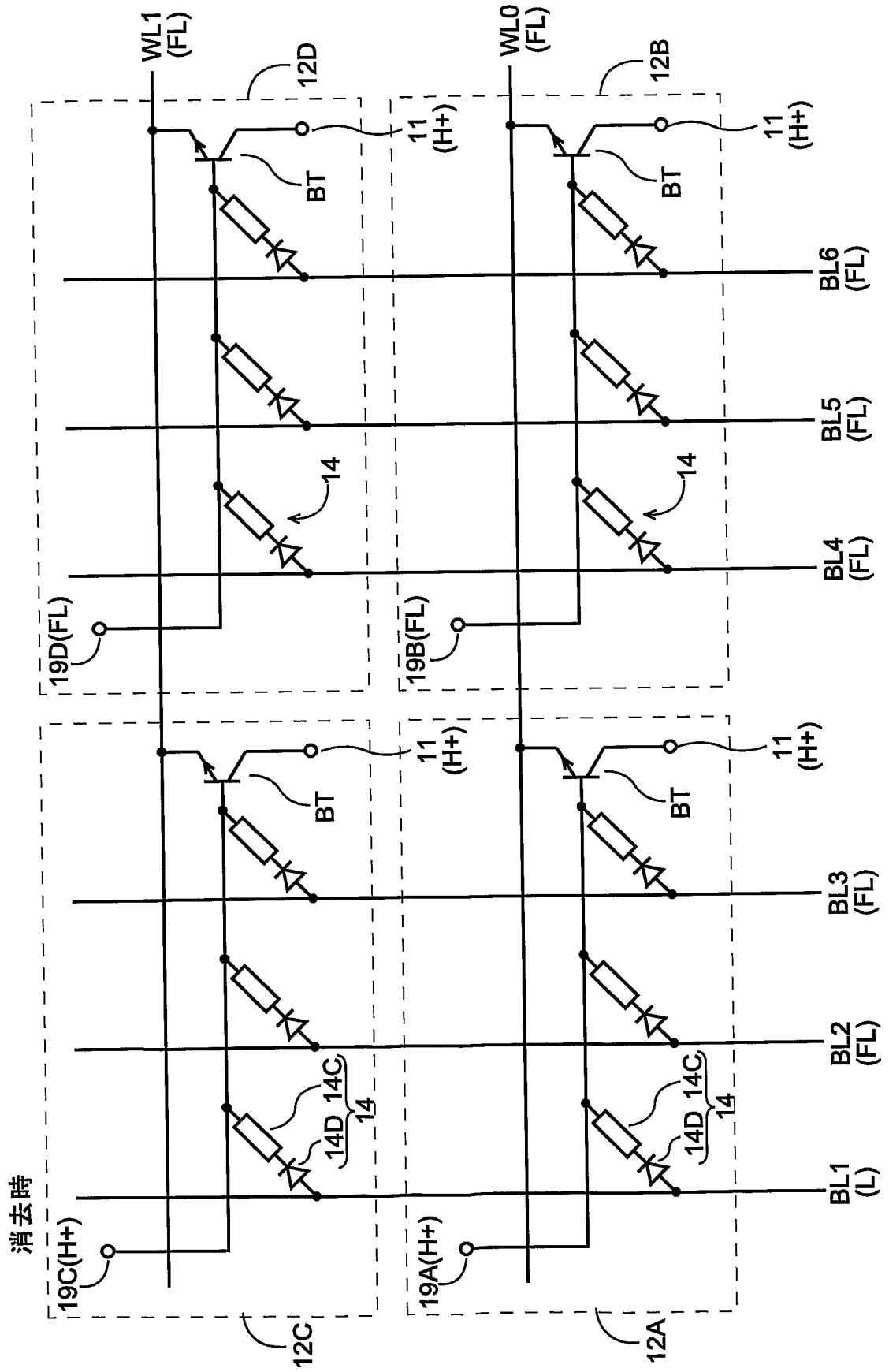


第5図



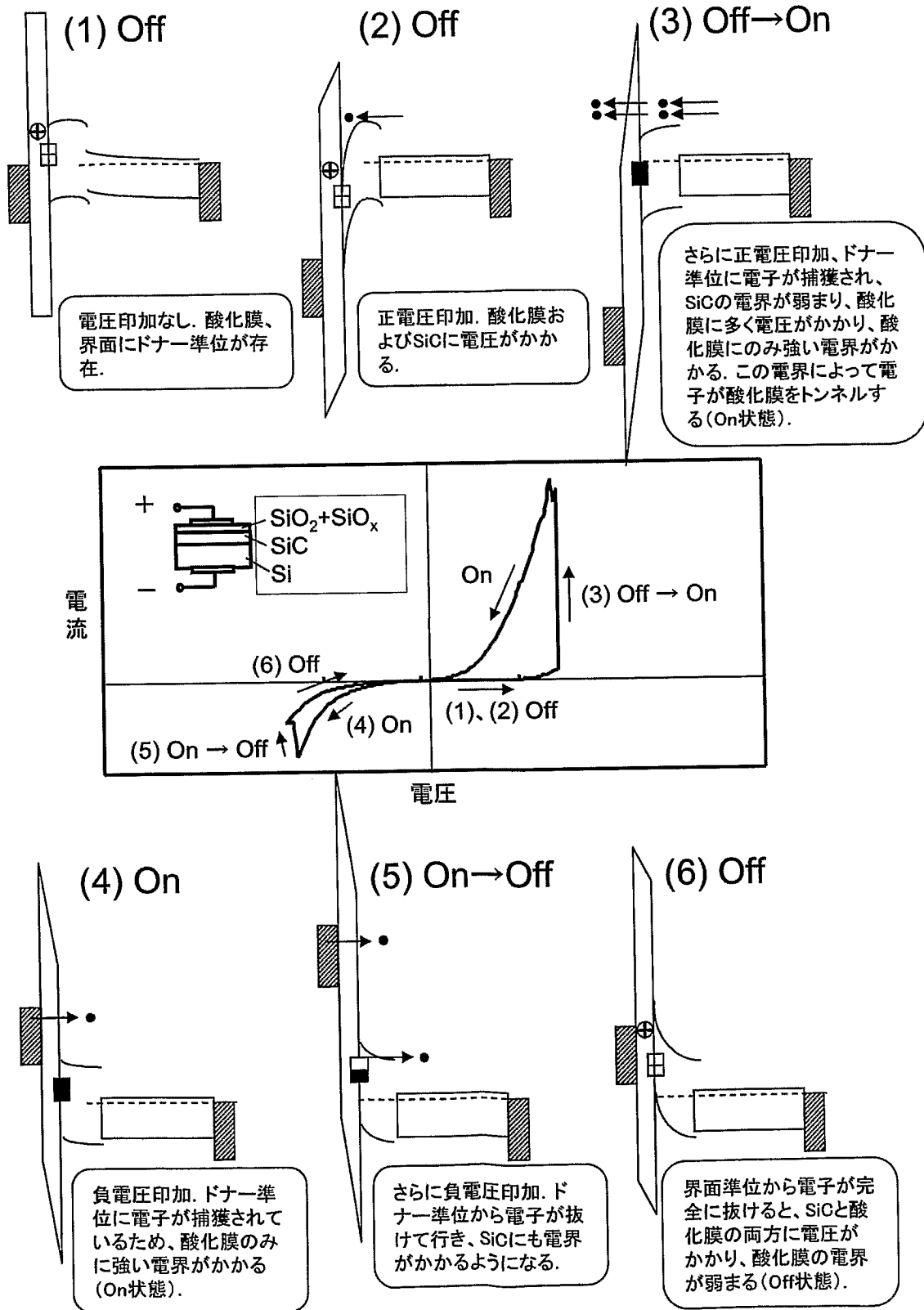
第6図

読み出し時

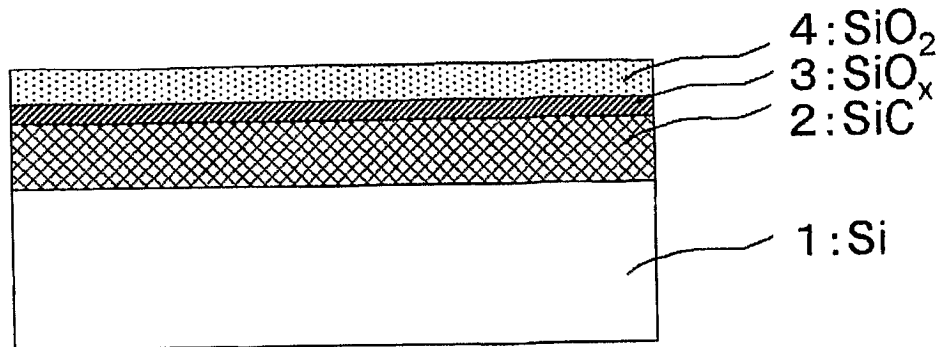


第7図

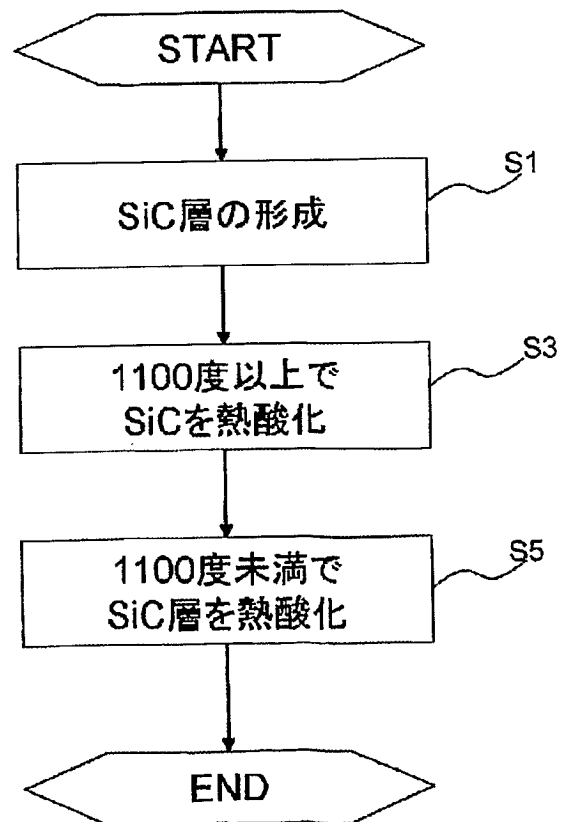
第 8 図



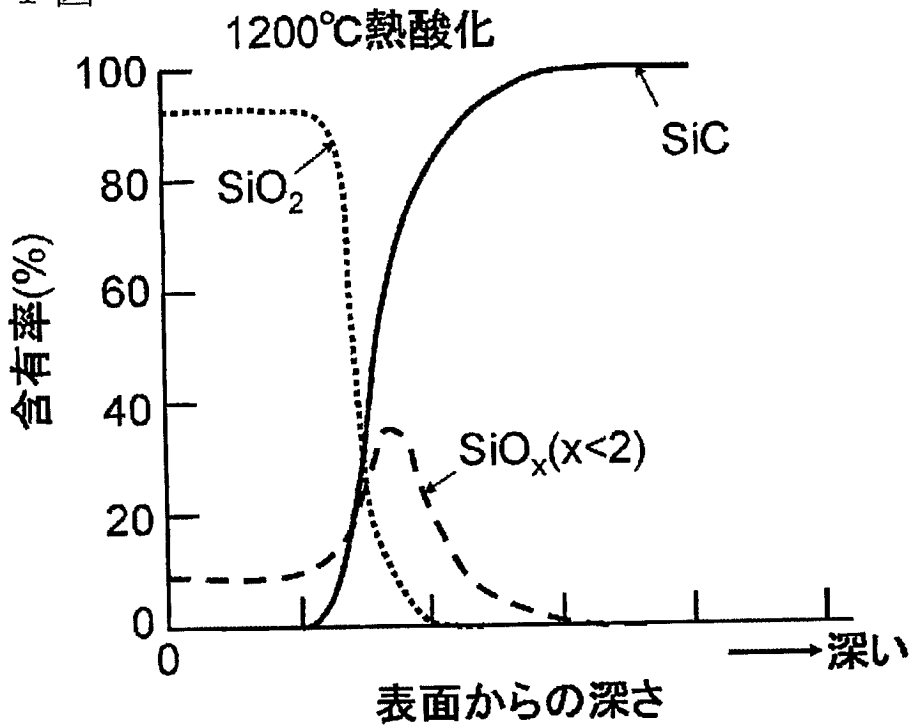
第 9 図



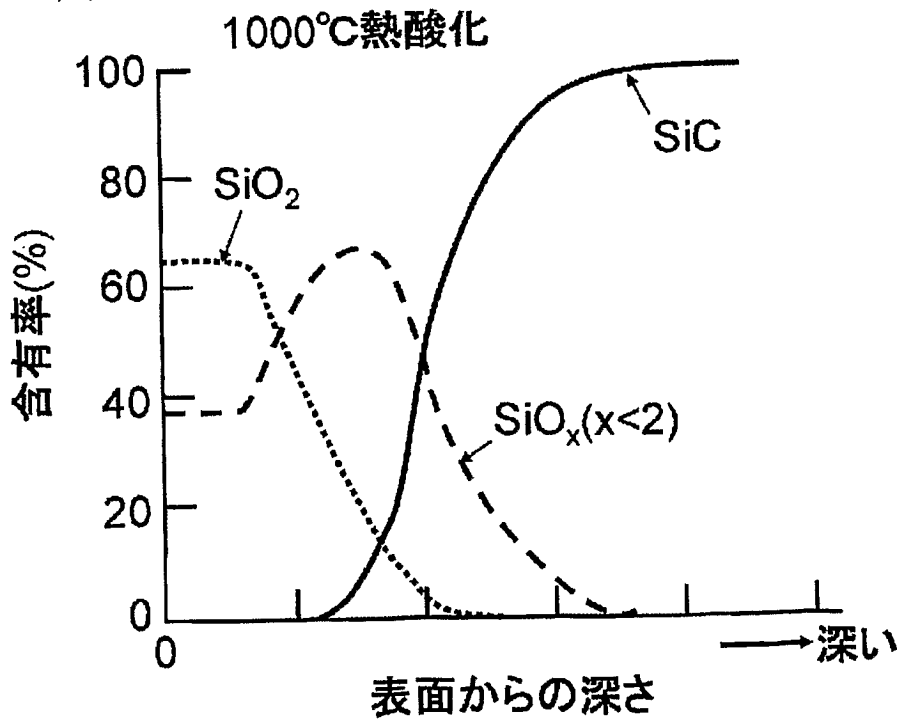
第 10 図



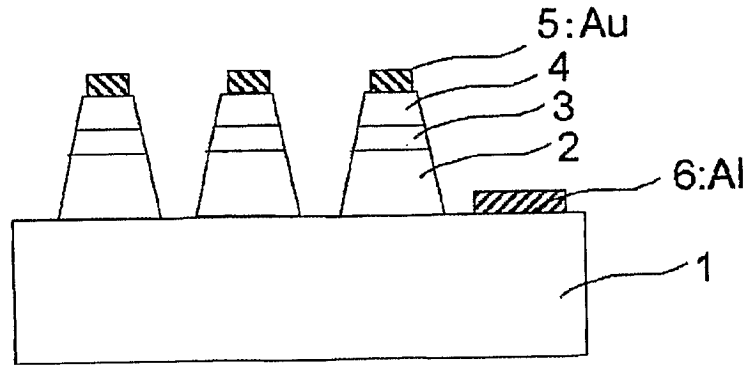
第 1 1 図



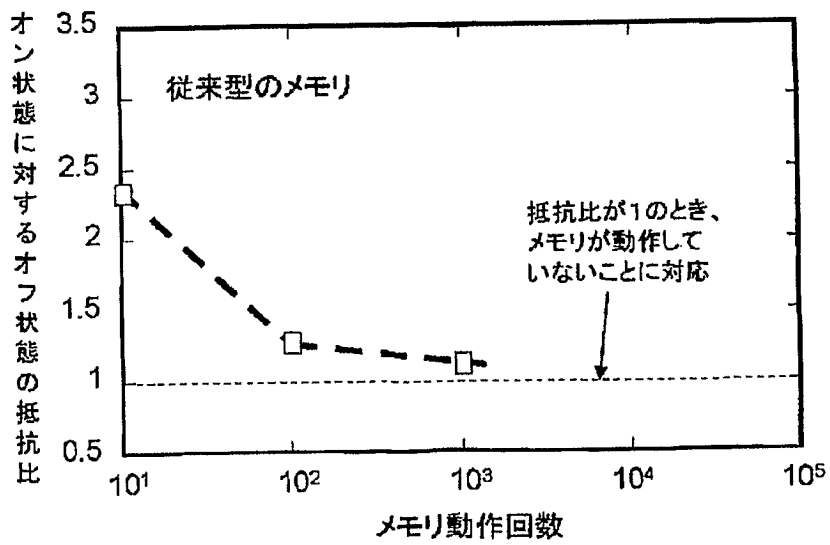
第 1 2 図



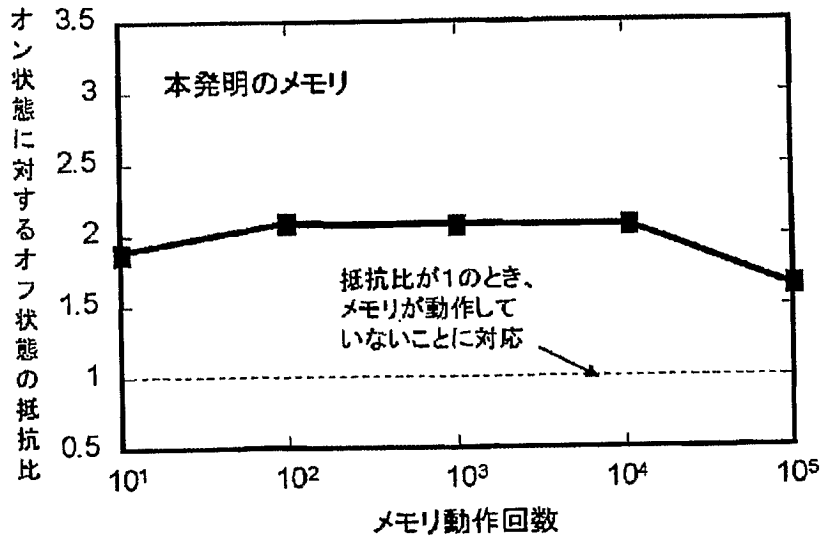
第 1 3 図



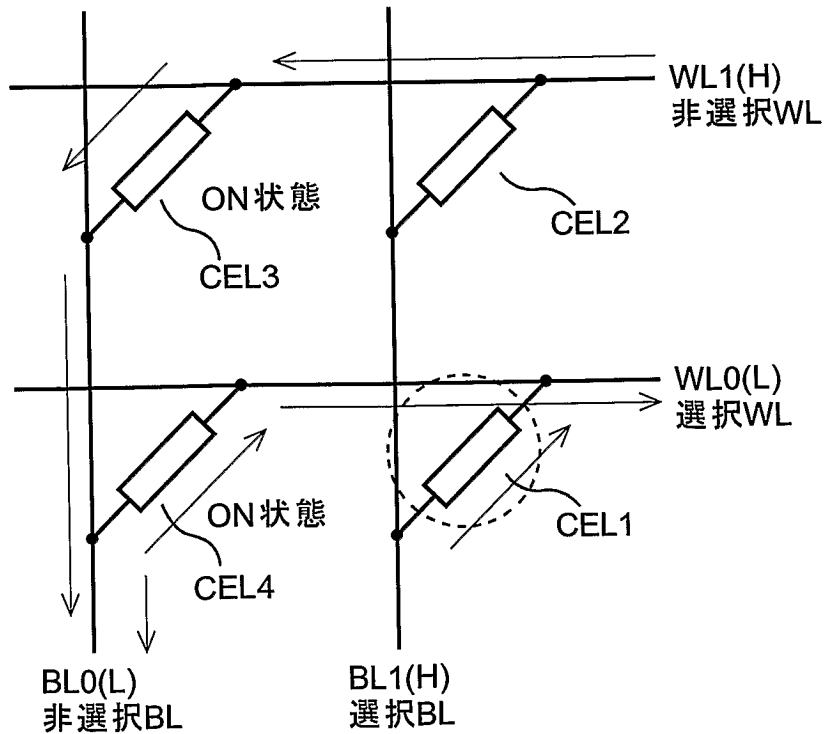
第 1 4 図



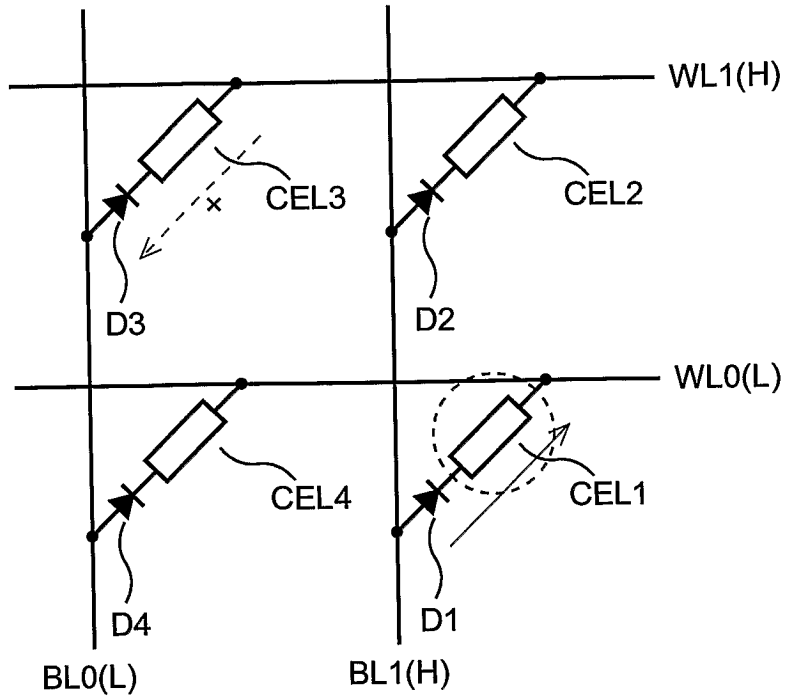
第 1 5 図



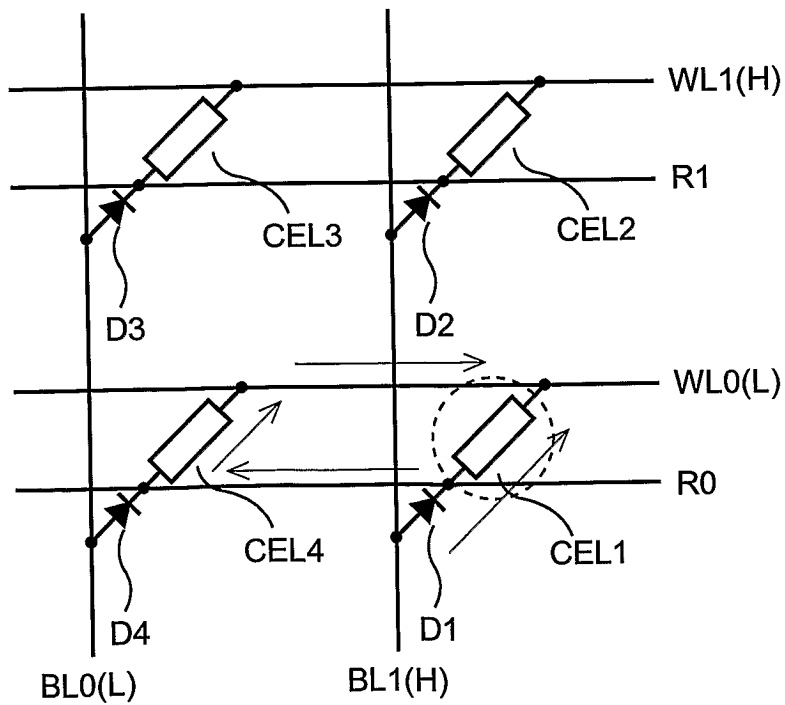
第 1 6 図



第 1 7 図



第 1 8 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066500

A. CLASSIFICATION OF SUBJECT MATTER H01L27/10(2006.01) i, G11C13/00(2006.01) i, H01L45/00(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/10, G11C13/00, H01L45/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-158863 A (Samsung Electronics Co., Ltd.), 03 June, 2004 (03.06.04), Figs. 1, 2 & US 2004/0090822 A1 & EP 1418620 A2 & KR 10-2004-0040593 A & CN 1499519 A	1 2, 3
Y A	JP 11-345485 A (Toshiba Corp.), 14 December, 1999 (14.12.99), Par. No. [0257]; Figs. 1, 10 & US 6169688 B1	1 2, 3
A	JP 2002-367365 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Full text & US 2002/0195630 A1 & US 2003/0173628 A1 & US 2004/0223368 A1 & KR 10-2003-0009070 A	1-3
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 December, 2008 (02.12.08)		Date of mailing of the international search report 16 December, 2008 (16.12.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066500

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-275791 A (Olympus Optical Co., Ltd.), 30 September, 1994 (30.09.94), Par. No. [0029]; Fig. 3 (Family: none)	2,3
A	JP 2005-538552 A (GRIFFITH UNIVERSITY), 15 December, 2005 (15.12.05), Full text & US 7362609 B & EP 1537585 A & WO 2004/025660 A1 & KR 10-2005-0053658 A & CN 1695201 A	2,3
A	JP 2006-313912 A (Samsung Electronics Co., Ltd.), 16 November, 2006 (16.11.06), Full text & US 2007/0012986 A1 & KR 10-2006-0115828 A	2,3

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/10(2006.01)i, G11C13/00(2006.01)i, H01L45/00(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/10, G11C13/00, H01L45/00										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2008年									
日本国実用新案登録公報	1996-2008年									
日本国登録実用新案公報	1994-2008年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
Y A	JP 2004-158863 A (三星電子株式会社) 2004.06.03, 図1, 図2 & US 2004/0090822 A1 & EP 1418620 A2 & KR 10-2004-0040593 A & CN 1499519 A	1 2,3								
Y A	JP 11-345485 A (株式会社東芝) 1999.12.14, 段落【0257】, 図1, 図10 & US 6169688 B1	1 2,3								
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 02.12.2008	国際調査報告の発送日 16.12.2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 正山 旭 電話番号 03-3581-1101 内線 3462	4M 9276								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-367365 A (株式会社日立製作所) 2002.12.20, 全文 & US 2002/0195630 A1 & US 2003/0173628 A1 & US 2004/0223368 A1 & KR 10-2003-0009070 A	1-3
A	JP 6-275791 A (オリンパス光学工業株式会社) 1994.09.30, 段落【029】, 図3 (ファミリーなし)	2,3
A	JP 2005-538552 A (グリフィス・ユニバーシティ) 2005.12.15, 全文 & US 7362609 B & EP 1537585 A & WO 2004/025660 A1 & KR 10-2005-0053658 A & CN 1695201 A	2,3
A	JP 2006-313912 A (三星電子株式会社) 2006.11.16, 全文 & US 2007/0012986 A1 & KR 10-2006-0115828 A	2,3