

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年1月29日 (29.01.2009)

PCT

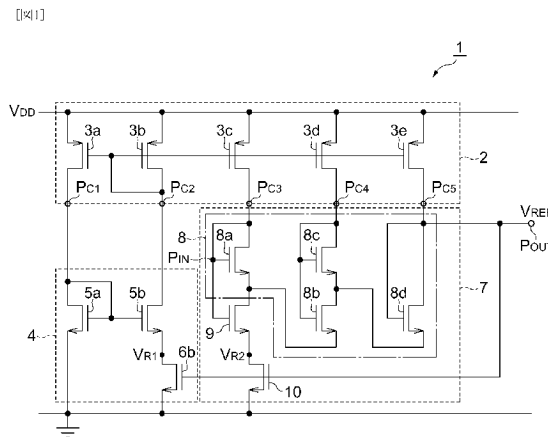
(10) 国際公開番号
WO 2009/014042 A1

- (51) 国際特許分類:
G05F 3/24 (2006.01)
- (21) 国際出願番号: PCT/JP2008/062830
- (22) 国際出願日: 2008年7月16日 (16.07.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-191106 2007年7月23日 (23.07.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人北海道大学 (NATIONAL UNIVERSITY CORPORATION HOKKAIDO UNIVERSITY) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目8番地 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 廣瀬 哲也
- (HIROSE, Tetsuya) [JP/JP]. 浅井 哲也 (ASAI, Tetsuya) [JP/JP]. 雨宮 好仁 (AMEMIYA, Yoshihito) [JP/JP]. 上野 憲一 (UENO, Kenichi) [JP/JP].
- (74) 代理人: 長谷川 芳樹 (HASEGAWA, Yoshiki); 〒1040061 東京都中央区銀座一丁目10番6号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: REFERENCE VOLTAGE GENERATION CIRCUIT

(54) 発明の名称: 基準電圧発生回路



(57) Abstract: By matching the MOSFET operation area contributing to generation of a reference voltage, it is possible to generate a reference voltage stable with respect to fluctuation of the manufacturing process. The reference voltage generation circuit (1) includes: a current mirror unit (2) which generates current I_P in current output terminals P_{C1} to P_{C5} ; a MOSFET (6b) having a drain terminal connected to a current output terminal P_{C2} , a source terminal connected to the ground, and a gate terminal connected to a reference voltage output terminal P_{OUT} ; a synthesis voltage generation unit (8) having two sets of MOSFET pairs in which current is generated from the current output terminals P_{C3} to P_{C5} to the drain terminal, the source terminals are connected to each other, and a temperature coefficient generates a synthesis voltage; and a MOSFET (9) in which current is generated from the current mirror unit (2) to the drain terminal, the gate terminal is connected to the input of the synthesis voltage generation unit (8), the source terminal is connected to the ground side, and the temperature coefficient generates a negative voltage.

(57) 要約: 基準電圧の発生に寄与するMOSFETの動作領域を一致させることにより、製造プロセスの変動に対して安定した基準電圧を生成すること。この基準電圧発生回路1は、電流出力端子 $P_{C1} \sim P_{C5}$ に電流 I_P を生成するカレントミラー部2と、電流出力端子 P_{C2} にドレイン端子が接続され、グラウンドにソース端子が接続され、基準電圧出力端子 P_{OUT} にゲート端子が接続されたMOSFET6b

[続葉有]

WO 2009/014042 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

と、電流出力端子 $P_{C3} \sim P_{C5}$ からドレイン端子に電流が生成され、且つソース端子どうしが互いに接続され、温度係数が正の合成電圧を発生させる2組のMOSFETペアを有する合成電圧発生部8と、カレントミラー部2からドレイン端子に電流が生成され、ゲート端子が合成電圧発生部8の入力に接続され、ソース端子がグランド側に接続され、温度係数が負の電圧を発生させるMOSFET9とを備える。

明 細 書

基準電圧発生回路

技術分野

[0001] 本発明は、一定基準電圧を供給する基準電圧発生回路に関するものである。

背景技術

[0002] 従来から、ADコンバータ、DAコンバータ、オペアンプ、レギュレータ回路のリファレンス電圧を発生する回路として基準電圧発生回路が用いられている。この基準電圧発生回路としては、バイポーラトランジスタ素子やダイオード素子を抵抗と組み合わせることでシリコンのバンドギャップエネルギーを参照した電圧を出力するものが一般的に知られている。このような基準電圧発生回路では、半導体集積回路(LSI:Large Scale Integrated circuits)上に構築する場合にMOSFET以外の素子が必要となる結果、製造プロセスの工程が増加したり、動作マッチングが困難になったりする傾向にある。また、消費電力が比較的大きくなる傾向にあり、低電流で動作させる場合にも高抵抗の確保のためにチップ面積が増大するという問題がある。

[0003] これに対して、下記非特許文献1には、バイポーラ素子や抵抗素子を使用せず、MOSFETのみから構成される基準電圧発生回路が提案されている。この基準電圧発生回路は、MOSFETの絶対零度におけるしきい値電圧を参照して基準電圧を発生させる回路である。詳細には、この回路は、抵抗の代わりに強反転線形領域で動作するMOSFETを含み、さらにそのMOSFETのバイアス電圧を生成する強反転飽和領域で動作するMOSFETをも含むものである。強反転線形領域で動作するMOSFETが β 乗算型自己バイアス回路により熱電圧でスケールアップされるとともに、回路の各電流パスを流れる電流が等しくされることにより、出力電圧にしきい値電圧と熱電圧をスケールアップした電圧とを加算して出力する。このような構成の基準電圧発生回路によれば、LSI上で温度に対して変動が小さい基準電圧が出力する回路が構築される。

非特許文献1:T. MATSUDA, R. MINAMI, A. KANAMORI, H. IWATA, T. OHZONE, S. YAMAMOTO, T. IHARA, S. NAKAJIMA, "A Temperature and Supply Voltage

Independent CMOS Voltage Reference Circuit”, IEICE TRANS. ELECTRON., Vol. E88-C, No.5, pp. 1087-1093, MAY 2005.

発明の開示

発明が解決しようとする課題

[0004] しかしながら、上述した従来の基準電圧発生回路は、2つの異なる動作領域のMOSFETを用いて基準電圧を発生するように動作しているため、しきい値電圧やキャリア移動度等の動作パラメータのミスマッチが生じる。また、回路設計パラメータに対して2つのMOSFET間で特性が大きく変化し、安定した基準電圧の生成が困難となる場合があった。また、発生する基準電圧がカレントミラー回路の複数の回路パスに生成される電流に応じて変動するため、電源電圧等の変動の影響により一定の基準電圧を維持することが困難になる。

[0005] そこで、本発明は、かかる課題に鑑みて為されたものであり、基準電圧の発生に寄与するMOSFETの動作領域を一致させることにより、製造プロセスの変動に対して安定した基準電圧を生成することが可能な基準電圧発生回路を提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決するため、本発明の基準電圧発生回路は、電源電圧が供給されて第1～第N(Nは4以上の整数)の電流出力端子に電流を生成するカレントミラー部と、第2の電流出力端子にドレイン端子が接続され、グランドにソース端子が接続され、基準電圧出力端子にゲート端子が接続されて、線形抵抗として動作する第1の電界効果トランジスタと、第3～第Nの電流出力端子のいずれかからドレイン端子に電流が生成され、且つソース端子どうしが互いに接続され、互いのゲート端子間に温度係数が正の合成電圧を発生させる1以上の電界効果トランジスタペアを有し、電界効果トランジスタペアが入力端子と基準電圧出力端子との間で直列に接続された合成電圧発生部と、第3の電流出力端子からドレイン端子に電流が生成され、ゲート端子が合成電圧発生部の入力端子に接続され、ソース端子がグランド側に接続され、ゲート端子とソース端子間に温度係数が負の電圧を発生させる第2の電界効果トランジスタと、を備える。

[0007] このような基準電圧発生回路によれば、カレントミラー部のN個の電流出力端子のそれぞれにおいて、カレントミラー部の回路特性と基準電圧出力値と線形抵抗として動作する第1の電界効果トランジスタの特性とで決まる電流が設定され、第3～第Nの電流出力端子から合成電圧発生部の電界効果トランジスタペアのドレイン端子にその電流が生成されることにより、合成電圧発生部の入力端子と基準電圧出力端子との間に、温度係数が正の合成電圧が出力される。また、第2の電界効果トランジスタのドレイン端子に第3の電流出力端子から電流が生成されることにより、第2の電界効果トランジスタのドレイン端子とソース端子との間に負の温度特性を有する電圧が出力される。これにより、それぞれの電界効果トランジスタのアスペクト比等の回路設計パラメータを調整することにより、基準電圧出力端子に温度に依存しない一定電圧を出力することができる。このとき、基準電圧の発生に寄与する電界効果トランジスタペアと第2の電界効果トランジスタとは同じ動作領域で動作するので、動作パラメータのミスマッチが生じにくく、設計パラメータに対して電界効果トランジスタ間で特性が大きく変動することもないため、温度変動に対して安定した基準電圧の生成が可能になる。さらには、電源電圧の変動等によりカレントミラー部の出力電流が変動しても安定した基準電圧の発生を可能にする。

発明の効果

[0008] 本発明の基準電圧発生回路によれば、基準電圧の発生に寄与するMOSFETの動作領域を一致させることにより、製造プロセスの変動に対して安定した基準電圧を生成することができる。

図面の簡単な説明

[0009] [図1]本発明の好適な一実施形態にかかる基準電圧発生回路を示す回路図である。
[図2]図1の基準電圧発生回路の生成する基準電圧の温度特性のシミュレーション結果を示すグラフである。
[図3]図1の基準電圧発生回路の生成する基準電圧の電源電圧依存性のシミュレーション結果を示すグラフである。
[図4]トランジスタのプロセス変動によるばらつきを考慮した場合の図1の基準電圧発生回路の生成する基準電圧の温度特性のシミュレーション結果を示すグラフである。

[図5]本発明の変形例にかかる基準電圧発生回路を示す回路図である。

[図6]本発明の別の変形例にかかる基準電圧発生回路を示す回路図である。

[図7]図6の基準電圧発生回路の生成する基準電圧の温度特性の測定結果を示すグラフである。

[図8]本発明の応用例にかかる3端子レギュレータ回路を示す回路図である。

[図9]基準電圧発生回路の従来例を示す回路図である。

符号の説明

[0010] 1, 101, 201…基準電圧発生回路、2, 102…カレントミラー部、8, 108…合成電圧発生部、6b…第1のMOSFET、9…第2のMOSFET、10…第3のMOSFET、 P_{C1} , P_{C2} , P_{C3} , P_{C4} , P_{C5} …電流出力端子、 P_{IN} …入力端子、 P_{OUT} …基準電圧出力端子、 V_{DD} …電源電圧、 V_{REF} …基準電圧。

発明を実施するための最良の形態

[0011] 以下、図面を参照しつつ本発明に係る基準電圧発生回路の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。

[0012] 図1は、本発明の好適な一実施形態にかかる基準電圧発生回路1を示す回路図である。基準電圧発生回路1は、LSI上に形成されたMOS型電界効果トランジスタ(MOSFET)からなる基準電圧を生成する電源回路である。

[0013] 同図に示すように、基準電圧発生回路1は、5つの電流出力端子 P_{C1} , P_{C2} , P_{C3} , P_{C4} , P_{C5} に電流を生成するカレントミラー部2を有している。カレントミラー部2は、5つの同一のサイズ(チャンネル長、チャンネル幅)を有するP型MOSFET3a, 3b, 3c, 3d, 3eから構成され、それぞれのMOSFET3a, 3b, 3c, 3d, 3eのソース端子には電源電圧 V_{DD} が供給され、ゲート端子はMOSFET3bのドレイン端子に共通に接続されている。そして、各MOSFET3a, 3b, 3c, 3d, 3eのドレイン端子が、それぞれ、電流出力端子 P_{C1} , P_{C2} , P_{C3} , P_{C4} , P_{C5} に接続される。このような基準電圧発生回路1は、5つの電流出力端子 P_{C1} , P_{C2} , P_{C3} , P_{C4} , P_{C5} のそれぞれにほぼ等しい一定電流 I_P を供給する。

[0014] このカレントミラー部2の第1の電流出力端子 P_{C1} 及び第2の電流出力端子 P_{C2} には

、カレントミラー部2から電流を引き込む電流源回路部4が接続され、この電流源回路部4は、3つのN型MOSFET5a, 5b, 6bを含んでいる。MOSFET5a, 5bは、そのドレイン端子が、それぞれ、第1の出力端子 P_{C1} 及び第2の電流出力端子 P_{C2} に接続され、それぞれのゲート端子は、MOSFET5aのドレイン端子に共通に接続されている。また、MOSFET5aのソース端子はグランドに接続されている。さらに、線形抵抗として動作するMOSFET6bは、そのドレイン端子がMOSFET5bのソース端子に接続されることによりMOSFET5bを介して第2の電流出力端子 P_{C2} に接続され、ソース端子がグランドに接続され、ゲート端子は基準電圧出力端子 P_{OUT} に接続されている。この基準電圧出力端子 P_{OUT} は、基準電圧発生回路1から最終的な基準電圧を得るための出力端子である。

[0015] 上記構成の電流源回路部4は、MOSFET5a, 5bが、ゲートーソース間電圧がサブスレッシュヨルド領域で、かつドレインーソース間電圧が飽和領域(以下、「サブスレッシュヨルト飽和領域」という)で動作するように電源電圧 V_{DD} 及び各FETのサイズが設定されている。一方、MOSFET6bは、ゲートーソース間電圧が強反転領域で、かつドレインーソース間電圧が線形領域(以下、「強反転線形領域」という)で動作するように設定されている。電流源回路部4は、トランジスタ5a, 5b, 6bの特性で決まる電流 I_p をカレントミラー部2の第1の電流出力端子 P_{C1} 及び第2の電流出力端子 P_{C2} から引き込むように動作する。

[0016] ここで、強反転線形領域でのMOSFETの電流電圧特性は下記式(1)；

[数1]

$$I_D = K_\beta \beta (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \quad \dots (1)$$

により表わされる。ここで、 I_D はドレイン電流、 $K_\beta \beta$ は電流利得係数、 K_β は、MOSFETのアスペクト比(=W(チャネル幅)/L(チャネル長))、 V_{GS} はゲートーソース間電圧、 V_{TH} はしきい値電圧、 V_{DS} はドレインーソース間電圧を示す。特に、 V_{DS} が十分に小さいときは、 V_{DS} の高次項は無視できて、式(1)は下記式(2)；

[数2]

$$I_D = K_\beta \beta (V_{GS} - V_{TH}) V_{DS} \quad \dots (2)$$

によって近似される。

[0017] 一方、サブスレッショルド領域のMOSFETの電流電圧特性は、下記式(3)；

[数3]

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad \dots (3)$$

$$, I_0 = \mu C_{OX} V_T^2 (\eta - 1)$$

によって表わされる。ここで、KはFETのアスペクト比(=W(チャネル幅)/L(チャネル長))、 I_0 はサブスレッショルド電流の前置係数、 $V_T (=k_B T/q)$ は熱電圧、 k_B はボルツマン定数、Tは絶対温度、qは電気素量、 η はサブスレッショルドスロープ係数、 μ は移動度、 C_{OX} は酸化膜の単位面積容量である。このサブスレッショルド電流 I_D は、ドレイン電圧が $4 \times V_T$ (~ 0.1 V)以上の飽和領域では、ドレイン-ソース間電圧 V_{DS} に依存しなくなり、下記式(4)；

[数4]

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad \dots (4)$$

で計算される。

[0018] 上述した計算式より、MOSFET5a, 5bのゲート-ソース間電圧の差分が強反転線形領域で動作するMOSFET6bのドレイン電圧 V_{R1} となることから、 V_{R1} は下記式(5)；

[数5]

$$V_{R1} = V_{GS1} - V_{GS2} = \eta V_T \ln\left(\frac{K_2}{K_1}\right) \quad \dots (5)$$

となる。従って、MOSFET6bの特性より、カレントミラー部2によって生成される電流 I_P は、下記式(6)；

[数6]

$$I_P = K_\beta \beta (V_{REF} - V_{TH}) V_{R1} = K_\beta \beta (V_{REF} - V_{TH}) \eta V_T \ln\left(\frac{K_2}{K_1}\right) \quad \dots (6)$$

により表わされる。 K_1 、 K_2 は、それぞれMOSFET5a, 5bのアスペクト比、 V_{REF} は、基

準電圧出力端子 P_{OUT} から出力される基準電圧である。

[0019] カレントミラー部2の第3～第5の電流出力端子 P_{C3} 、 P_{C4} 、 P_{C5} には、カレントミラー部2から流れ込む電流 I_P によって基準電圧 V_{REF} を生成する電圧源回路部7が接続されている。この電圧源回路部7は、2組のN型MOSFETペアによって構成された合成電圧発生部8と、2つN型MOSFET9、10とから構成されている。

[0020] 合成電圧発生部8は、2つのMOSFET8a、8bからなるMOSFETペアと2つのMOSFET8c、8dからなるMOSFETペアとが、入力端子 P_{IN} と基準電圧 V_{REF} の出力端子 P_{OUT} との間で直列に接続されて構成される。詳細には、一方のMOSFETペアを構成するMOSFET8a、8bのソース端子どうしが互いに接続され、MOSFET8aのゲート端子が入力端子 P_{IN} に、MOSFET8bのゲート端子が他方のMOSFETペアを介して出力端子 P_{OUT} 側にそれぞれ接続されている。また、他方のMOSFETペアを構成するMOSFET8c、8dのソース端子どうしが互いに接続され、MOSFET8cのゲート端子が一方のMOSFETペアを介して入力端子 P_{IN} 側に、MOSFET8dのゲート端子が出力端子 P_{OUT} にそれぞれ接続されている。

[0021] また、3つのMOSFET8a、8c、8dには、それぞれのドレイン端子が電流出力端子 P_{C3} 、 P_{C4} 、 P_{C5} に接続されることによりドレイン電流 I_P が生成され、MOSFET8bには、ドレイン端子がMOSFET8c、8dを経由して電流出力端子 P_{C4} 、 P_{C5} に接続されることによりドレイン電流 $2 \times I_P$ が生成される。さらに、MOSFET8a、8b、8c、8dは、ゲート端子が電流出力端子 P_{C3} 、 P_{C4} 、 P_{C4} 、 P_{C5} にそれぞれ接続され、かつ電源電圧 V_D 及び各FETのサイズが適切に設定されることにより、サブスレッショルド飽和領域で動作する。

[0022] 上記構成を有する合成電圧発生部8は、カレントミラー部2から供給される電流 I_P に応じて、それぞれのMOSFETペアの2つのゲート端子間に温度係数が正の合成電圧を発生させる。このとき、MOSFETペアが生成する合成電圧においては、各MOSFETのゲートソース間に現れるしきい値電圧が互いに相殺されている。

[0023] MOSFET9には、ドレイン端子が4つのMOSFET8a、8b、8c、8dを介して電流出力端子 P_{C3} 、 P_{C4} 、 P_{C5} 側に接続されることにより、電流出力端子 P_{C3} 、 P_{C4} 、 P_{C5} からドレイン電流 $3 \times I_P$ が供給される。また、MOSFET9のソース端子はMOSFET10を介

してグランド側に接続されている。さらに、MOSFET9は、ゲート端子が入力端子 P_{IN} 及び電流出力端子 P_{C3} に接続され、電源電圧 V_{DD} 及び各FETのサイズが適切に設定されることにより、サブスレッショルド飽和領域で動作する。このMOSFET9は、ゲート端子が接続された入力端子 P_{IN} とソース端子との間に温度係数が負の電圧を発生させる。

[0024] MOSFET10は、ドレイン端子がMOSFET9のソース端子に接続され、ソース端子がグランドに接続され、ゲート端子が基準電圧出力端子 P_{OUT} に接続されている。このMOSFET10は、電流出力端子 P_{C3} 、 P_{C4} 、 P_{C5} からドレイン電流 $3 \times I_P$ が供給されて強反転線形領域で動作することにより、ドレイン-ソース間に正の温度係数を有する電圧を発生させる線形抵抗として動作する。

[0025] ここで、基準電圧出力端子 P_{OUT} に生成される基準電圧 V_{REF} は、MOSFET10のドレイン電圧 V_{R2} からサブスレッショルド飽和領域で動作するMOSFET8a, 8b, 8c, 8d, 9のゲート-ソース間電圧を加減算したものであるから、下記式(7)；

[数7]

$$V_{REF} = V_{R2} + V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \quad \dots (7)$$

で与えられる。なお、 V_{GS3} 、 V_{GS4} 、 V_{GS5} 、 V_{GS6} 、 V_{GS7} は、それぞれ、MOSFET8a、MOSFET9、MOSFET8c、MOSFET8b、MOSFET8dのゲート-ソース間電圧である。強反転線形領域のMOSFET10に流れるドレイン電流が $3 \times I_P$ となることに注目すると、MOSFET10のドレイン電圧 V_{R2} は、下記式(8)；

[数8]

$$3I_P = K_\beta \beta (V_{REF} - V_{TH}) V_{R2} \quad \dots (8)$$

で表わされる。従って、式(6)、(8)を用いて、ドレイン電圧 V_{R2} は、下記式(9)；

[数9]

$$V_{R2} = \frac{3I_P}{K_\beta \beta (V_{REF} - V_{TH})} = \frac{3K_\beta \beta (V_{REF} - V_{TH})}{K_\beta \beta (V_{REF} - V_{TH})} \eta V_T \ln \left(\frac{K_2}{K_1} \right) = \eta V_T \ln \left(\frac{K_2^3}{K_1^3} \right) \quad \dots (9)$$

により計算される。

[0026] よって、式(4)及び式(9)を用いると、式(7)は以下のように置き換えられる。

[数10]

$$\begin{aligned}
 V_{REF} &= \frac{\eta V_T \ln\left(\frac{K_2^3}{K_1^3}\right) + V_{TH} + \eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) + \eta V_T \ln\left(\frac{2K_3}{K_6}\right) + \eta V_T \ln\left(\frac{K_5}{K_7}\right)}{(V_{R2}) \quad (V_{GS4}) \quad (V_{GS6} - V_{GS3}) \quad (V_{GS7} - V_{GS5})} \dots (10) \\
 &= \frac{V_{TH} + \eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) + \eta V_T \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right)}{(V_{GS4}) \quad (V_{R2} + V_{GS6} - V_{GS3} + V_{GS7} - V_{GS5})}
 \end{aligned}$$

なお、 $K_3 \sim K_7$ は、MOSFET8a, 9, 8c, 8b, 8dのアスペクト比である。これにより、基準電圧 V_{REF} は、MOSFET9のゲートソース間電圧 V_{GS4} と熱電圧 V_T を、トランジスタサイズ $K_1 \sim K_7$ でスケールリングした値に依存する。上記式(10)の第3項及び第4項は、合成電圧発生部8の2つのMOSFETペアのゲート端子間電圧である。

[0027] 次に、基準電圧 V_{REF} の温度特性について考察する。一般に、しきい値電圧 V_{TH} 、及び移動度 μ の温度依存性は、下記式(11)及び(12)で表わされる。

[数11]

$$V_{TH} = V_{TH0} - \kappa T \quad \dots (11)$$

[数12]

$$\mu = \mu_0 \left(\frac{T_0}{T}\right)^m \quad \dots (12)$$

ここで、 V_{TH0} は絶対零度におけるしきい値電圧、 κ はしきい値電圧の温度係数、 T は絶対温度、 μ_0 は温度 T_0 における移動度、 m は移動度の温度係数である。これより、基準電圧 V_{REF} の温度微係数は下記式(13)；

[数13]

$$\frac{dV_{REF}}{dT} = \frac{dV_{TH}}{dT} + \frac{d}{dT} \left(\eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) \right) + \frac{d}{dT} \left(\eta V_T \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right) \right) \quad \dots (13)$$

で示される。上記式(13)を式(6)を用いて整理すると下記式(14)；

[数14]

$$\begin{aligned} \frac{dV_{REF}}{dT} = & -\kappa + \frac{\eta V_T}{T} \ln \left(\frac{3K_\beta \beta (V_{REF} - V_{TH})}{K_4 I_0} \eta V_T \ln \left(\frac{K_2}{K_1} \right) \right) \dots (14) \\ & + \eta V_T \left(\frac{1}{V_{REF} - V_{TH}} \frac{dV_{REF}}{dT} + \frac{\kappa}{V_{REF} - V_{TH}} - \frac{1}{T} \right) + \frac{\eta V_T}{T} \ln \left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7} \right) \end{aligned}$$

の関係が得られる。 ηV_T が、または基準電圧 V_{REF} と絶対零度におけるしきい値電圧 V_{TH0} との差分が、 κT に比べて十分小さいとき、すなわち、 $\eta V_T \ll \kappa T$ 、 $V_{REF} - V_{TH0} \ll \kappa T$ であるとすると、上記式(14)から下記式(15)が得られる。

[数15]

$$\frac{dV_{REF}}{dT} = -\kappa + \frac{\eta V_T}{T} \ln \left(\frac{\kappa T}{V_T} \frac{6\eta K_\beta K_2^3 K_3 K_5}{(\eta - 1) K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right) \dots (15)$$

[0028] 従って、回路設計パラメータである各アスペクト比 K を下記式(16)の通りに設定することで、基準電圧 V_{REF} の温度係数をゼロにすることができる。

[数16]

$$\frac{\eta V_T}{T} \ln \left(\frac{\kappa T}{V_T} \frac{6\eta K_\beta K_2^3 K_3 K_5}{(\eta - 1) K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right) = \kappa \dots (16)$$

このときの基準電圧 V_{REF} は、 $\eta V_T \ll \kappa T$ 、 $V_{REF} - V_{TH0} \ll \kappa T$ の場合は、下記式(17)；

[数17]

$$V_{REF} = V_{TH0} + \eta V_T \ln \left(1 + \frac{V_{REF} - V_{TH0}}{\kappa T} \right) = V_{TH0} + \eta V_T \frac{V_{REF} - V_{TH0}}{\kappa T} = V_{TH0} \dots (17)$$

によって表わされる。これにより、基準電圧 V_{REF} は、絶対零度におけるしきい値電圧 V_{TH0} とほぼ等しくなることがわかる。また、このときのカレントミラー部2の生成する電流 I_P は、式(16)より下記式(18)及び(19)；

[数18]

$$I_P = \beta (\eta V_T)^2 \ln \left(\frac{\kappa T}{V_T} \frac{6\eta K_\beta K_2^3 K_3 K_5}{(\eta - 1) K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right) \ln \left(\frac{K_2}{K_1} \right) = A I_0 \dots (18)$$

[数19]

$$A = \frac{K_{\beta}\eta^2}{\eta-1} \ln \left(\frac{\kappa T}{V_T} \frac{6\eta K_{\beta} K_2^3 K_3 K_5}{(\eta-1) K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right) \ln \left(\frac{K_2}{K_1} \right) \quad \dots (19)$$

により表わされ、サブスレッショルド電流の前置係数 I_0 を参照した電流となる。

[0029] 以上の考察から、基準電圧発生回路1の生成する基準電圧 V_{REF} は、合成電圧発生部8の2つのMOSFETペアの発生させる正の温度係数を有する電圧と、MOSFET10の発生させる正の温度係数を有する電圧と、MOSFET9の発生させる負の温度係数を有する電圧とが合成されたものとなり、これらの温度係数が打ち消されることにより温度係数が0になるように設定可能とされる。

[0030] 以上説明した基準電圧発生回路1によれば、カレントミラー部2の5個の電流出力端子 P_{C1} , P_{C2} , P_{C3} , P_{C4} , P_{C5} のそれぞれにおいて、カレントミラー部2の回路特性と基準電圧出力値 V_{REF} と線形抵抗として動作するMOSFET6bの特性とで決まる電流 I_P が設定され、第3～第5の電流出力端子 P_{C3} , P_{C4} , P_{C5} から合成電圧発生部8のMOSFETペアのドレイン端子に電流 I_P 又は電流 I_P が重畳された電流が生成されることにより、合成電圧発生部8の入力端子 P_{IN} と基準電圧出力端子 P_{OUT} との間に、温度係数が正の合成電圧 $V_{GS6} - V_{GS3} + V_{GS7} - V_{GS5}$ が生成される。また、MOSFET9のドレイン端子に第3～第5の電流出力端子 P_{C3} , P_{C4} , P_{C5} から電流 $3 \times I_P$ が生成されることにより、MOSFET9のドレイン端子とソース端子との間に負の温度特性を有する電圧 V_{GS4} が出力される。これにより、それぞれのMOSFETのアスペクト比等の回路設計パラメータを調整することにより、基準電圧出力端子 P_{OUT} に温度に依存しない一定電圧を出力することができる。このとき、基準電圧 V_{REF} の発生に寄与するMOSFETペアとMOSFET9とは同じ動作領域で動作するので、動作パラメータのミスマッチが生じにくく、設計パラメータに対してMOSFET間で特性が大きく変動することもないため、温度変動に対して安定した基準電圧 V_{REF} の生成が可能になる。

[0031] さらには、電源電圧 V_{DD} の変動等によりカレントミラー部2の出力電流 I_P が変動しても安定した基準電圧 V_{REF} の発生を可能にする。図9に示す従来の基準電圧発生回路901は、カレントミラー部の2つの電流出力パスに、強反転線形領域で動作するMOSFET M_1 と、強反転飽和領域で動作するMOSFET M_2 とが接続された構成を有している。この基準電圧発生回路901の生成する基準電圧 V_{REF} はカレントミラー部2

の出力電流 I_{REF} の平方根に依存して変動してしまう。これに対して、本実施形態における基準電圧 V_{REF} は、式(17)からわかるように、電流 I_P に依存しない安定した電圧として生成される。

[0032] また、線形抵抗として動作し、正の温度係数を有する電圧を発生させるMOSFET 10をさらに備えることで、合成電圧発生部8の温度係数が小さくても温度に対して一定の基準電圧 V_{REF} の出力が可能になり、全体の回路規模を小さくすることができる。

[0033] さらに、MOSFETペアを構成するMOSFET8a, 8b, 8c, 8d及びMOSFET9は、ゲート端子が第3～第5の電流出力端子 P_{C3} , P_{C4} , P_{C5} のいずれか接続されることにより、サブスレッショルド領域で動作するので、回路の消費電力を低減することができる。とともに、それぞれのゲート端子をカレントミラー部2の出力に接続することで、それぞれのMOSFETの動作領域を容易に一致させることができる。

[0034] 図2は、基準電圧発生回路1の生成する基準電圧 V_{REF} の温度特性のシミュレーション結果を示すグラフである。また、図3は、基準電圧 V_{REF} の電源電圧 V_{DD} 依存性のシミュレーション結果を示すグラフである。このとき、各FETのサイズは、 $K_1 = 20$, $K_2 = 36$, $K_3 = 110$, $K_4 = 4$, $K_5 = 110$, $K_6 = 4$, $K_7 = 4$ と設定した。これらの結果より、温度が $-20^\circ\text{C} \sim 100^\circ\text{C}$ の広範囲で変動しても誤差0.4%以内で平均830mVの基準電圧 V_{REF} が出力されており、温度に依存しない安定した基準電圧が生成されていることがわかる。また、電源電圧 V_{DD} が約1V以上であれば、電源電圧が変化しても安定した基準電圧が生成可能であることがわかる。

[0035] また、図4にはトランジスタのプロセス変動によるばらつきを考慮した基準電圧 V_{REF} の温度特性のシミュレーション結果を示す。図4(a)は、基準電圧 V_{REF} の温度特性を示すグラフであり、図4(b)は、基準電圧 V_{REF} の温度に対する変化率 $\Delta V_{REF} / V_{REF}$ を示すグラフである。基準電圧発生回路1は、しきい値電圧参照型の基準電圧源であるため基準電圧 V_{REF} の絶対値自体はプロセス変動により変化するが、温度に対する変動は $\pm 0.4\%$ 以内で十分に小さく抑えられていることがわかる。

[0036] なお、本発明は、前述した実施形態に限定されるものではない。例えば、本発明は図5に示すような変形態様を採ることができる。すなわち、図5に示す本発明の変形態例である基準電圧発生回路101のように、 n 個(n は4以上の整数)のP型MOSFET

を有し、電流出力端子 $P_{C1} \sim P_{Cn}$ に電流を生成するカレントミラー部102と、電流出力端子 $P_{C3} \sim P_{Cn}$ に接続され、 $n-3$ 組のMOSFETペアが直列に接続された合成電圧発生部108と、合成電圧発生部108を介して電流出力端子 $P_{C3} \sim P_{Cn}$ に接続されたMOSFET9とを備える。このカレントミラー部102の段数 n は、電源電圧 V_{DD} の大きさ及び各FETのサイズに応じて適宜設定される。このような基準電圧発生回路101によっても、合成電圧発生部108によって発生された正の温度係数を有する電圧とMOSFET9によって発生された負の温度係数を有する電圧とが合成されて、温度に対して安定した基準電圧 V_{REF} を生成することができる。特に、MOSFET9のソース端子を直接グランドに接続することで、MOSFET9における基板バイアス効果をキャンセルすることができるので、基準電圧 V_{REF} の変動をより低減することができる。

[0037] なお、基準電圧発生回路1のMOSFET5a, 5b, 6b, 8a, 8b, 8c, 8d, 9, 10は、N型を使用していたが、P型を使用した回路構成でも実現可能である。

[0038] また、本発明は図6に示すような変形態様を採ることができる。具体的には、同図に示す基準電圧発生回路201は、カレントミラー部2において安定した電流 I_p を発生させるようにオペアンプ208を備えていてもよい。このオペアンプ208は、2つの入力端子がそれぞれMOSFET3a, 3bのドレイン端子に接続され、出力端子がMOSFET3a~3eのゲート端子に共通に接続されている。このような構成により、電源電圧 V_{DD} が変動した場合であってもMOSFET3a, 3bのドレイン電圧が同一値で安定に維持されるので、電流 I_p を安定化させることができ、また、回路の低電圧化を図ることができる。さらに、基準電圧発生回路201では、強反転線形領域で動作するMOSFET10は削除されてもよい。すなわち、MOSFET10が存在する場合はMOSFET9のソース端子がグランド電圧よりも大きくなっており、MOSFET9のしきい値電圧が基板バイアス効果により若干変化することになる。このような影響を少なくしたいときにはMOSFET9のソース端子をグランドに直接接続すればよい。

[0039] 図7は、電源電圧 V_{DD} を変化させた場合の基準電圧発生回路201の生成する基準電圧 V_{REF} の温度特性の測定結果を示すグラフである。この測定結果は、基準電圧発生回路201を実際のLSIチップによって作成し、それを対象に測定した結果である。これらの結果より、電源電圧 V_{DD} を様々に変化させても温度に依存しない安定した基

準電圧が生成されていることがわかる。

[0040] 最後に、基準電圧発生回路1の応用例について説明する。図8に示すように、基準電圧発生回路1は、プロセス変動によるトランジスタのしきい値電圧をモニタするための3端子レギュレータ回路として応用することができる。すなわち、基準電圧発生回路1の出力である基準電圧 V_{REF} はしきい値電圧 V_{TH0} を表しているので、この基準電圧をモニタ電圧 V_{MON} によってモニタすることにより、プロセス変動を検出することができる。

[0041] 電界効果トランジスタペアを構成するトランジスタ、及び第2の電界効果トランジスタは、それぞれゲート端子が第3～第Nの電流出力端子に接続されることにより、サブスレシヨルド領域で動作することが好ましい。この場合、電界効果トランジスタペア及び第2の電界効果トランジスタがサブスレシヨルド領域で動作することで、回路の消費電力を低減することができるとともに、それぞれのゲート端子をカレントミラー部の出力に接続することで、それぞれのトランジスタの動作領域を容易に一致させることができる。

[0042] また、第2の電界効果トランジスタのソース端子にドレイン端子が接続され、グラウンドにソース端子が接続され、基準電圧出力端子にゲート端子が接続されて、線形抵抗として動作する第3の電界効果トランジスタをさらに備えることも好ましい。こうすれば、第3の電界効果トランジスタのドレイン端子とソース端子との間に正の比較的大きな温度係数を持つ電圧がさらに生成されるので、合成電圧発生部の温度係数が小さくても一定の基準電圧の出力が可能になり、全体の回路規模を小さくすることができる。

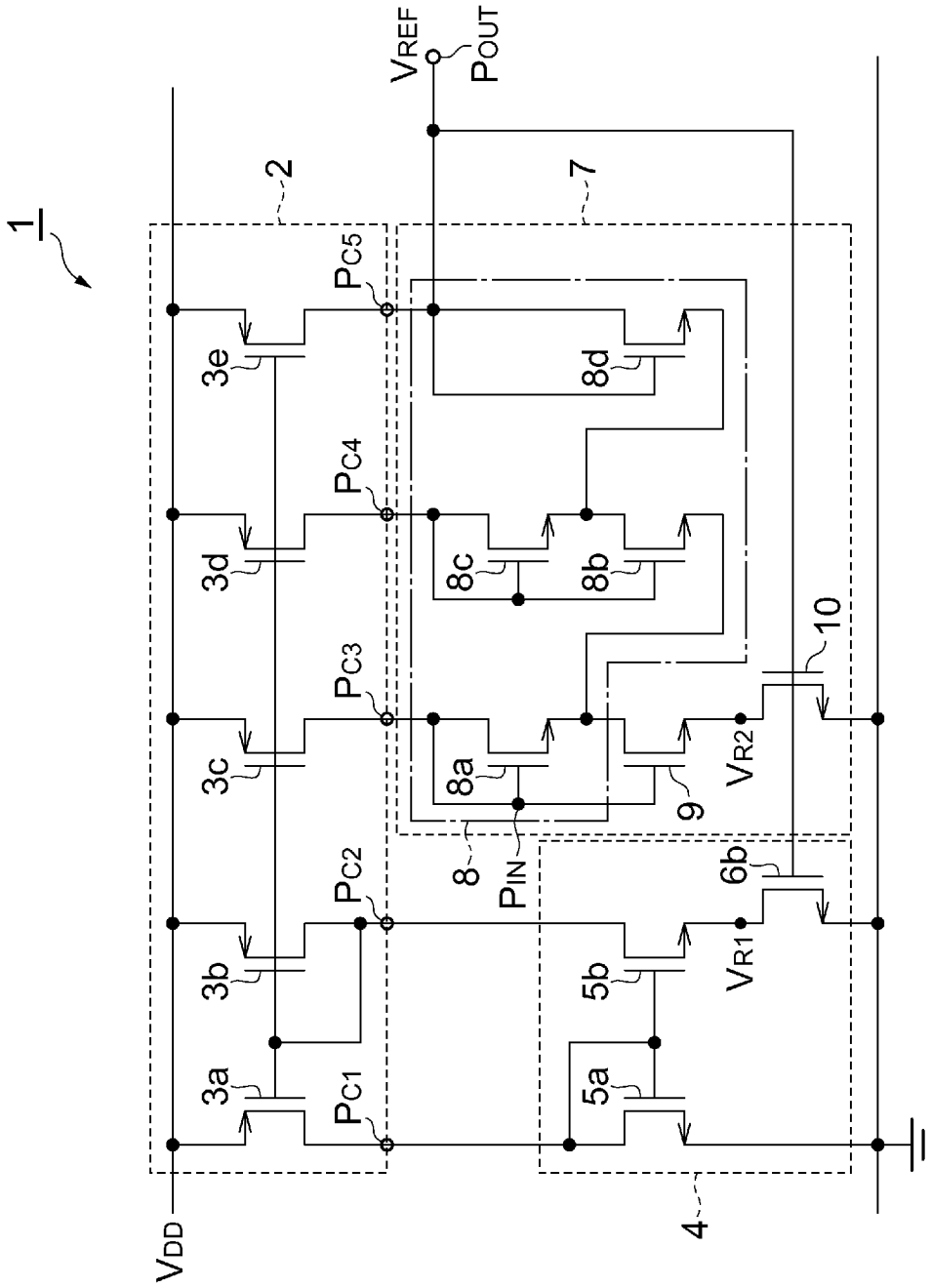
産業上の利用可能性

[0043] 本発明は、基準電圧発生回路を使用用途とし、基準電圧の発生に寄与するMOS FETの動作領域を一致させることにより、製造プロセスの変動に対して安定した基準電圧を生成するものである。

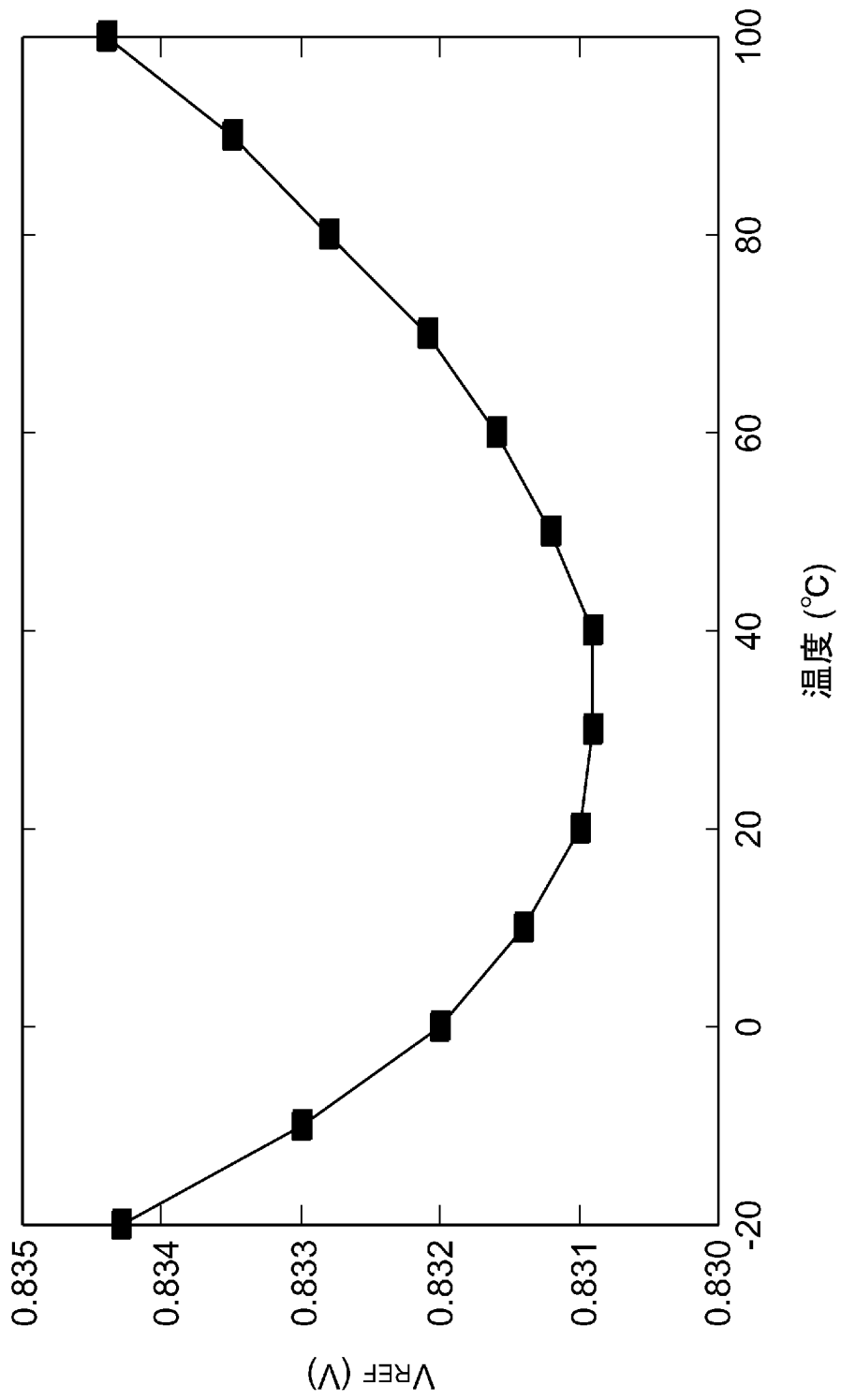
請求の範囲

- [1] 電源電圧が供給されて第1～第N(Nは4以上の整数)の電流出力端子に電流を生成するカレントミラー部と、
- 前記第2の電流出力端子にドレイン端子が接続され、グラウンドにソース端子が接続され、基準電圧出力端子にゲート端子が接続されて、線形抵抗として動作する第1の電界効果トランジスタと、
- 前記第3～第Nの電流出力端子のいずれかからドレイン端子に電流が生成され、且つソース端子どうしが互いに接続され、互いのゲート端子間に温度係数が正の合成電圧を発生させる1以上の電界効果トランジスタペアを有し、前記電界効果トランジスタペアが入力端子と前記基準電圧出力端子との間で直列に接続された合成電圧発生部と、
- 前記第3の電流出力端子からドレイン端子に電流が生成され、ゲート端子が前記合成電圧発生部の前記入力端子に接続され、ソース端子がグラウンド側に接続され、ゲート端子とソース端子間に温度係数が負の電圧を発生させる第2の電界効果トランジスタと、
- を備えることを特徴とする基準電圧発生回路。
- [2] 前記電界効果トランジスタペアを構成するトランジスタ、及び前記第2の電界効果トランジスタは、それぞれゲート端子が前記第3～第Nの電流出力端子に接続されることにより、サブスレッショルド領域で動作する、
- ことを特徴とする請求項1記載の基準電圧発生回路。
- [3] 前記第2の電界効果トランジスタのソース端子にドレイン端子が接続され、グラウンドにソース端子が接続され、前記基準電圧出力端子にゲート端子が接続されて、線形抵抗として動作する第3の電界効果トランジスタをさらに備える、
- ことを特徴とする請求項1又は2記載の基準電圧発生回路。

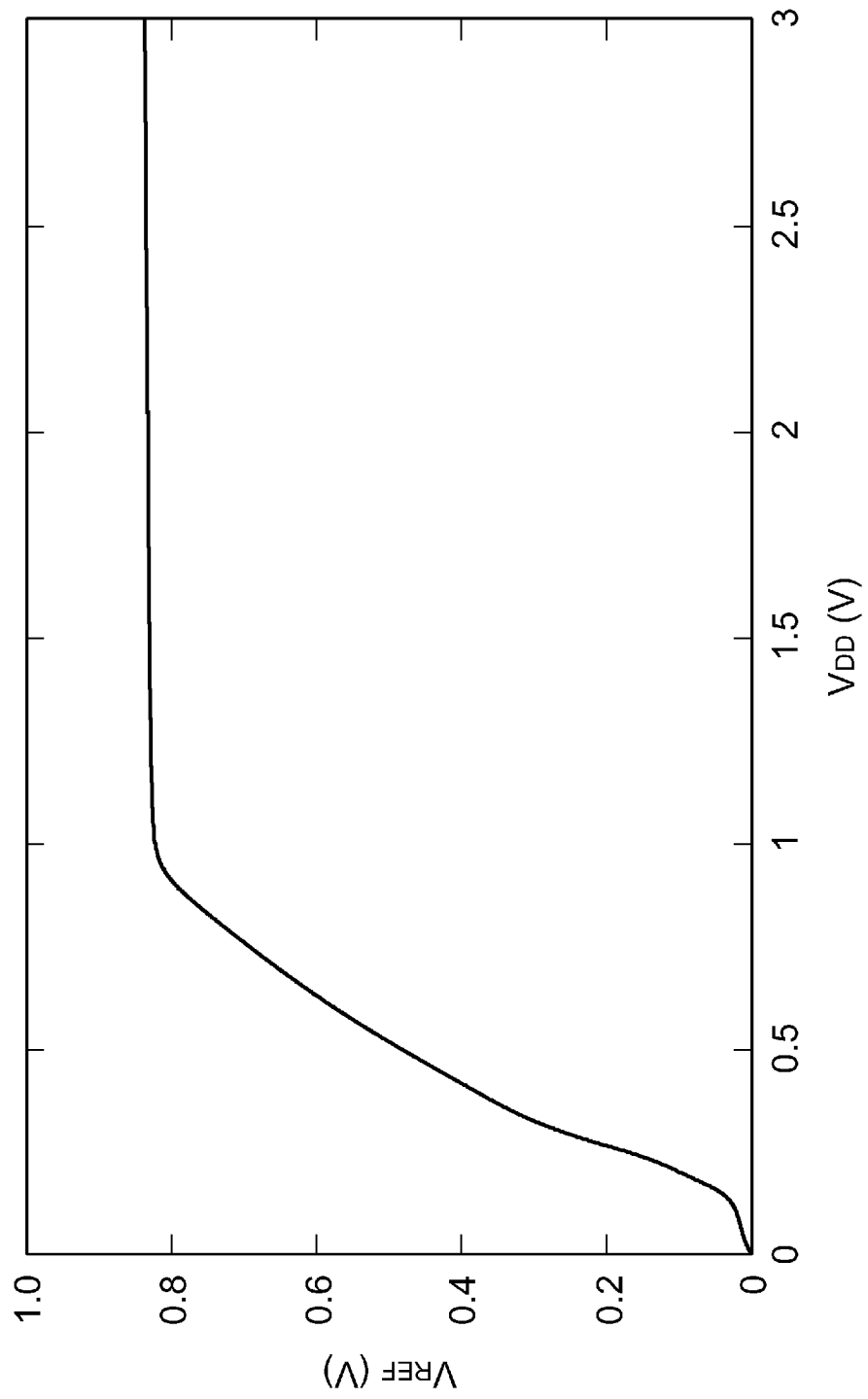
[図1]



[図2]

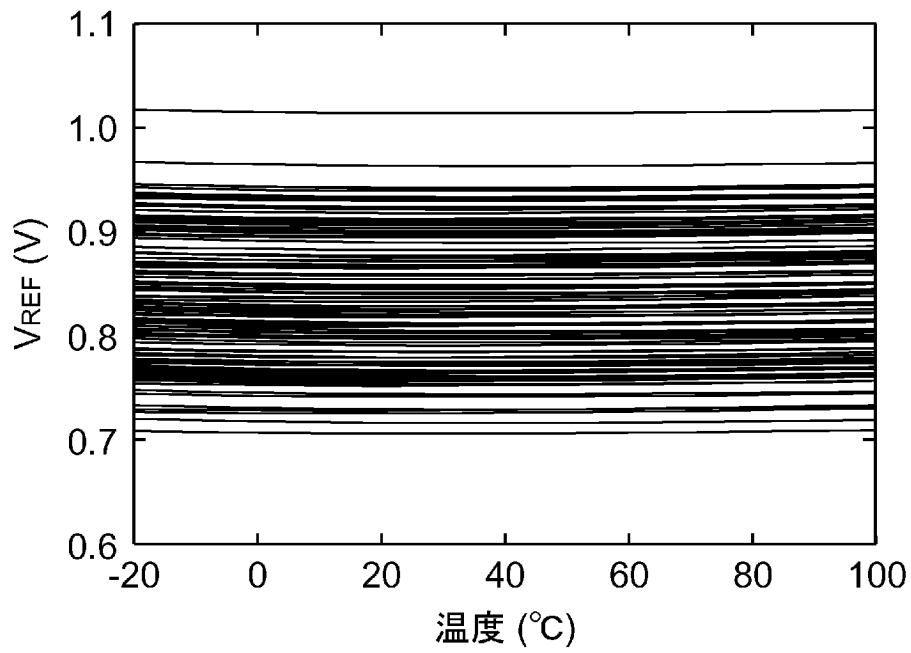


[図3]

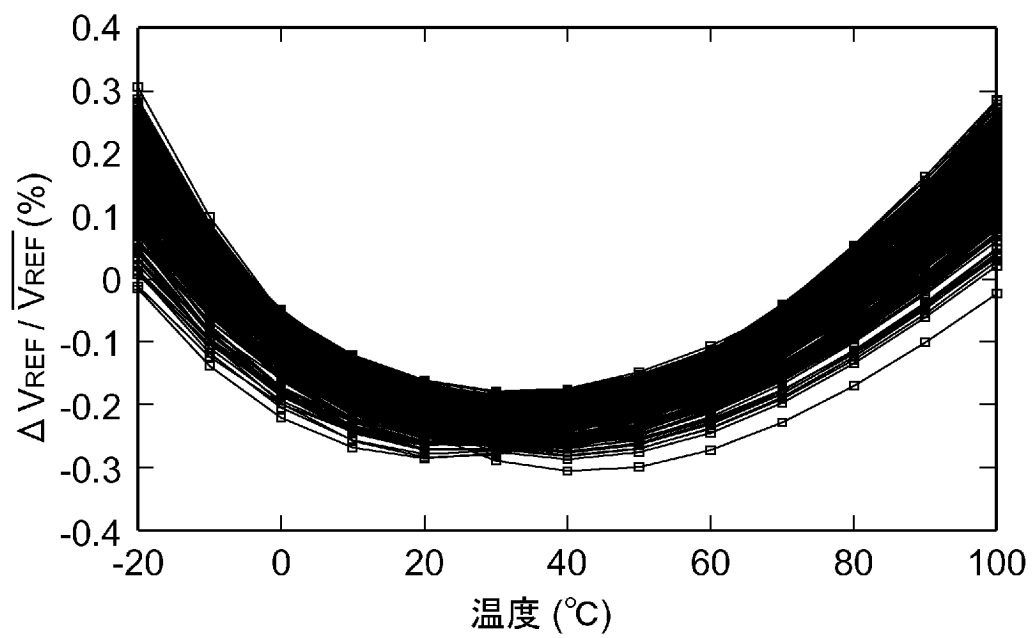


[図4]

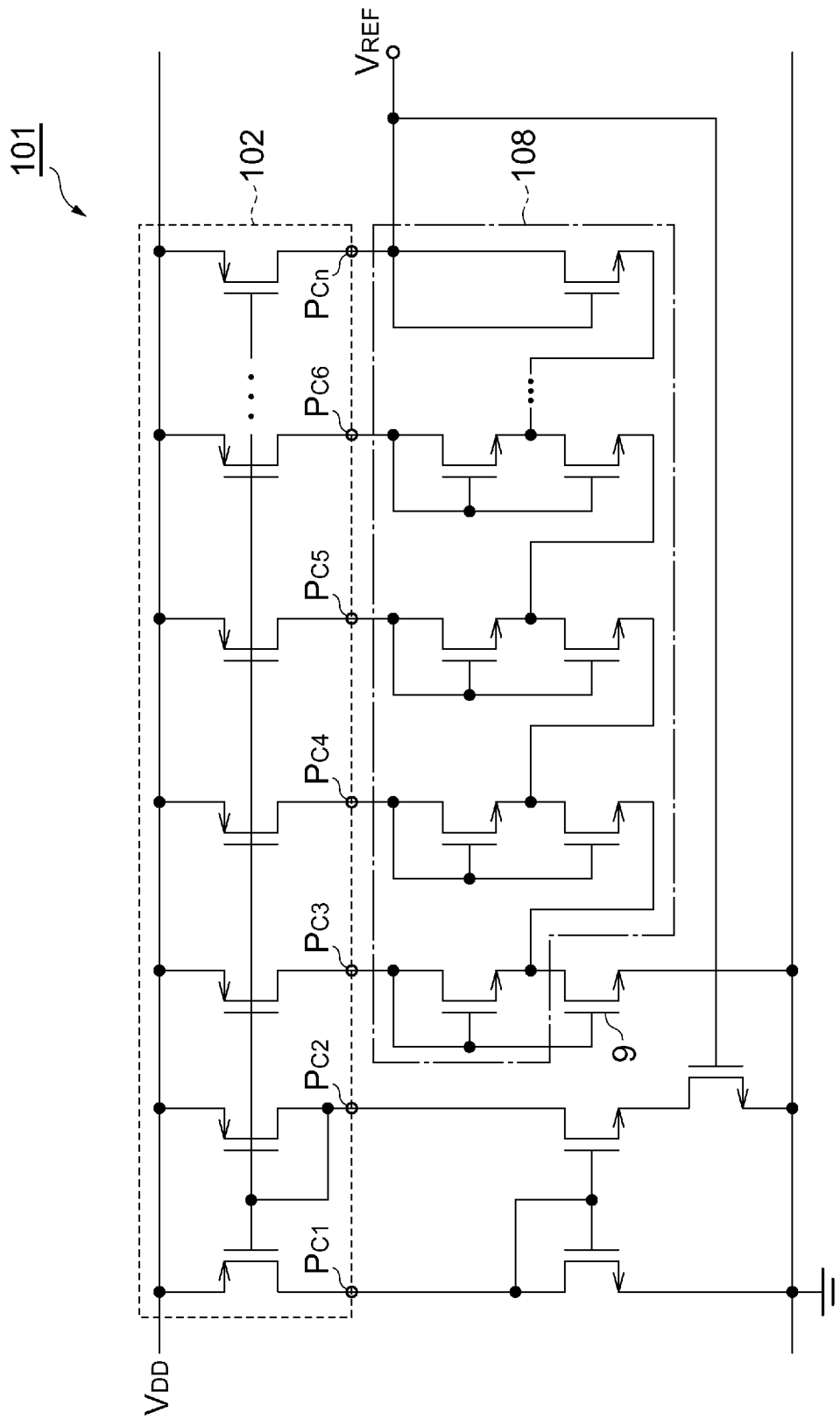
(a)



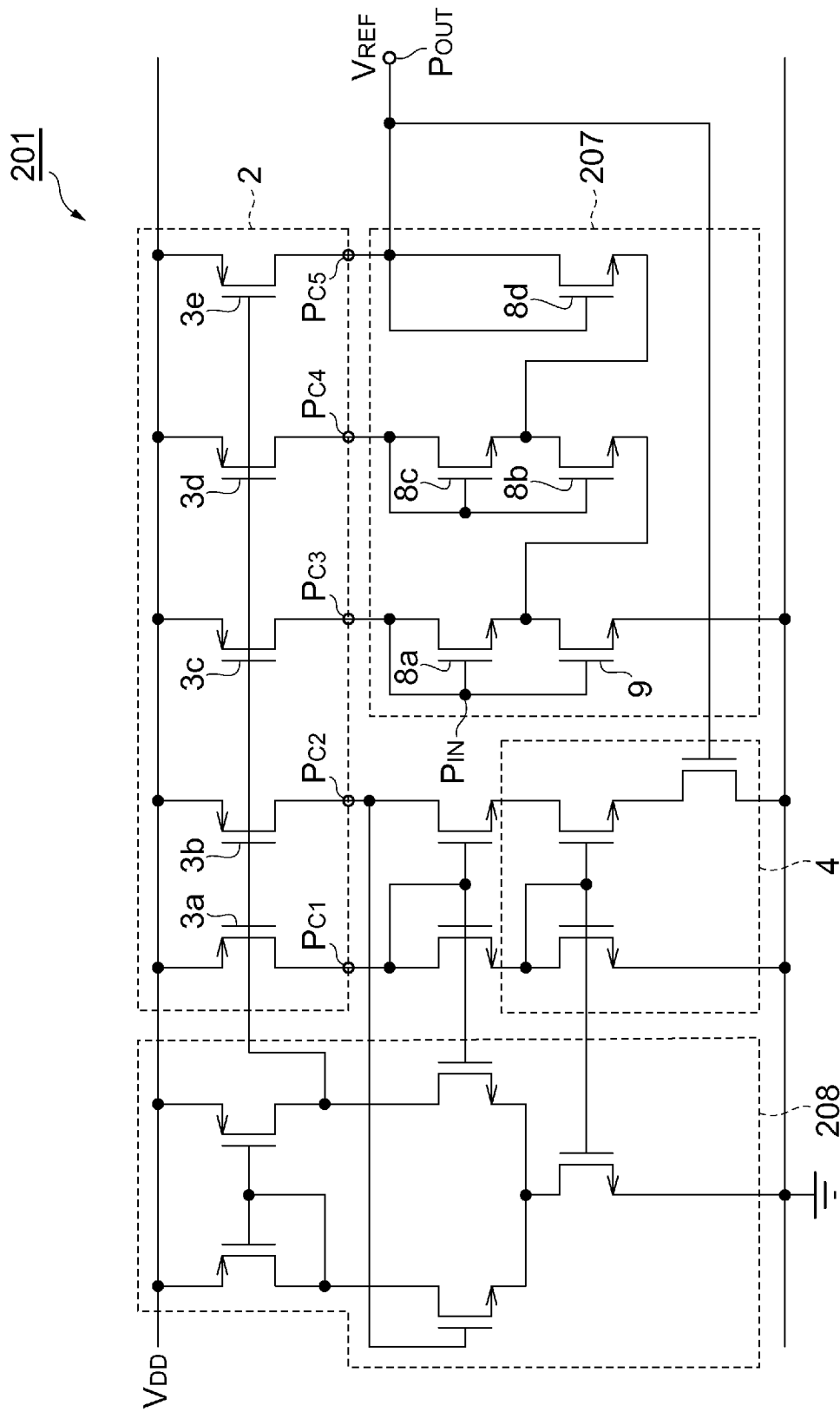
(b)



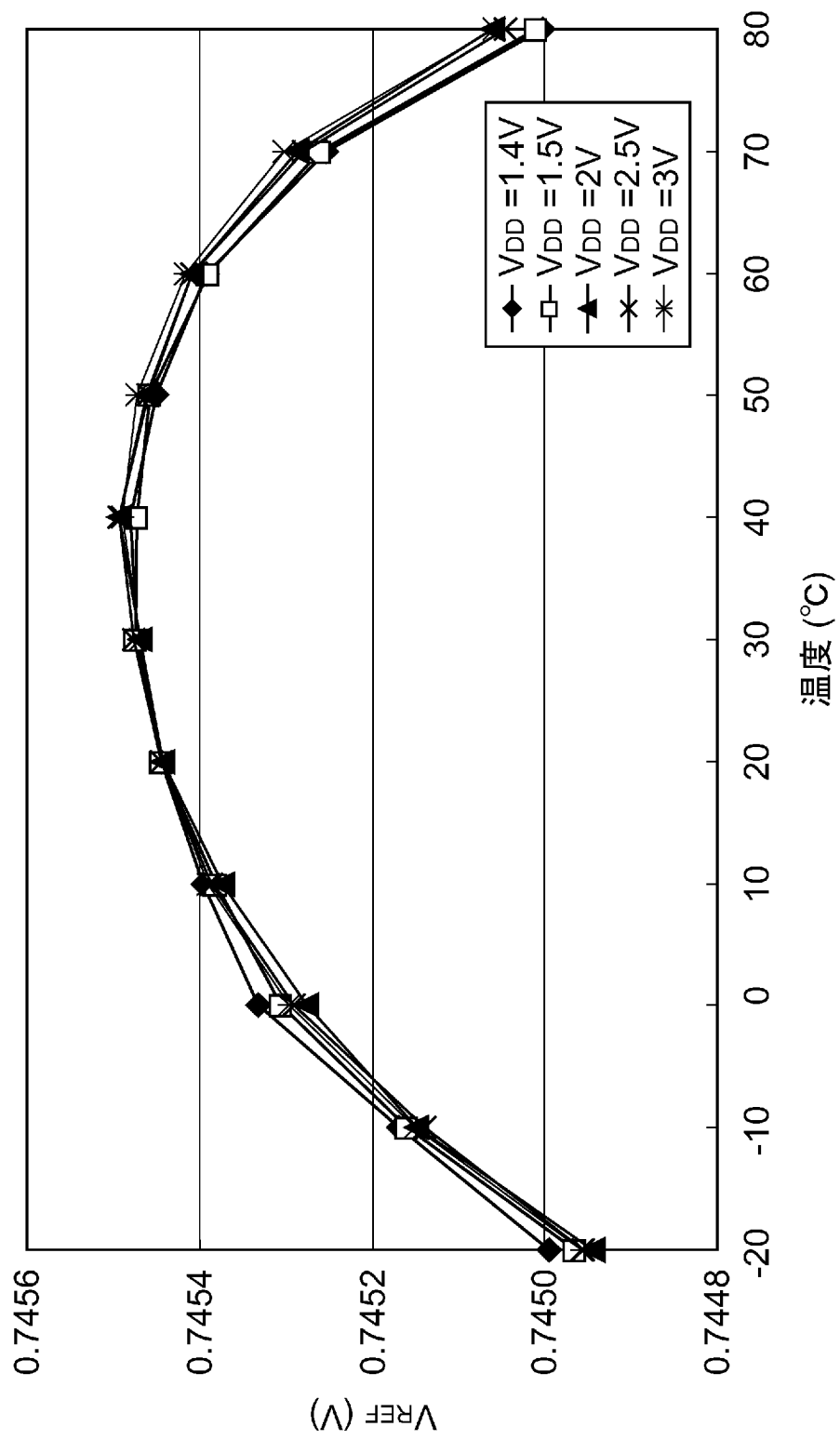
[図5]



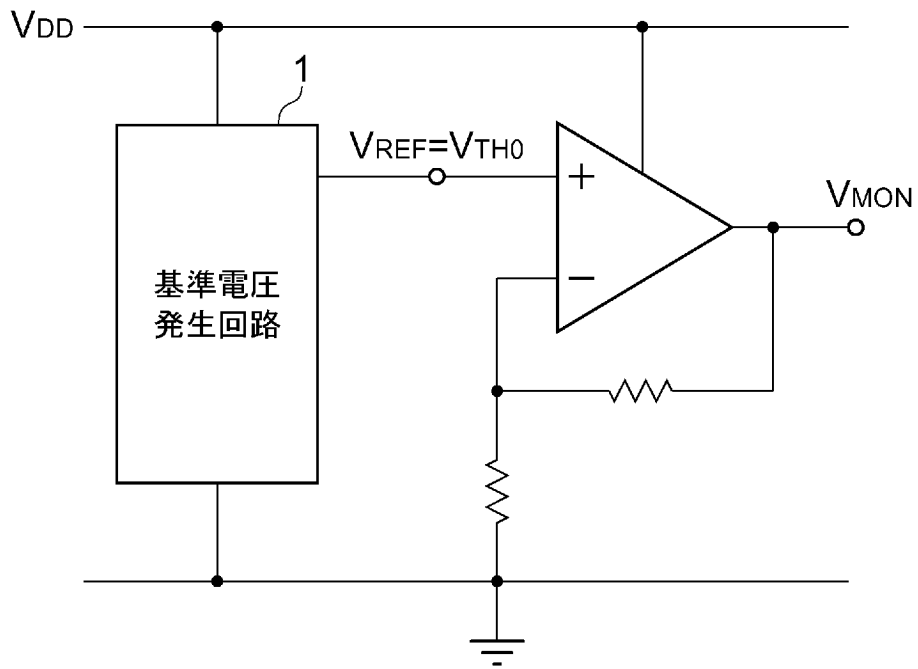
[図6]



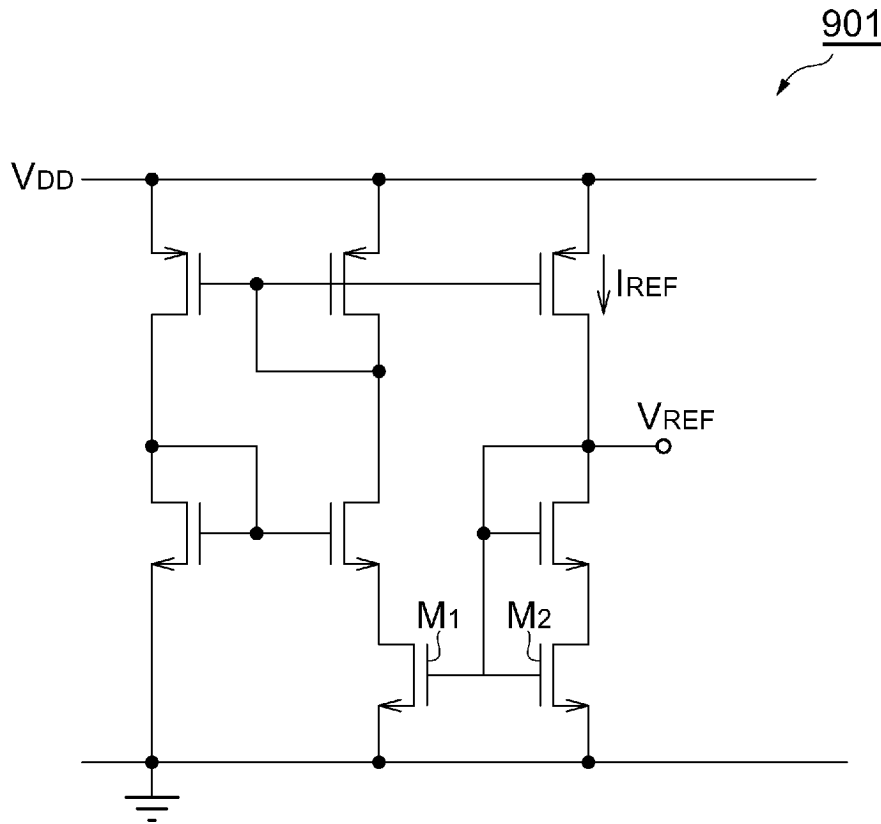
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2008/062830
--

A. CLASSIFICATION OF SUBJECT MATTER
G05F3/24 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G05F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-99336 A (NEC Micro Systems, Ltd.), 05 April, 2002 (05.04.02), All pages (Family: none)	1-3

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 October, 2008 (09.10.08)	Date of mailing of the international search report 21 October, 2008 (21.10.08)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F3/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-99336 A (エヌイーシーマイクロシステム株式会社) 2002.04.05, 全頁 (ファミリーなし)	1-3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

09.10.2008

国際調査報告の発送日

21.10.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三島木 英宏

電話番号 03-3581-1101 内線 3358

3V

3018