

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年11月12日(12.11.2009)

PCT

(10) 国際公開番号
WO 2009/136496 A1

- (51) 国際特許分類:
H01L 25/10 (2006.01) H01L 25/11 (2006.01)
H01L 25/00 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2009/001999
- (22) 国際出願日: 2009年5月7日(07.05.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-123446 2008年5月9日(09.05.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学(KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 石原 政道 (ISHIHARA, Masamichi) [JP/JP]; 〒8080196 福岡県北九州市若松区ひびきの2-4 国立大学法人九州工業大学内 Fukuoka (JP).
- (74) 代理人: 大川 譲(OHKAWA, Yuzuru); 〒1160013 東京都荒川区西日暮里5丁目11番8号 三

共セントラルプラザビル5階 開明国際特許事務所 Tokyo (JP).

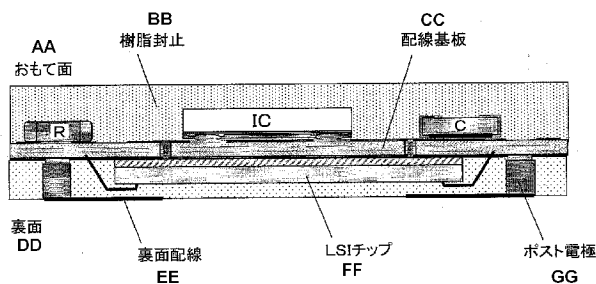
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: THREE-DIMENSIONALLY INTEGRATED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 3次元実装半導体装置及びその製造方法

[図8]



- AA FRONT SURFACE
- BB RESIN SEALING
- CC WIRING BOARD
- DD REAR SURFACE
- EE REAR SURFACE WIRING
- FF LSI CHIP
- GG POST ELECTRODE

(57) Abstract: On the both surfaces of a wiring board, connecting pad sections for connecting various types of circuit elements and a wiring pattern for connecting the connecting pad sections are arranged, and penetrating wiring sections for connecting the connecting pad sections and the wiring patterns on each surface are provided. A post electrode component is formed by integrally forming a plurality of post electrodes which are supported by a supporting section. A semiconductor chip is mounted on the rear surface of the wiring board and is connected to the connecting pad section on the rear surface. A post electrode component is fixed at a prescribed position on the wiring pattern and electrically connected to the wiring pattern, and after resin-sealing is performed, the supporting section is peeled and a post electrode end surface or the rear surface wiring connected to the post electrode end surface is exposed. Another circuit element is arranged on the connecting pad section on the front surface of the wiring board and connected to the connecting pad section.

(57) 要約:

[続葉有]



WO 2009/136496 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

配線基板の両面に、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、それぞれの面の接続パッド部及び配線パターンを互いに接続するための貫通配線部を有する。支持部に支持される複数個のポスト電極を一体に形成したポスト電極部品を形成する。配線基板の裏面に半導体チップを装着してその接続パッド部に接続し、かつ、該配線パターンの所定の位置にポスト電極部品を固定して電氣的に接続し、樹脂封止後、支持部を剥離してポスト電極端面或いはそれに接続された裏面配線を露出させる。配線基板のおもて面の接続パッド部に、別の回路素子を配置して接続する。

明 細 書

発明の名称： 3次元実装半導体装置及びその製造方法

技術分野

[0001] 本発明は、配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次元実装半導体装置及びその製造方法に関する。

背景技術

[0002] 携帯電話に用いられているRF（無線）モジュール等は高周波特性が非常に重要となるが、高周波特性として、最も敏感な部分は、半導体（LSI）チップ端と外付け部品間の配線である。従来の配線は、LSIチップボンディングワイヤ-パッケージ基板-ポスト電極-部品端となり長くなる。RFモジュールの場合、モジュール内配線が多く、モジュールの外部接続端子は少なくても良い。しかし、従来の一般的なモジュール技術では、パッケージの基板側は多層配線が可能であり、配線を多く取る事が可能であるが、ポスト電極側は、一般的に配線量を多く取る事が困難である。また、信号経路も2次元である。この信号経路を3次元化すればそれだけ信号経路が短くでき、高周波特性も改善される。また実装面積も少面積化できトータルのコスト低減が可能となる。このために、3次元実装にして、信号経路を短くすることが求められている。

[0003] 図21は、3次元実装した従来技術による半導体装置を例示する図である（特許文献1参照）。配線基板の上には、電極Aや図示していない配線等で構成される上面配線パターンが形成されている。電極Aの上には、コンデンサ、抵抗、インダクタ、フィルタ等の受動素子や能動素子など、回路素子が実装されている。配線基板の下面には、電極Bや、これらを接続する配線などで構成される下面配線パターンが形成されている。この下面配線パターンは、配線基板上面の電極Aとも、図示していない配線によって電氣的に接続されている。

[0004] 下面配線パターンの電極Bには、LSIチップのバンプ電極が接続され、

かつ、別の電極Cから垂直の接続孔が形成され、この接続孔の内周には、金属薄膜でなる接続部が形成されている。接続部を構成する金属薄膜は、封止部表面の接続孔の周囲に形成された、電極Dと一体になっている。

[0005] このような両面実装の半導体装置が、マザー基板上に取り付けられている。マザー基板上には、電極E及び接地電極を含む配線パターンが形成されている。電極E及び接地電極は、電極D及び放熱体と対面する位置に形成されて、それぞれ半田等を用いて接合される。半導体チップの上面の能動領域で発生した熱は、半導体チップの下面から、放熱体及び接地電極を介してマザー基板に放熱される。

[0006] このように、配線基板の両面に、LSIチップとか、各種回路素子を実装することにより、実装面積を少面積化できトータルのコスト低減ができるだけでなく、信号経路を短くすることが可能になる。

[0007] しかし、例示の半導体装置は、その構造が複雑であり、特に、配線基板とマザー基板にそれぞれ設けられている配線パターン間を接続するための接続構成に複雑な工程が必要となる。一般的に、半導体製造プロセスは、LSIを作りこむ前工程と、それをパッケージングする後工程に分かれるが、前工程をカバーする専門メーカーは少ない。例示の半導体装置の製造は、配線基板上で電極に接続される垂直の接続孔の形成や導電性物質の埋め込み等の処理をするプロセス、すなわち前工程に近い設備を必要とし、従来の後工程設備だけではできなかった。

先行技術文献

特許文献

[0008] 特許文献1：特開2005-203633号公報

発明の概要

発明が解決しようとする課題

[0009] 本発明は、簡易な手段で、平面実装を容易に3次元実装にし、かつ、信号経路を短くすることを目的としている。また、前工程に近い設備が必要な工

程をオフラインで部品に集約することによって、後工程メーカーも大きな投資の必要なく、参入でき、今後の市場拡大に容易に追随することを可能にする。

課題を解決するための手段

[0010] 本発明の配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次元実装半導体装置及びその製造方法は、配線基板の一方の主面及び他方の主面のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、一方及び他方の主面のそれぞれの接続パッド部及び配線パターンを互いに接続するための貫通配線部を有する。支持部に支持される複数個のポスト電極を一体に形成したポスト電極部品を形成する。配線基板の一方の主面において、半導体チップを装着して該一方の主面上の接続パッド部に接続し、かつ、該配線パターンの所定の位置にポスト電極部品を固定して電氣的に接続し、樹脂封止後、支持部を剥離してポスト電極端面を露出させる。配線基板の他方の主面において、該他方の主面上の接続パッド部に、別の回路素子を配置して接続する。

[0011] ポスト電極部品は、ポスト電極に接続される裏面配線を有することができ、この場合、樹脂封止後、支持部を剥離した際には裏面配線を露出させる。配線基板の一方の主面において、樹脂封止は、ポスト電極を側面に露出するように行ない、この露出したポスト電極が、その側面にメニスカスを作るように半田フィレットを形成して、マザー基板の配線パターンの上に半田付けすることができる。

発明の効果

[0012] 本発明では平面実装を容易に3次元実装にすることが可能となり、信号経路（LSIチップ-配線基板-回路素子）を短くして、高周波特性を改善することができる。これによって、RF（無線）モジュールの高性能化と少面積化が実現でき、携帯電話等の小型電子機器の高性能化と高密度実装が可能となる。高密度実装は機器の小型化あるいは低コストに繋がる。

[0013] また、本発明によれば、ポスト電極の側面を露出させることができ、これ

によって、側面に半田フィレット形成が可能であり、そのため、実装強度を格段に強化することができる。

図面の簡単な説明

[0014] [図1]配線基板（多層有機基板）の裏面上に半導体チップ（LSIチップ）を接着しかつ接続した状態で示す図である。

[図2]（A）は、配線付ポスト電極部品の詳細を示す図であり、1個のパッケージのための単体パターンの側面断面図、（B）はその斜視図、（C）は4個のパッケージのために連結したパターンの斜視図である。

[図3] LSIチップを接着しかつ接続した配線基板（図1参照）上に、配線付ポスト電極部品（図2参照）を接続した状態で示す図である。

[図4]樹脂封止した状態で示す図である。

[図5]支持部（電鋳母型）を剥離した後の状態で示す図である。

[図6]図5の上下を反転させた状態で示す図である。

[図7]有機基板のおもて面側に、各種回路素子を取り付けた状態で示す図である。

[図8]有機基板のおもて面側を樹脂封止した状態で示す図である。

[図9]本発明の第2の実施形態を説明する図である。

[図10]おもて面側を樹脂封止した状態で示す図である。

[図11]第2の実施形態の半導体装置の使用例を示す平面図である。

[図12]図11に示す半導体モジュールA～Cの1つを示す側面断面図である。

[図13]本発明の第3の実施形態を説明する図である。

[図14]樹脂封止後の状態を示す図である。

[図15]本発明の第4の実施形態を説明する図である。

[図16]樹脂封止後の状態を示す図である。

[図17]本発明の第5の実施形態を説明する図である。

[図18]（A）は、図2とは異なる別の例の配線付ポスト電極部品を示す斜視図であり、（B）は断面図であり、（C）は、（B）に示す円内の拡大図で

ある。

[図19]本発明の第6の実施形態の3次元実装半導体装置を例示する図である。

[図20]図2及び図18とは異なるさらに別の例の配線付ポスト電極部品の製造工程を示す図である。

[図21]3次元実装した従来技術による半導体装置を例示する図である。

[図22]フォトリソストを用いた電鍍部品の製造方法を示す工程図である。

発明を実施するための形態

[0015] 以下、例示に基づき本発明を説明する。本発明の3次元実装半導体装置の第1の実施形態を、図1～図8を参照して説明する。図1は、配線基板（多層有機基板）の裏面上に半導体チップ（LSIチップ）を接着しかつ接続した状態を示す図である。なお、図1においては、LSIチップの装着される図中の上側を裏面（一方の主面）とし、後述のように別の回路素子を取り付けられる図中の下側をおもて面（他方の主面）として、以下説明する。LSIチップは、多層有機基板の図中上側にダイボンド材により接着して、有機基板の最上層の配線パターンとはボンディングワイヤにより接続するものとして例示している。多層有機基板の最上層の配線パターンに、ボンディングワイヤ接続電極となるボンディング用金属パッド部が形成されると共に、該パッド部への配線が形成される。

[0016] 以下、配線基板として多層有機基板を例として説明するが、基板の両面側のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線、及び両面側の接続パッド部及び配線を互いに接続するための貫通配線部を有するものであれば、本発明は、多層有機基板に限らず、シリコン基板を含む如何なる配線基板も使用可能である。

[0017] 多層または単層有機基板は、単層2層配線構造や複数層から成る基板の各層に、それぞれ配線パターンを形成した後これらの基板を貼り合わせ、必要に応じて各層の配線パターンを接続するためのスルーホールを形成したものである。このスルーホールの内部には導体層が形成され、この導体層が図中

の下側に形成された端面電極部であるランドと接続されている。さらに、このランドには、ハンダ材料を付着させて、外部接続用のバンプ電極を形成することができる。このような多層または単層有機基板は、例えば、「ハンダボール」と呼ばれる小さいハンダ材料を丸めたもの（バンプ）をおもて面に実装した（BGA：Ball Grid Array）一括封止有機基板として知られている。

[0018] 図2は、板状の支持部により一体に連結されている配線付ポスト電極部品の詳細を示す図であり、図2（A）及び（B）は1個のパッケージのための単体パターンの側面断面図及び斜視図をそれぞれ示し、また図2（C）は4個のパッケージのための4個の単体パターンを1個に連結したパターンの斜視図を示している。支持部に支持されるポスト電極だけでなく、それに接続される配線パターンを形成する。これによって、図示の配線付ポスト電極部品には、配線パターン造り込みがなされているが、本発明は、配線パターン無しのポスト電極のみの構成も用いることができる。

[0019] これら単体パターン或いは連結パターンは、配線パターン及び複数のポスト電極を支持部により一体に連結して構成される。ポスト電極は、例示したような円柱形状に限らず、矩形、多角形状等を含む柱状（棒状）形状であれば良い。配線パターン及びポスト電極は電鍍法によって作製することができる。

[0020] 電鍍法自体は、周知の加工法である。電鍍法とは「電気メッキ法による金属製品の製造・補修又は複製法」であって、基本的には電気メッキと同様であるが、メッキ厚、メッキ皮膜の分離操作を行う点が、電気メッキとは異なる。また、母型よりメッキ皮膜を剥離して使用する場合、メッキ皮膜の物性の制御・管理が重要ポイントとなる。電鍍法により成長させる導電性材料のメッキ金属としては、ニッケルまたは銅とか、ニッケル合金、或いは銅合金を含む材料を用いることができる。母型材質としては、ステンレスを用いることができるが、それ以外に、樹脂封止のために用いる樹脂材料と熱膨張係数が大きく異なる材質、例えばベースに銅材料を用いて表面はメッキパターンが剥離し易いようにメッキ用の電気を通す程度の薄い酸化膜等の材料

で覆ったものを用いることができる。内部応力の生じないようなメッキ浴の組成やメッキ条件を選定する必要があり、ニッケルメッキの場合、メッキ浴としてスルファミン酸ニッケル浴が利用されている。

[0021] 図22は、フォトレジストを用いた電鍍部品の製造方法を示す工程図である。電鍍法は、図22(a)に示すように、ステンレス等の母型の上面に、フォトレジスト(不導体被膜)を塗布する。次いで、パターンフィルムを通して露光するパターン焼き付け及びその後の現像により、非メッキ部分をフォトレジストパターンで覆った電鍍用原版を形成する(図22(b))。電鍍用原版のフォトレジストパターンの厚さは、製品(ポスト電極、或いは配線パターン)の厚さ以上であり、ポスト電極の場合は、例えば $100\mu\text{m}\sim 300\mu\text{m}$ 前後の厚さとする。続いて、フォトレジストパターンの開口部にメッキ金属が形成される(図22(c))。適性温度に維持されたメッキ浴(例えば、スルファミン酸ニッケル液)中に、陽極側に電鍍させようとする電鍍金属を入れ、陰極側にステンレス等の電鍍母型を配置する。陰極側の電鍍母型の表面上には、図22(c)に示すように、フォトレジストパターンが予め形成されている。電流を流すと、陽極側の電鍍金属が溶け出して、電鍍母型上のフォトレジストパターン開口部にメッキされる。

[0022] 次に、図22(d)に示すように、平坦化加工が行われる。次に、レジストを除去すると(図22(e))、レジスト部分以外がそのまま配線パターンやポスト電極となる。そして、このメッキ金属を電鍍母型から剥離する(図22(f))。形成されたメッキ金属と支持部の剥がしが、熱や圧力で容易に行うことができるのが、電鍍法の特徴である。

[0023] 図2に示す配線付ポスト電極部品は、図22(a)~(d)に示す工程を2回繰り返す。最初の工程で、配線パターンを形成した後、2回目の工程で、配線パターンに接続されるポスト電極を形成する。その後、レジストを除去して、配線パターンに接続されるポスト電極を剥離することになる。

[0024] 図3は、LSIチップを接着しかつ接続した配線基板(図1参照)上に、配線付ポスト電極部品(図2参照)を接続した状態で示す図である。有機基

板の配線パターンの所定の位置（図1に示す接続電極用金属パッド部）には、ポスト電極が固定されかつ電氣的に接続される。ポスト電極を固定及び接続する手法としては、（1）超音波による接合、（2）銀ペースト等の導電性ペーストによる接続、（3）半田接続、（4）有機基板側に設けた接続電極用金属パッド部に凹部を設ける一方、配線付ポスト電極部品側は凸部を設けて挿入圧着あるいは挿入シカシメる方法、により行うことができる。

[0025] 図4は、樹脂封止した状態で示す図である。支持部により一体に連結されているポスト電極が固定された後、この状態で、配線基板の上面は、支持部の下面までトランスファーモールドされ、或いは液状樹脂（材質は、例えばエポキシ系）を用いて樹脂封止される。

[0026] 図5は、支持部（電鍍母型）を剥離した後の状態で示す図である。支持部を剥離することにより、ポスト電極及びそれに接続されている裏面配線が電氣的に個々に分離される。これによって露出した裏面配線を、外部接続用として用いることができる。或いは、裏面配線無しのポスト電極部品を用いた際には、ポスト電極端面を外部接続用として用いることができる。

[0027] 図6は、図5の上下を反転させた状態で示す図である。

[0028] 図7は、図中の上側に位置する有機基板のおもて面側に、各種回路素子を取り付けた状態で示す図である。図示のように、配線基板上の所定位置に、別の半導体チップIC、抵抗R、及びコンデンサCのような回路素子を配置して、接続する。各回路素子は、配線基板（有機基板）のランド上に、通常の技術を用いて、フリップチップボンダ接続される。

[0029] 図8は、有機基板のおもて面側を樹脂封止した状態で示す図である。樹脂封止する前の段階で、完成製品として使用可能であるが、樹脂封止することもできる。図は1個のみの部品を示しているが、実際には多数個連結されている状態で、金型に入れて樹脂を充填する。これによって、トランスファーモールドされ、或いは液状樹脂（材質は、例えばエポキシ系）を用いて樹脂封止される。

[0030] この段階の構成により、完成製品として使用可能であるが、この後、裏面

側（図中の下側）の裏面配線の所定位置（配線先端側）に、外部接続用のバンプ電極を形成することができる。或いは、裏面配線無しのポスト電極部品を用いた場合には、ポスト電極先端面を外部接続用の外部電極とすることができ、又はその先端面にバンプ電極を形成して、これを外部電極として用いることもできる。さらに、チップ個片化のための切断を行って、製品として完成させる。

[0031] 次に、本発明の第2の実施形態を、図9～図12を参照して説明する。この第2の実施形態は、ポスト電極の位置が、樹脂封止の側面に露出している点でのみ、第1の実施形態とは相違している。この段階で、完成製品として使用可能であるが、さらに、図10に示すように、おもて面側を樹脂封止することもできるし、また、裏面配線の所定位置に、外部接続用のバンプ電極を形成することができる。

[0032] 図11は第2の実施形態の半導体装置の使用例を示す平面図であり、かつ、図12は、図11に示す半導体モジュールA～Cの1つを示す側面断面図である。図示のように、マザー基板の配線パターンの上に、半導体モジュールA～C及びコンデンサー等の回路素子を配置して、半田付け等により電氣的、機械的に接続する。この際、図12に示すように、樹脂封止の側面に露出したポスト電極側面にメニスカス（液体表面が表面張力などの力によって曲線などに変形した形状）を作るように、ポスト電極側面に、半田フィレット（半田凝固後、接続部に形成される半田表面の形状）を形成して、接続強度を増すことができる。

[0033] 次に、本発明の第3の実施形態を、図13～図14を参照して説明する。この第3の実施形態は、LSIチップが配線基板に対してフリップチップ接続されている点でのみ、第1の実施形態とは相違している。ポスト電極は、第1の実施形態と同様に、樹脂封止内部に内蔵されている。LSIチップは、配線基板（有機基板）の図中の下側に位置する最上層の配線パターンに、通常の技術を用いて、フリップチップボンド接続されている。図13は、おもて面を樹脂封止する前の状態を示し、かつ、図14は樹脂封止後の状態を

示している。いずれの状態でも、完成製品として使用可能である。

[0034] 次に、本発明の第4の実施形態を、図15～図16を参照して説明する。この第4の実施形態は、LSIチップが配線基板に対してフリップチップ接続されている点でのみ、第2の実施形態とは相違している。ポスト電極は、第2の実施形態と同様に、側面が樹脂封止外部に露出している。図15は、おもて面を樹脂封止する前の状態を示し、かつ、図16は樹脂封止後の状態を示している。いずれの状態でも、完成製品として使用可能である。

[0035] 図17は、本発明の第5の実施形態を説明する図である。図13と同様に、配線基板（有機基板）のおもて面側に、回路素子ICを取り付けた後、裏面側と同様に、おもて面側にも、図2に示したような配線付ポスト電極部品を接続固定する。この後、上述の例と同様に、おもて面側を樹脂封止し、かつ、支持板を剥離する。その後、おもて面配線に対して各種回路素子（抵抗R、コンデンサーC）をフリップチップボンダ接続する。これによって、回路素子が3段に積層された半導体装置を構成できる。さらに、同様にして別の配線付ポスト電極部品を積み重ねれば、4段以上に多段に接続することも可能になる。

[0036] 図18は、図2とは異なる別の例の配線付ポスト電極部品を示す図である。図18（A）は、配線付ポスト電極部品を示す斜視図であり、（B）は断面図であり、（C）は、（B）に示す円内の拡大図である。この配線付ポスト電極部品の支持部にステンレス（SUS）を用いることができる。例示の支持部は、その一方の全面に、ポリイミドテープなどに代表される薄膜フィルムの絶縁基材により作成したテープを剥離可能な接着剤を用いて貼り付ける。支持部とテープは後の工程で相互に剥離される。このため、例えばリフロー温度より高温（モールド温度以上）を加えると、支持部とテープが剥離し易い処理を予め行っておく。例えば熱カプセル入り接着剤、または支持部として光を透過する材料（耐熱低熱膨張ガラスなど）にして、紫外線剥離型接着剤を用いる。または熱可塑性の接着剤でも良い。

[0037] さらに、このテープ上に、配線パターンとなるべき金属のシード層を形成

して、メタル付きテープを形成する。このシード層としては、例えば、銅メッキを可能とする金、銀、銅、パラジウム箔を用いることができる。配線層のパターンはシード層の上にレジストを塗布し、パターンを露光、現像してさらにエッチングを行い、レジストを除去して完成させる。このシード層の上にメッキにより配線層を成長させる。さらにその上に、ポスト電極部形成のためレジスト塗布と現像を行い、ポスト部をメッキ成長させる。或いは、配線部はナノ金属粒子で直接シード層をパターンニング（上述の金属粒子配線参照）してリソグラフィ工程を省略することもできる。さらにその上に、ポスト電極部形成のためレジスト塗布と現像を行い、ポスト部をメッキ成長させる。あるいは銅箔付テープをリソグラフィ加工して配線パターンを形成し、さらにその上に、ポスト電極部形成のためレジスト塗布と現像を行い、ポスト部をメッキ成長させる。これによって、配線付ポスト電極部品が完成する。

[0038] 図19は、本発明の第6の実施形態を説明する図である。図19は、図8に例示の3次元実装半導体装置に、絶縁基材及び外部電極を付加したものに相当する。図18に例示の配線付ポスト電極部品は、上述した例と同様に、LSIチップを接着しかつ接続した配線基板上に接続、固定され、樹脂封止される。この後、支持部が剥離されることになるが、この際、例えば、所定の高温を加えることにより、支持部のみが剥離され、絶縁基材は残る。露出した絶縁基材は、完成製品の保護膜として機能する。この後、裏面においては、絶縁基材に穴を空け、開口により露出した裏面配線と接続される外部電極を形成する。同様に、図18に例示の配線付ポスト電極部品は、それぞれ、図10、図14、図16、図17に示す第2～第5の実施形態の3次元実装半導体装置にも適用して、保護膜として機能する絶縁基材を備えることが可能になる。

[0039] 図20は、図2及び図18とは異なるさらに別の例の配線付ポスト電極部品の製造工程を示す図である。図18に示す絶縁基材として、表面にソルダーレジストを付着させた薄いガラスエポキシ基板を用いることができる。こ

の配線付ポスト電極部品の製造のために、まず、図20(a)に示すように、ガラスエポキシ基板の一方の面（おもて面）に、ポスト電極と配線を形成すると共に、他方の面（裏面）にも配線を形成する。この両配線は基板貫通配線により接続されている。この両配線及び基板貫通配線により、ポスト電極から外部電極位置までの経路を結線して、外部電極位置をポスト電極位置とは異なる任意の位置に配置転換する。

[0040] 次に、(b)に示すように、外部電極位置に開口部を設けたソルダーレジストを塗布する。一方、(c)は、剥離可能な接着剤を塗布した支持部を示している。この支持部及び接着剤自体は、図18を参照して説明したものと同様なものを用いることができる。

[0041] 次に、この接着剤を塗布した支持部の上に、(b)に示す構成を上下反転させて、貼り付ける。これによって、配線付ポスト電極部品が完成する。この配線付ポスト電極部品もまた、図18に例示のものと同様に使用可能であるが、例えば、図19に示すような3次元実装半導体装置に組み込まれた際には、その製造中に、支持部は剥離されて、除去される。その際、ソルダーレジストが保護膜として残る。ソルダーレジストには、上述のように、既に、外部電極用開口部が開けられているので、この開口部を通して配線付ポスト電極部品の配線に接続された外部電極を設ける。

[0042] 配線基板（図1参照）としてガラスエポキシ基板を用いる場合、配線付ポスト電極部品もまた、同一基板メーカーによって製造可能になり、スルーホールが大幅に短縮され、コストダウンに貢献できるという利点がある。支持部は、出来るだけ両面配線のガラスエポキシ基板を薄くして、パッケージの仕上がりも薄くするために必要となる。

[0043] 以上、本開示にて幾つかの実施の形態を単に例示として詳細に説明したが、本発明の新規な教示及び有利な効果から実質的に逸脱せずに、その実施の形態には多くの改変例が可能である。

請求の範囲

- [請求項1] 配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次元実装半導体装置において、
- 前記配線基板は一方の主面及び他方の主面のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、一方及び他方の主面のそれぞれの接続パッド部及び配線パターンを互いに接続するための貫通配線部を有し、
- 前記配線基板の一方の主面において、半導体チップを装着して該一方の主面上の接続パッド部に接続し、かつ、該配線パターンの所定の位置に、支持部に支持される複数個のポスト電極を一体に形成したポスト電極部品を固定して電氣的に接続し、樹脂封止後に前記支持部を剥離することにより、前記ポスト電極端面を露出させ、
- 前記配線基板の他方の主面において、該他方の主面上の接続パッド部に、別の回路素子を配置して、接続する、
- ことから成る3次元実装半導体装置。
- [請求項2] 前記ポスト電極部品は、前記ポスト電極に接続される配線を有し、前記支持部を剥離した際には前記配線を露出させた請求項1に記載の3次元実装半導体装置。
- [請求項3] 前記ポスト電極及びそれに接続される配線は、前記支持部の上に剥離可能な接着剤により貼り付けた絶縁基材の上に形成され、前記支持部を剥離することにより露出した絶縁基材を保護膜として用い、かつ、この保護膜に穴を空け、開口により露出した前記配線と接続される外部電極を設けた請求項2に記載の3次元実装半導体装置。
- [請求項4] 前記絶縁基材は、ガラスエポキシ基板及びその上に形成される配線を覆うソルダーレジストであり、前記支持部を剥離することにより露出したソルダーレジストを保護膜として用い、かつ、この保護膜に空けた開口を通して前記配線と接続される外部電極を設けた請求項3に記載の3次元実装半導体装置。

- [請求項5] 前記配線基板の他方の主面において、前記別の回路素子を樹脂封止した請求項1に記載の3次元実装半導体装置。
- [請求項6] 前記配線基板の一方の主面において、前記樹脂封止は、前記ポスト電極を側面に露出するように行う請求項1に記載の3次元実装半導体装置。
- [請求項7] 前記側面に露出したポスト電極が、その側面にメニスカスを作るように半田フィレットを形成して、マザー基板の配線パターンの上に半田付けされる請求項6に記載の3次元実装半導体装置。
- [請求項8] 前記半導体チップは、前記一方の主面上の接続パッド部にボンディングワイヤ接続、或いは、フリップチップ接続される請求項1に記載の3次元実装半導体装置。
- [請求項9] 前記各種回路素子は、3段以上の多段に積層された請求項1に記載の3次元実装半導体装置。
- [請求項10] 配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次元実装半導体装置の製造方法において、
前記配線基板は一方の主面及び他方の主面のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、一方及び他方の主面のそれぞれの接続パッド部及び配線パターンを互いに接続するための貫通配線部を有し、
支持部に支持される複数個のポスト電極を一体に形成したポスト電極部品を形成し、
前記配線基板の一方の主面において、半導体チップを装着して該一方の主面上の接続パッド部に接続し、かつ、該配線パターンの所定の位置に前記ポスト電極部品を固定して電氣的に接続し、樹脂封止後、前記支持部を剥離して前記ポスト電極端面を露出させ、
前記配線基板の他方の主面において、該他方の主面上の接続パッド部に、別の回路素子を配置して、接続する、
ことから成る3次元実装半導体装置の製造方法。

- [請求項11] 前記ポスト電極部品は、前記ポスト電極に接続される配線を有し、樹脂封止後、前記支持部を剥離した際には前記配線を露出させた請求項10に記載の3次元実装半導体装置の製造方法。
- [請求項12] 前記ポスト電極及びそれに接続される配線は、前記支持部の上に剥離可能な接着剤により貼り付けた絶縁基材の上に形成され、樹脂封止後、前記支持部を剥離することにより露出した絶縁基材を、保護膜として用い、かつ、この保護膜に穴を空け、開口により露出した前記配線と接続される外部電極を設けた請求項11に記載の3次元実装半導体装置の製造方法。
- [請求項13] 前記絶縁基材は、ガラスエポキシ基板及びその上に形成される配線を覆うソルダーレジストであり、樹脂封止後、前記支持部を剥離することにより露出したソルダーレジストを保護膜として用い、かつ、この保護膜に空けた開口を通して前記配線と接続される外部電極を設けた請求項12に記載の3次元実装半導体装置の製造方法。
- [請求項14] 前記配線基板の他方の主面において、前記別の回路素子を樹脂封止した請求項10に記載の3次元実装半導体装置の製造方法。
- [請求項15] 前記配線基板の一方の主面において、前記樹脂封止は、前記ポスト電極を側面に露出するように行う請求項10に記載の3次元実装半導体装置の製造方法。
- [請求項16] 前記側面に露出したポスト電極が、その側面にメニスカスを作るように半田フィレットを形成して、マザー基板の配線パターンの上に半田付けされる請求項15に記載の3次元実装半導体装置の製造方法。
- [請求項17] 前記半導体チップは、前記一方の主面上の接続パッド部にボンディングワイヤ接続、或いは、フリップチップ接続される請求項10に記載の3次元実装半導体装置の製造方法。
- [請求項18] 前記各種回路素子は、3段以上の多段に積層された請求項10に記載の3次元実装半導体装置の製造方法。
- [請求項19] 配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次

元実装半導体装置において、

前記配線基板は一方の主面及び他方の主面のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、一方及び他方の主面のそれぞれの接続パッド部及び配線パターンを互いに接続するための貫通配線部を有し、

前記配線基板の一方の主面において、半導体チップを装着して該一方の主面上の接続パッド部に接続し、かつ、該配線パターンの所定の位置に、複数個のポスト電極を電氣的に接続して、そのポスト電極端面を露出するように樹脂封止し、

前記配線基板の他方の主面において、該他方の主面上の接続パッド部に、別の回路素子を配置して、接続する、ことから成る3次元実装半導体装置。

[請求項20]

配線基板の両面に半導体チップを含む各種回路素子を取り付けた3次元実装半導体装置において、

前記配線基板は一方の主面及び他方の主面のそれぞれに、各種回路素子を接続するための接続パッド部とそれらを接続する配線パターンを有し、かつ、一方及び他方の主面のそれぞれの接続パッド部及び配線パターンを互いに接続するための貫通配線部を有し、

前記配線基板の一方の主面において、半導体チップを装着して該一方の主面上の接続パッド部に接続し、かつ、該配線パターンの所定の位置に、絶縁基材と配線を背面に備えた複数個のポスト電極を電氣的に接続して、そのポスト電極端面を露出するように樹脂封止し、

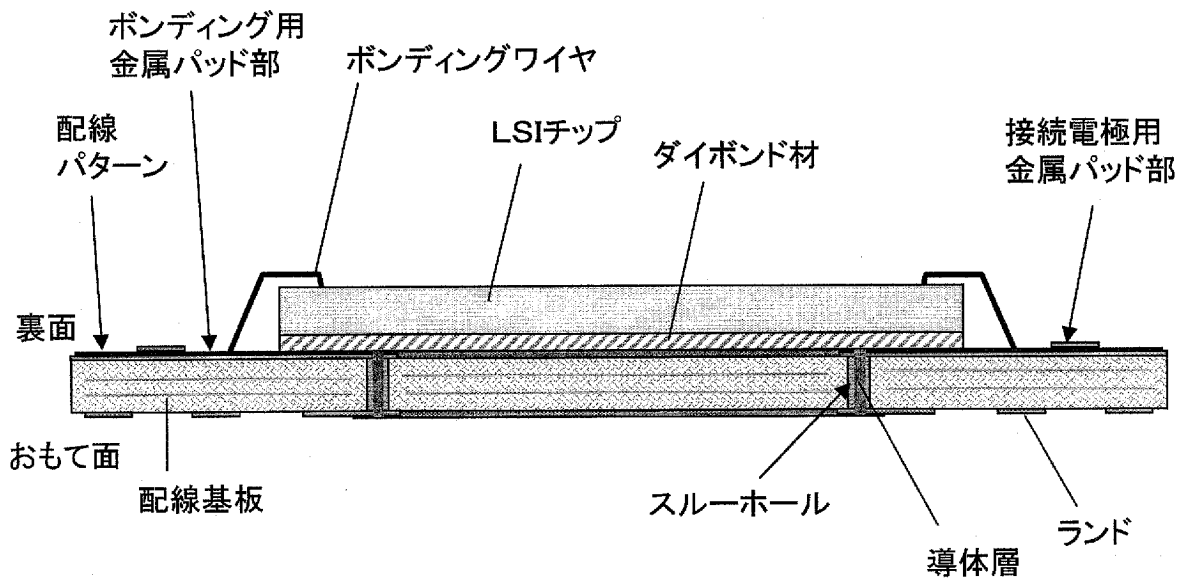
前記配線基板の他方の主面において、該他方の主面上の接続パッド部に、別の回路素子を配置して、接続する、ことから成る3次元実装半導体装置。

[請求項21]

前記絶縁基材は、ガラスエポキシ基板及びその上に形成される配線を覆うソルダーレジストであり、該ソルダーレジストを保護膜として用い、かつ、この保護膜に空けた開口を通して前記配線と接続される外

部電極を設けた請求項 20 に記載の 3 次元実装半導体装置。

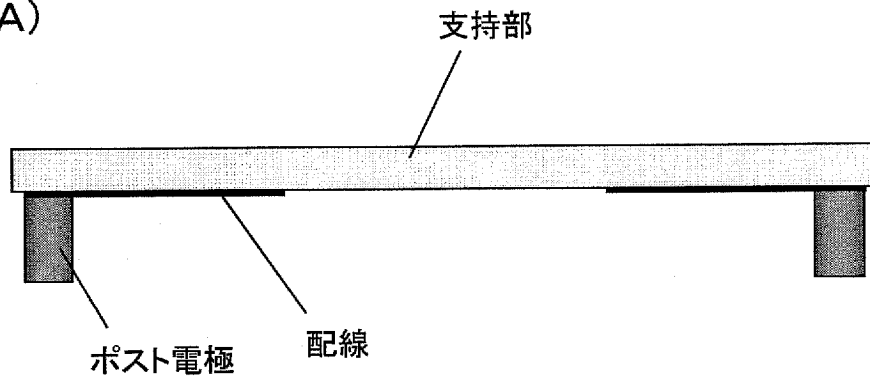
[図1]



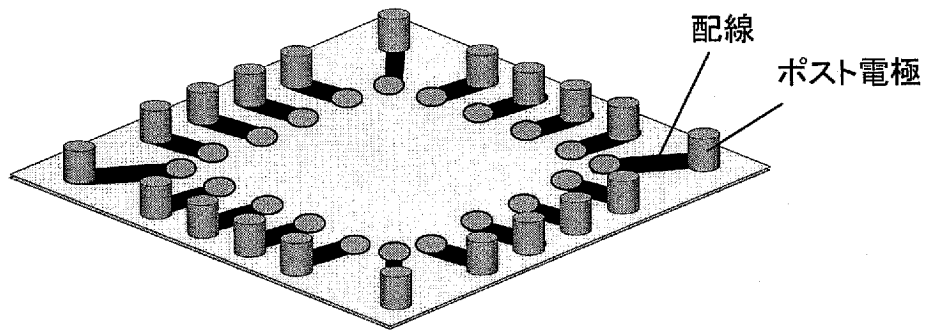
[図2]

配線付ポスト電極部品

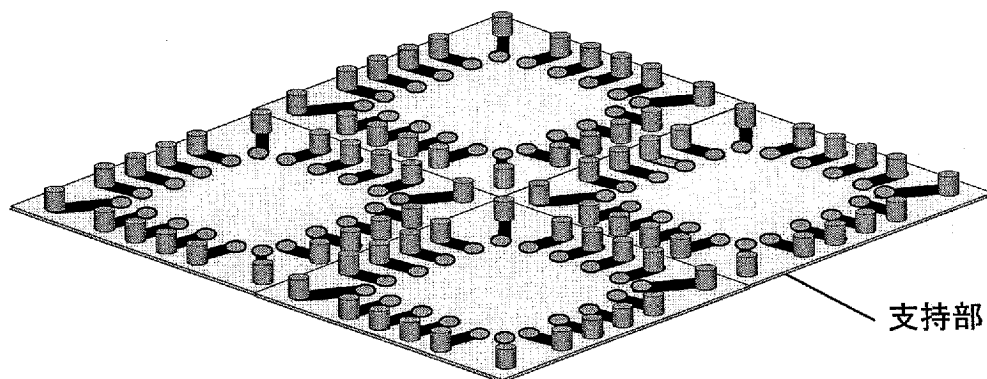
(A)



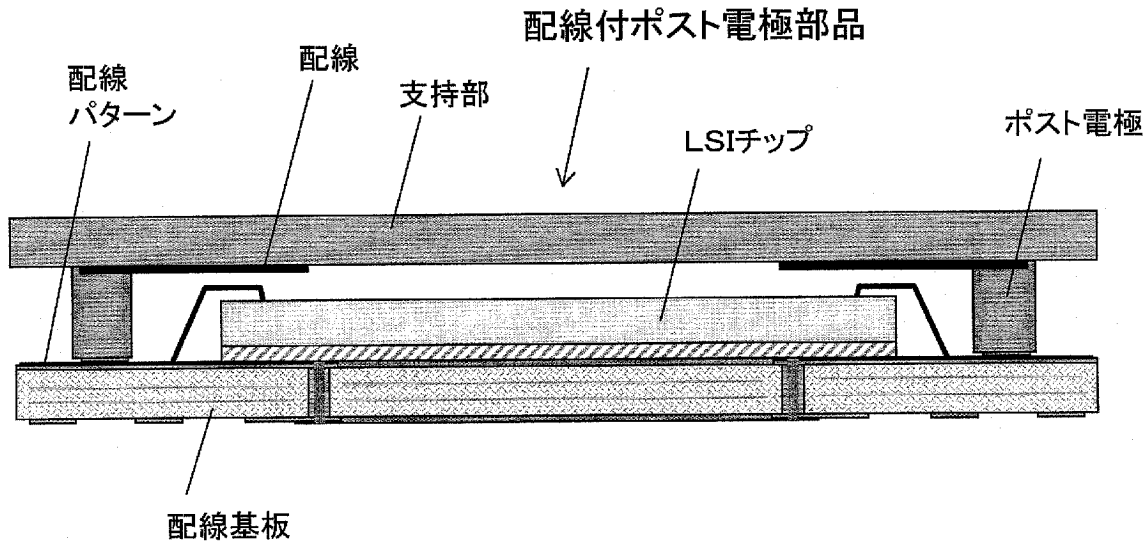
(B)

単体パターン

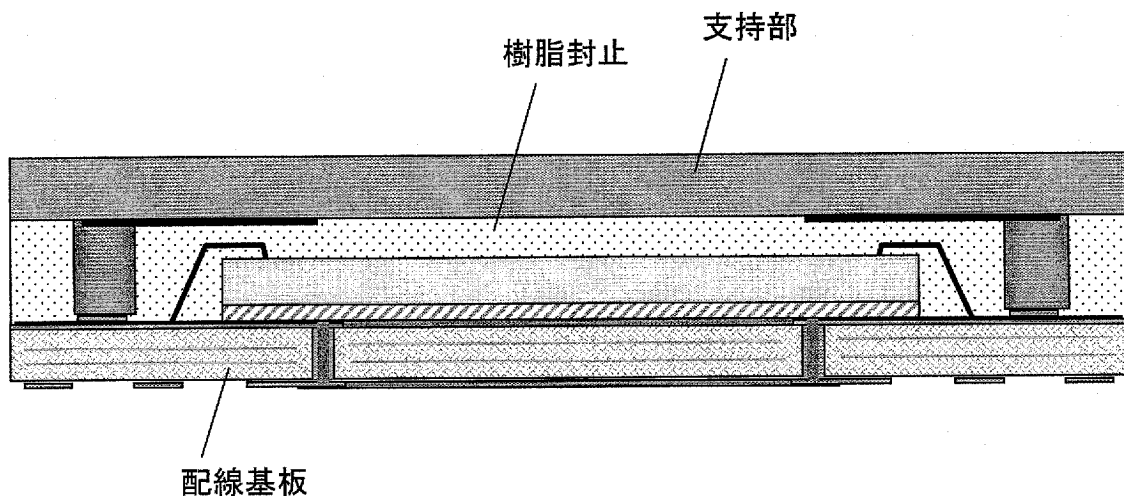
(C)

連結パターン

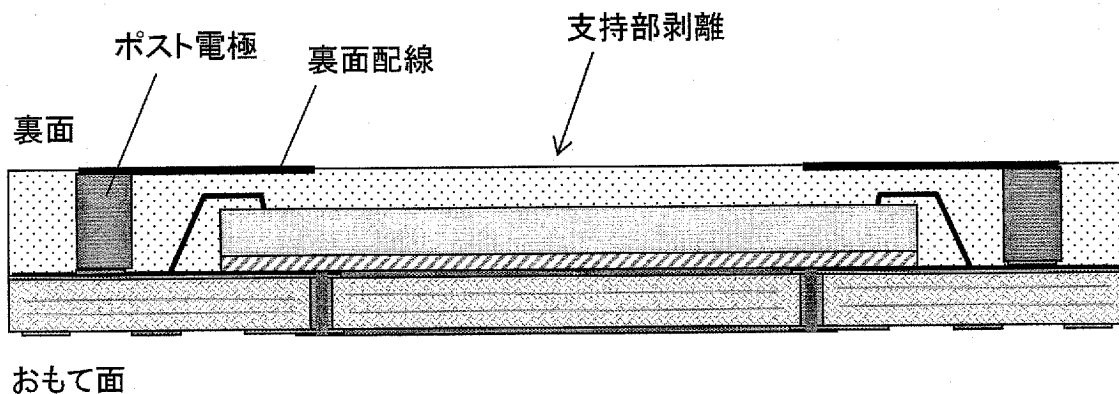
[図3]



[図4]

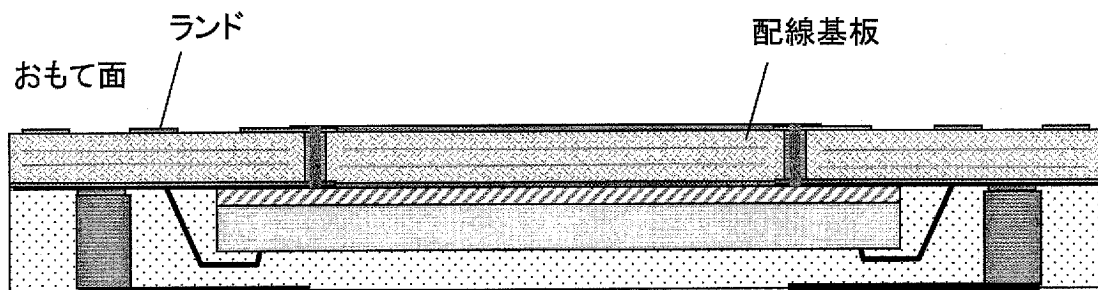


[図5]



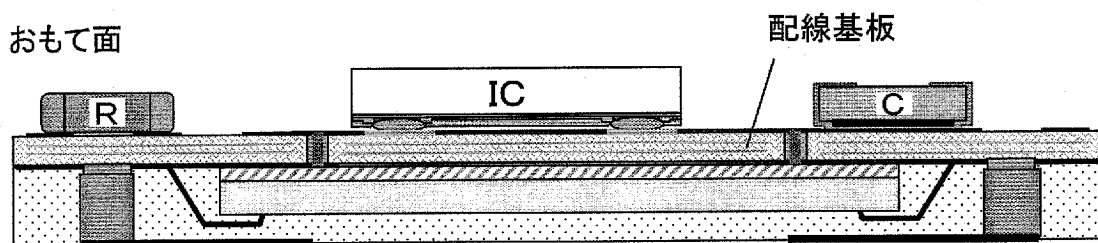
[図6]

上下を反転



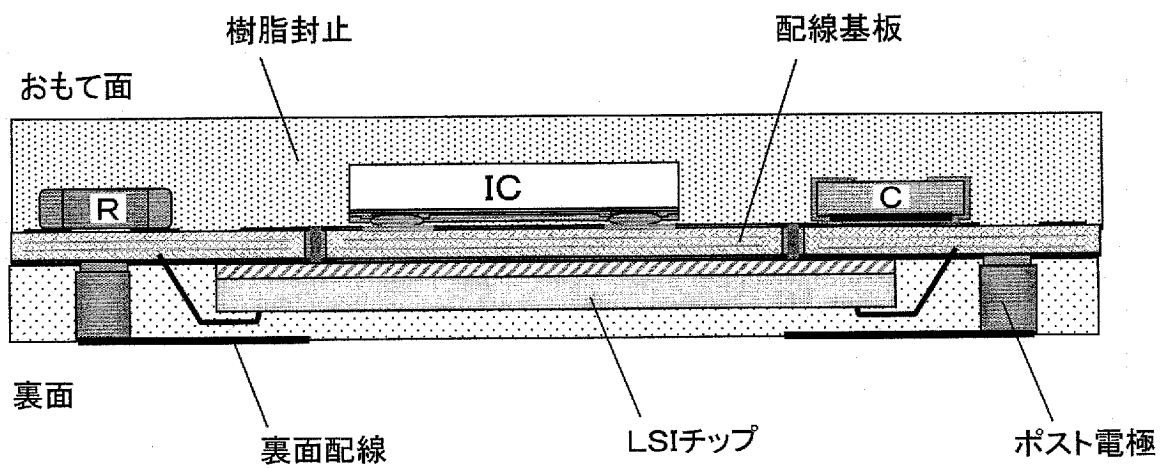
裏面

[図7]

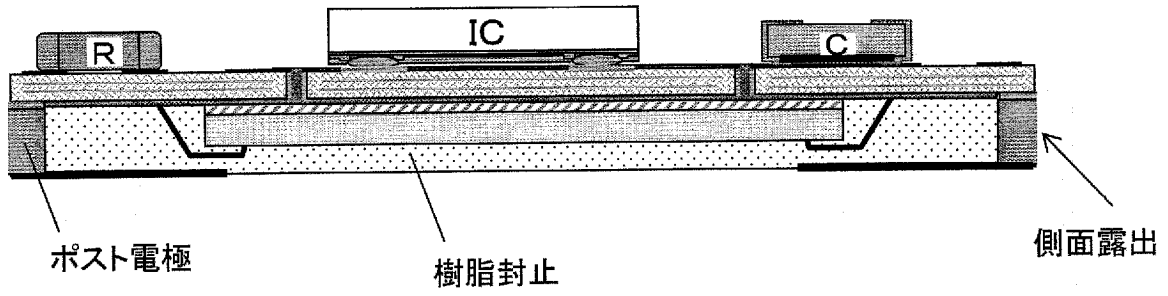


裏面

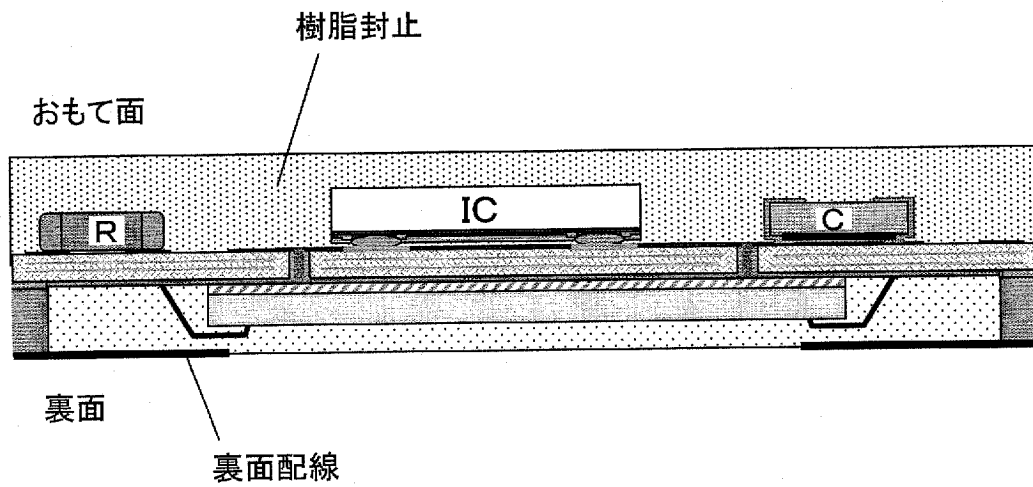
[図8]



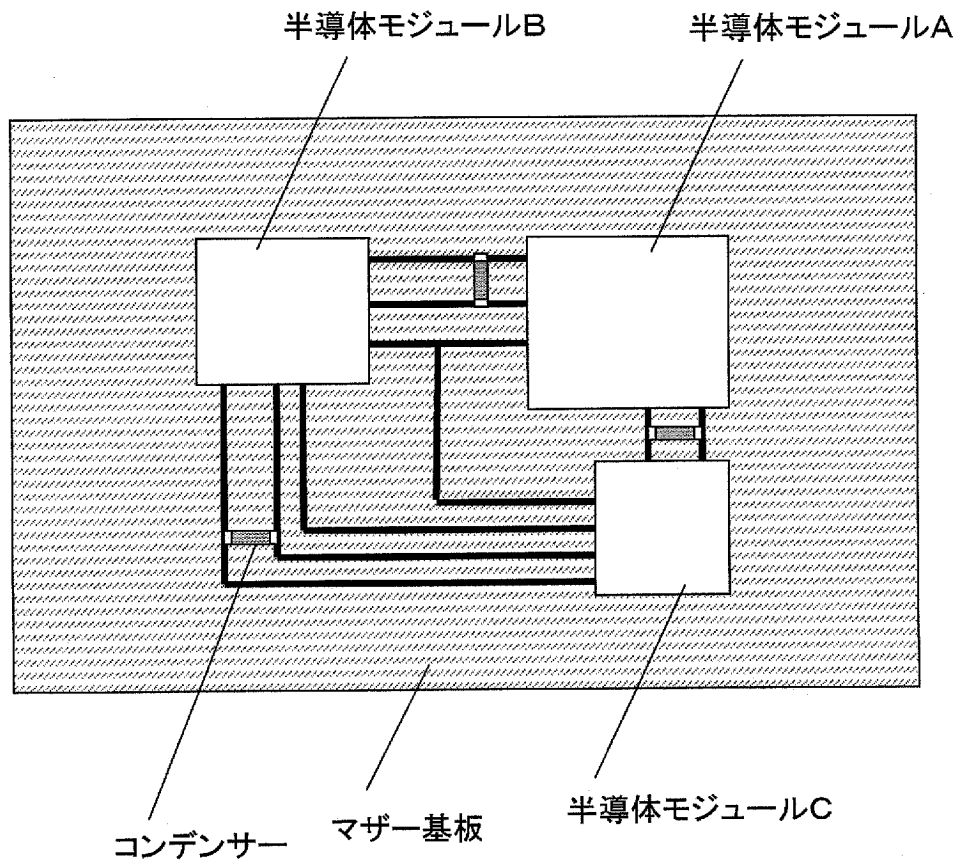
[図9]



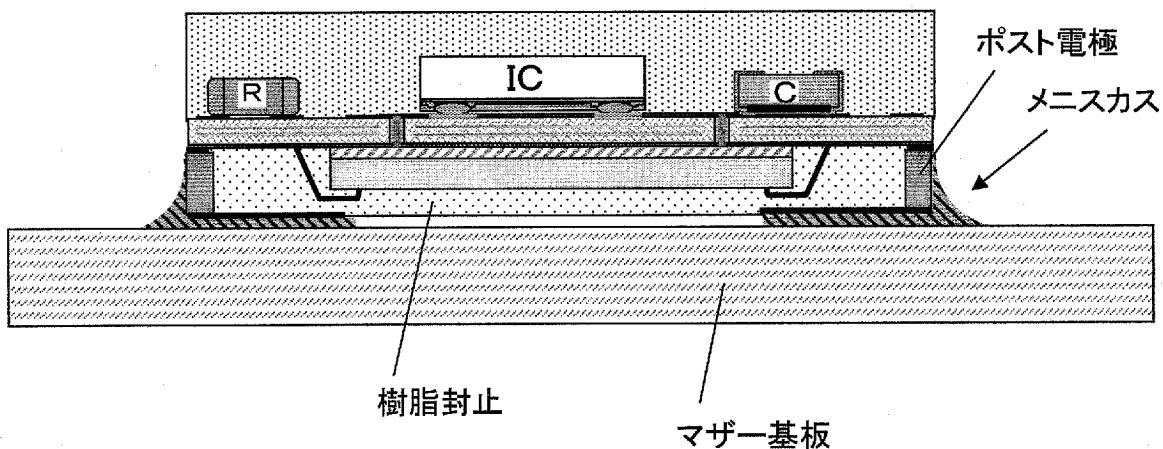
[図10]



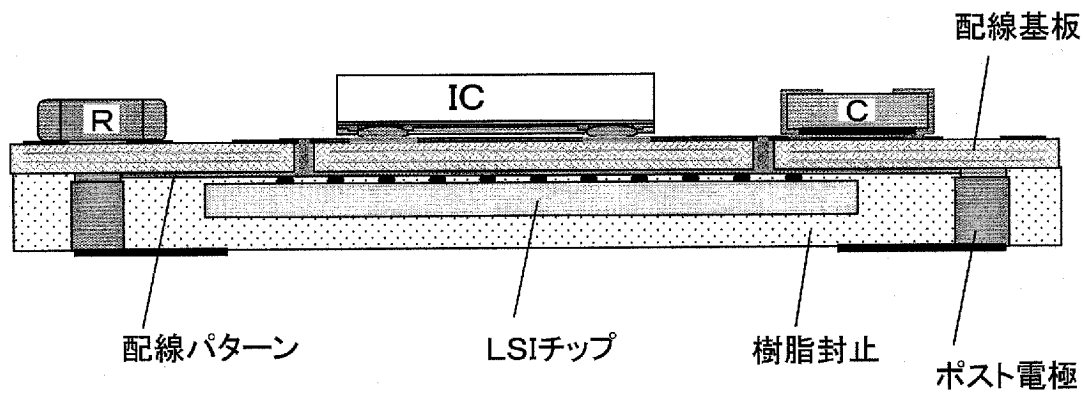
[図11]



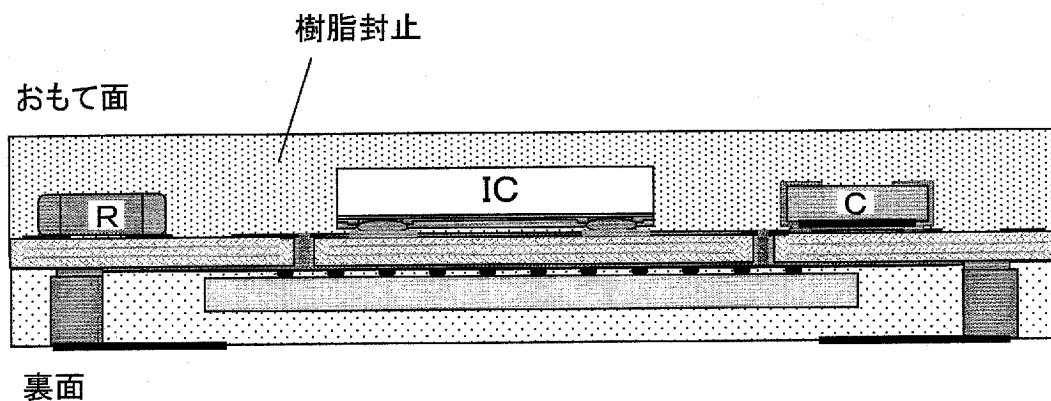
[図12]



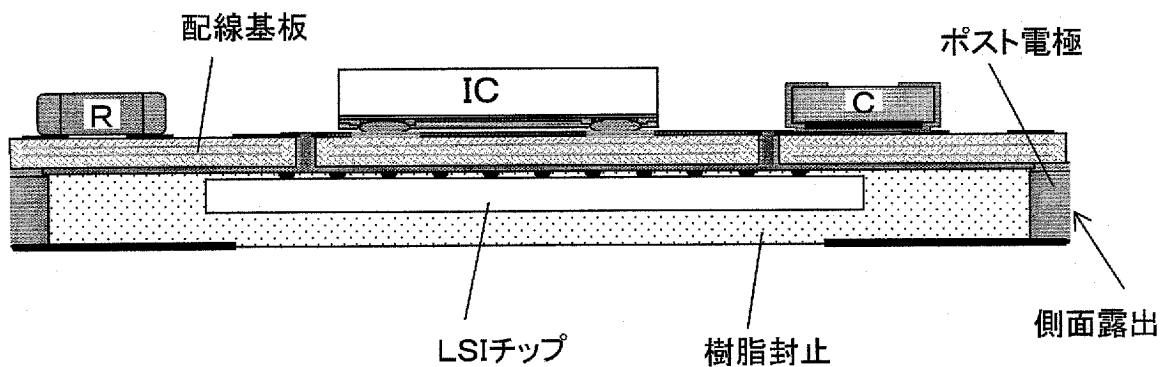
[図13]



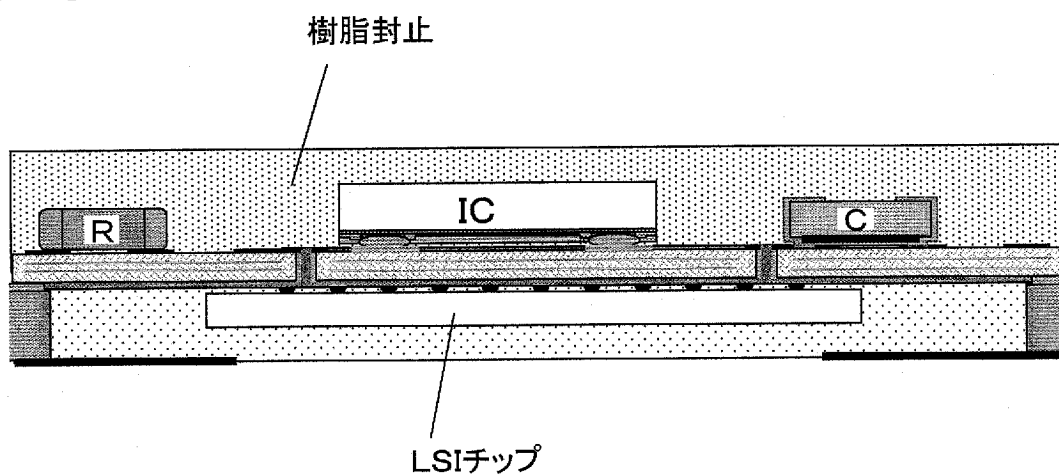
[図14]



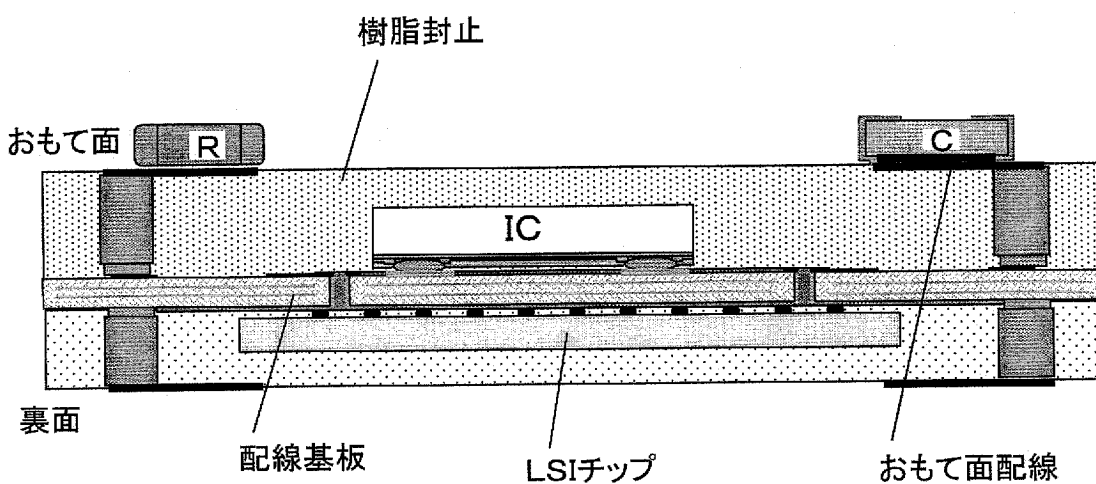
[図15]



[図16]

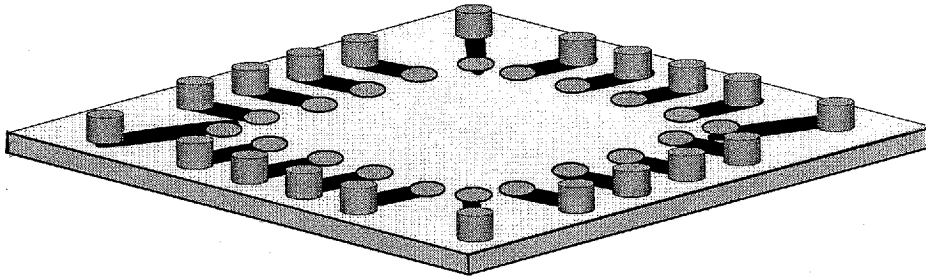


[図17]

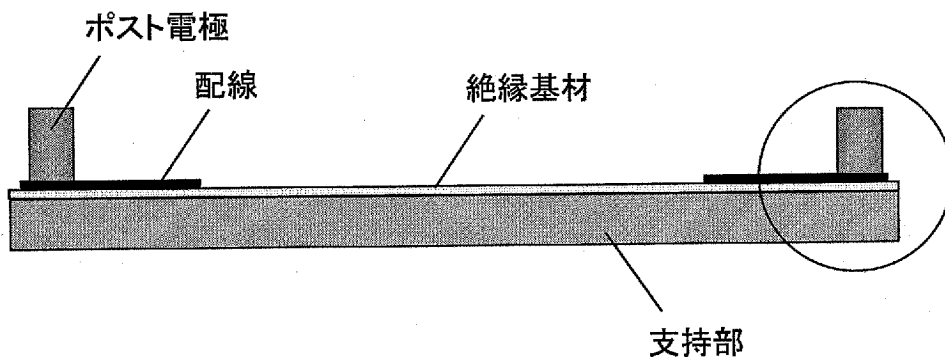


[図18]

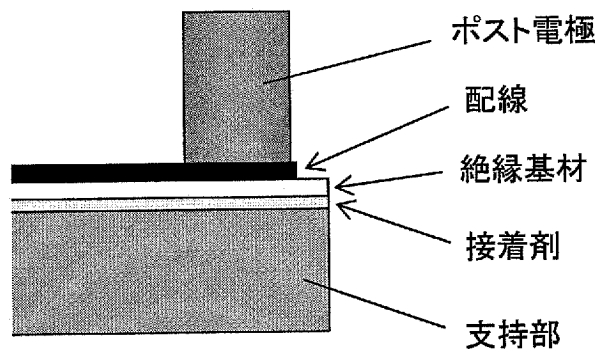
(A)



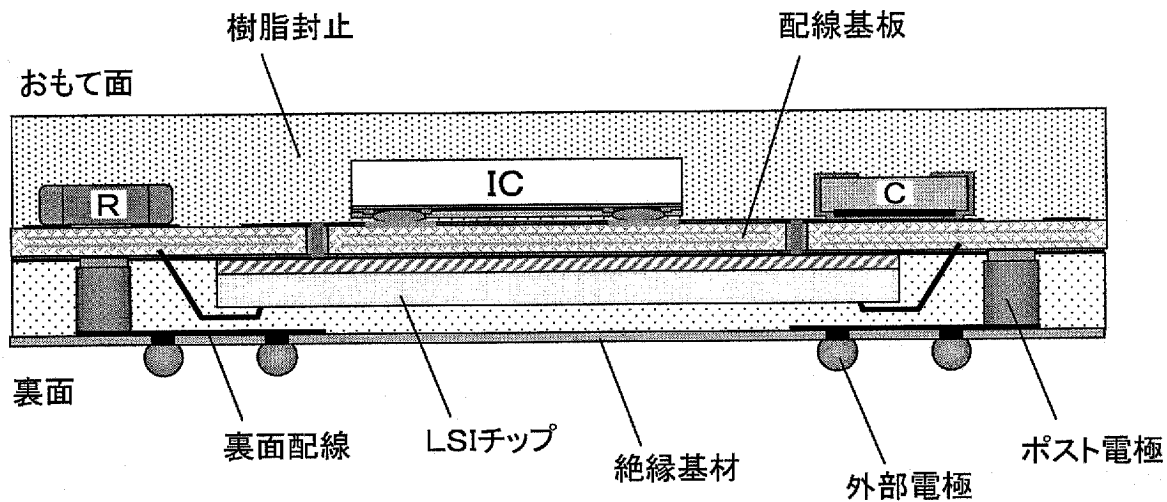
(B)



(C)

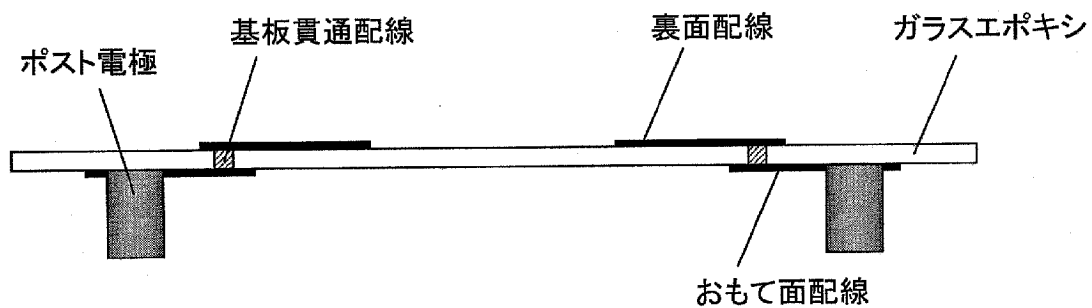


[図19]

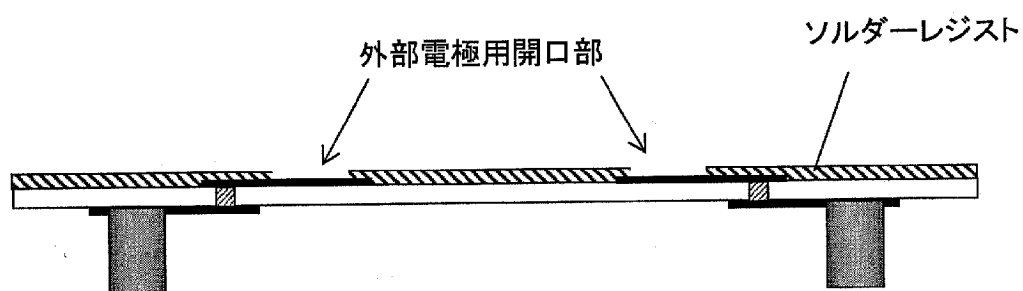


[図20]

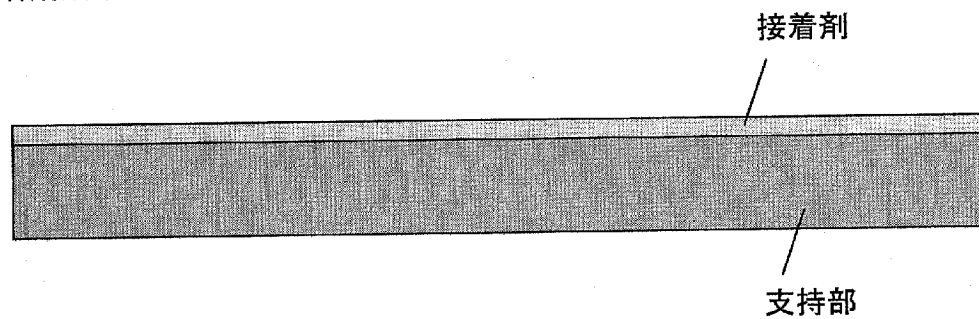
(a) ポスト電極及び両面配線形成



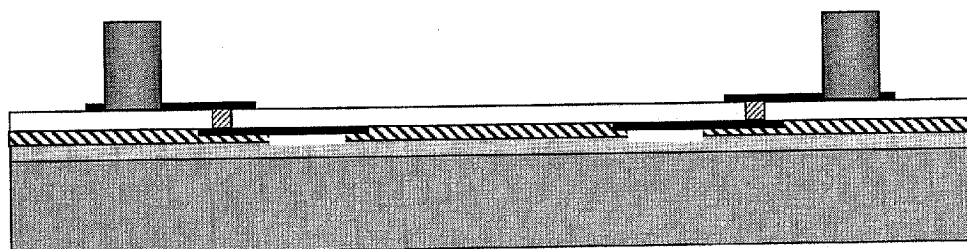
(b) ソルダーレジスト塗布



(c) 接着剤塗布

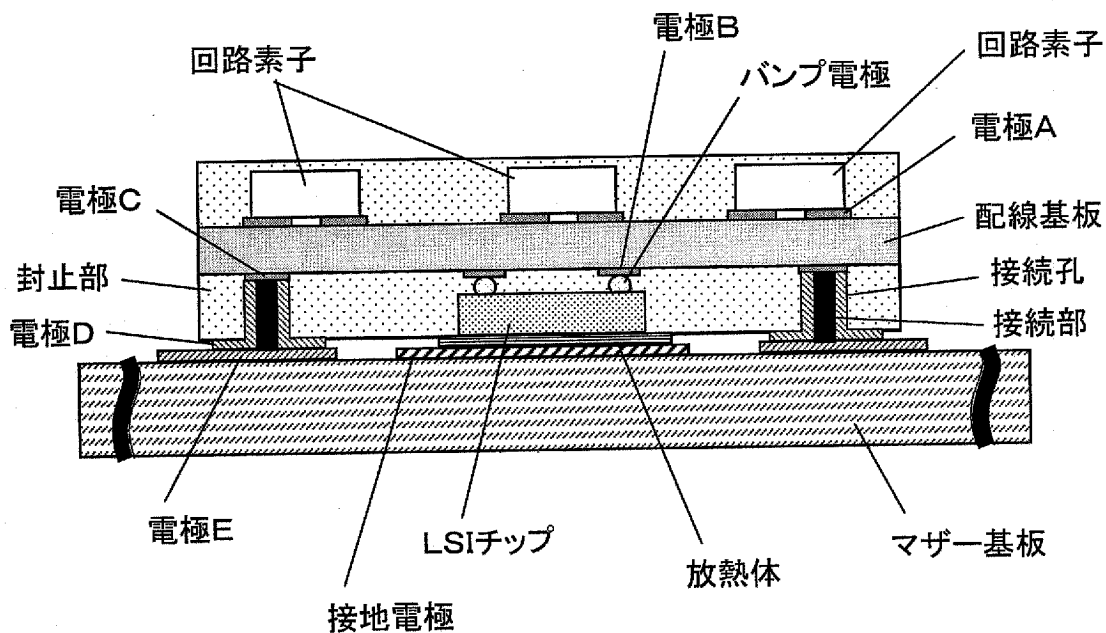


(d) 貼付け完成



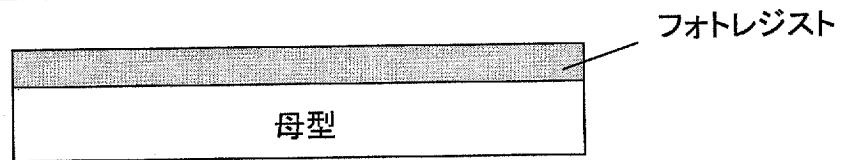
[図21]

従来技術

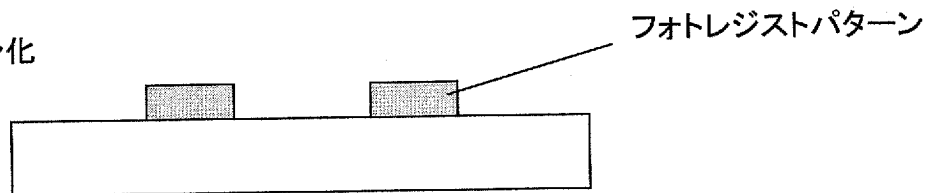


[図22]

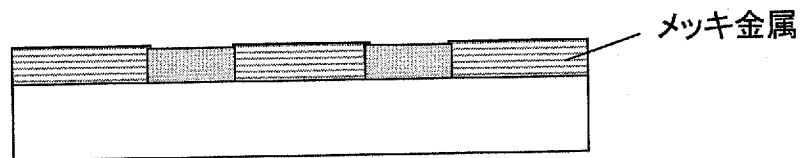
(a)レジスト塗布



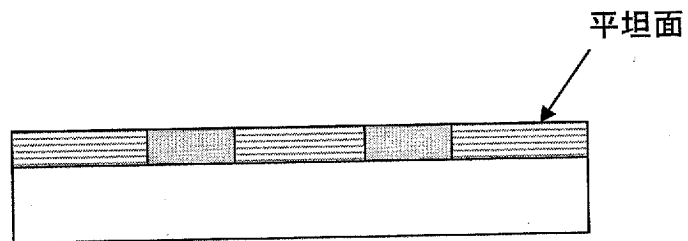
(b)パターン化



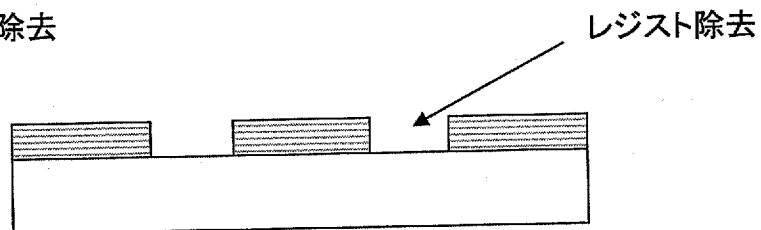
(c)メッキ



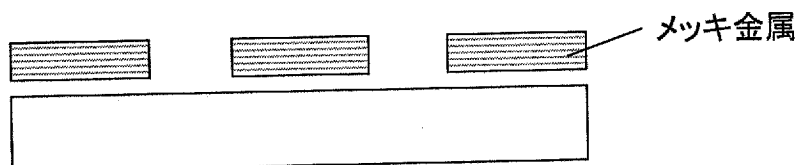
(d)平坦化



(e)レジスト除去



(f)剥離



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/001999

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/10(2006.01) i, H01L25/00(2006.01) i, H01L25/11(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/10, H01L25/00, H01L25/11, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-193404 A (Alps Electric Co., Ltd.), 08 July, 2004 (08.07.04), Par. Nos. [0018] to [0034]; Figs. 1 to 5 & US 2004/0120127 A1 & EP 1429389 A1	19 1-18, 20-21
X A	JP 2003-243604 A (Sony Corp.), 29 August, 2003 (29.08.03), Par. Nos. [0059] to [0062]; Fig. 14 & US 2003/0215993 A1	19 1-18, 20-21

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 May, 2009 (22.05.09)	Date of mailing of the international search report 02 June, 2009 (02.06.09)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L25/10(2006.01)i, H01L25/00(2006.01)i, H01L25/11(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L25/10, H01L25/00, H01L25/11, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2004-193404 A (アルプス電気株式会社) 2004. 07. 08, [0018]-[0034], 図 1-5 & US 2004/0120127 A1 & EP 1429389 A1	19 1-18, 20-21
X A	JP 2003-243604 A (ソニー株式会社) 2003. 08. 29, [0059]-[0062], 図 14 & US 2003/0215993 A1	19 1-18, 20-21

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 22.05.2009	国際調査報告の発送日 02.06.2009
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭	4 R	9 2 6 5
	電話番号 03-3581-1101 内線 3471		