

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年9月10日(10.09.2010)

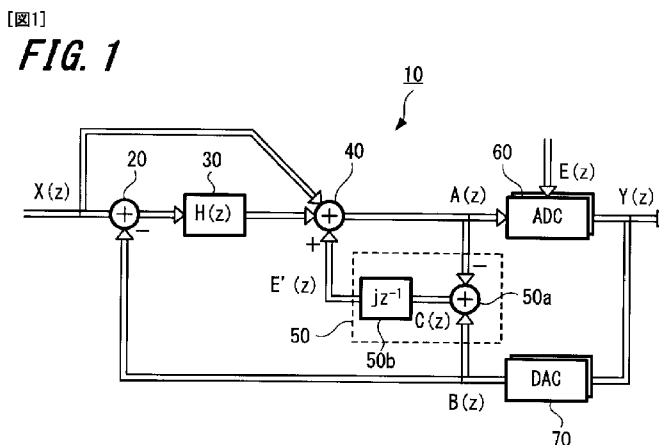
(10) 国際公開番号  
WO 2010/101058 A1

- (51) 国際特許分類: *H03M 3/02* (2006.01) *H03H 19/00* (2006.01) 谷区笹塚 1-64-8 笹塚サウスビル Tokyo (JP).
- (21) 国際出願番号: PCT/JP2010/052873 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (22) 国際出願日: 2010年2月24日(24.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2009-050714 2009年3月4日(04.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人群馬大学(National University Corporation Gunma University) [JP/JP]; 〒3718510 群馬県前橋市荒牧町四丁目2番地 Gunma (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 傘 昊(SAN Hao) [CN/JP]; 〒3768515 群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内 Gunma (JP). 小林 春夫(KOBAYASHI Haruo) [JP/JP]; 〒3768515 群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内 Gunma (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (74) 代理人: 特許業務法人信友国際特許事務所(Shinyu International Patent Firm); 〒1510073 東京都渋谷区 添付公開書類: 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: COMPLEX BANDPASS  $\Delta\Sigma$  AD MODULATOR AND DIGITAL RADIO RECEIVER

(54) 発明の名称: 複素バンドパス  $\Delta\Sigma$  A/D変調器及びデジタル無線受信機



(57) **Abstract:** Provided is a complex bandpass  $\Delta\Sigma$  AD modulator capable of suppressing influence to a signal component of an image component caused by the mismatch between the I-channel and the Q-channel, with a low power consumption. The complex bandpass  $\Delta\Sigma$  AD modulator (10) is configured by a subtraction unit (20), a complex bandpass filter (30), an addition unit (40), a noise extraction circuit unit (50), an ADC unit (60), and a DAC unit (70). The noise extraction circuit unit (50) extracts a quantized noise signal of the ADC unit (60) on the basis of an input signal of the ADC unit (60) and an output signal of the DAC unit (70), delays the extracted quantized noise signal by one sample time, phase-rotates the delayed signal by a predetermined angle, and feeds back the rotated signal to an input side of the ADC unit (60).

(57) 要約:

[続葉有]



WO 2010/101058 A1

---

I 及び Q 経路間のミスマッチにより生じるイメージ成分の信号成分への影響を低消費電力で抑制できる複素バンドパス  $\Delta\Sigma$  AD 変調器を提供する。複素バンドパス  $\Delta\Sigma$  AD 変調器 10 を、減算部 20、複素バンドパスフィルタ 30、加算部 40、ノイズ抽出回路部 50、ADC 部 60 及び DAC 部 70 で構成する。そして、ノイズ抽出回路部 50 は、ADC 部 60 の入力信号及び DAC 部 70 の出力信号に基づいて ADC 部 60 の量子化ノイズ信号を抽出し、該抽出した量子化ノイズ信号を 1 サンプル時間遅延し、該遅延した信号を所定角度だけ位相回転させ、且つ、該回転した信号を ADC 部 60 の入力側にフィードバックする。これにより、I 及び Q 経路間のミスマッチにより生じるイメージ成分の信号成分への影響を低消費電力で抑制できる複素バンドパス  $\Delta\Sigma$  AD 変調器を提供する。

## 明 細 書

発明の名称：

複素バンドパス $\Delta\Sigma$ AD変調器及びデジタル無線受信機

### 技術分野

[0001] 本発明は、例えば無線通信システム等で用いられる複素バンドパス $\Delta\Sigma$ AD変調器及びそれを備えたデジタル無線受信機に関する。

### 背景技術

[0002] 従来、例えば携帯電話や無線LAN (Local Area Network) 等の無線通信システムのRF (Radio Frequency) 受信機において、Low-Intermediate Frequency (Low-Intermediate Frequency) 方式がしばしば適用される。そして、近年、このようなLow-Intermediate Frequency方式の受信機に対して、バンドパス $\Delta\Sigma$ AD (Delta Sigma Analog to Digital) 変調器の適用が検討されている。

[0003] Low-Intermediate Frequency方式の受信機へのバンドパス $\Delta\Sigma$ AD変調器の適用例の一つとしては、2つの実バンドパス $\Delta\Sigma$ AD変調器 (1入力1出力) を用いる手法が挙げられる。この手法では、実バンドパス $\Delta\Sigma$ AD変調器で入力信号の信号成分だけでなくイメージ成分もAD変換を行う。そのため、この手法では消費電力が大きくなり、非効率であるという問題がある。

[0004] 上記問題を解決する手法として、2入力2出力の複素バンドパス $\Delta\Sigma$ AD変調器をLow-Intermediate Frequency方式の受信機に適用することが提案されている (例えば、特許文献1~4参照)。複素バンドパス $\Delta\Sigma$ AD変調器は、DC領域 (直流領域) に対して非対称のスペクトル特性を得られるように伝達関数が設計されており、信号成分のみをAD変換する。そのため、複素バンドパス $\Delta\Sigma$ AD変調器を用いた場合には、低消費電力で高いSQNDR (Signal to Quantization Noise and Distortion Ratio) が得られ、効率の良いAD変換を実現することができる。

[0005] ここで、一般的な複素バンドパス $\Delta\Sigma$ AD変調器の構成及び特性を、図面を参照しながら説明する。図14及び15に、複素バンドパス $\Delta\Sigma$ AD変調

器の概略回路構成を示す。なお、図14は、複素バンドパス $\Delta\Sigma$ AD変調器の信号フロー図である。また、図15は、複素バンドパス $\Delta\Sigma$ AD変調器の構成をより具体的に示した図である。

[0006] 複素バンドパス $\Delta\Sigma$ AD変調器300は、図14に示すように、主に、減算部310、複素バンドパスフィルタ320、アナログデジタル変換部330（以下、ADC（Analog to Digital Converter）部という）及びデジタルアナログ変換器340（以下、DAC（Digital to Analog Converter）部という）で構成される。なお、複素バンドパスフィルタ320は、通常、オペアンプを含む積分回路を多段接続して構成される。各部の接続関係は次の通りである。

[0007] 減算部310の入力端子は、外部から入力される入力複素信号 $X(z)$ （以下、単に、入力信号 $X(z)$ という）の入力端子（不図示）及びDAC部340の出力端子に接続され、減算部310の出力端子は、複素バンドパスフィルタ320の入力端子に接続される。複素バンドパスフィルタ320の出力端子は、ADC部330の入力端子に接続される。そして、ADC部330の出力端子は、出力信号 $Y(z)$ の出力端子（不図示）及びDAC部340の入力端子に接続される。

[0008] また、複素バンドパス $\Delta\Sigma$ AD変調器300内の回路は、図15に示すように、入力信号 $X(z)$ の同相成分 $I_{in}$ が処理される経路301（以下、I経路という）と、直交成分 $Q_{in}$ が処理される経路302（以下、Q経路という）とに分離される。それゆえ、減算部310は、I経路301及びQ経路302にそれぞれ配置された2つの減算器311及び312で構成される。また、ADC部330は、I経路301及びQ経路302にそれぞれ配置された2つのAD変換器（量子化器）331及び332で構成される。さらに、DAC部340もまた、I経路301及びQ経路302にそれぞれ配置された2つのDA変換器341及び342で構成される。

[0009] 複素バンドパス $\Delta\Sigma$ AD変調器300には、同相成分 $I_{in}$ 及び直交成分 $Q_{in}$ からなる複素形式の信号 $X(z)$ （ $= I_{in} + j Q_{in}$ ：jは虚数）が入力され

、同相成分  $I_{out}$  及び直交成分  $Q_{out}$  からなる複素形式の信号  $Y(z)$  ( $= I_{out} + j Q_{out}$ ) が出力される。なお、図 14 中の  $X(z)$  及び  $Y(z)$  は、それぞれ連続した入力及び出力信号を  $z$  変換したものであり、変数  $z$  は、下記式で表される。

[0010] [数1]

$$z = \exp(j2\omega T_s) = \exp\{j2\pi(F_{in}/F_s)\}$$

[0011] ただし、上記式 1 中の  $T_s$  はサンプリング周期であり、 $F_s$  はサンプリング周波数であり、そして、 $F_{in}$  は入力信号周波数である。

[0012] いま、複素バンドパスフィルタ 320 の伝達関数を  $H(z)$  とし、ADC 部 330 の量子化ノイズを  $E(z) = E_I + j E_Q$  とすると、出力信号  $Y(z)$  は、次式で与えられる。

[0013] [数2]

$$Y(z) = I_{out} + jQ_{out} = \frac{H(z)}{1+H(z)}(I_{in} + jQ_{in}) + \frac{1}{1+H(z)}(E_I + jE_Q)$$

[0014] 上記式 2 中の右辺第 2 項の係数  $1 / \{1 + H(z)\}$  は量子化ノイズ  $E(z)$  に対する伝達関数であり、ノイズ伝達関数 NTF (Noise Transfer Function) と呼ばれる。複素バンドパス  $\Delta\Sigma$  AD 変調器 300 は、ノイズ伝達関数 NTF ( $z$ ) の零点 (NTF ( $z$ ) = 0 になる  $z$  の解) が入力信号の信号成分の周波数帯域内で生成されるように、すなわち、量子化ノイズ  $E(z)$  が信号成分の周波数帯域で減衰するように設計される。なお、このように、量子化ノイズ  $E(z)$  が所望の周波数帯域で減衰するようにノイズ伝達関数 NTF ( $z$ ) を調整 (設計) する技術は、ノイズシェープ技術と呼ばれる。

[0015] 例えば、信号成分の周波数帯域 (以下、信号帯域という) を  $F_{in}/F_s = 0.25$  付近とし、この帯域で量子化ノイズ  $E(z)$  が減衰するようにノイズシェープするためには、ノイズ伝達関数が  $NTF(z) = (1 - jz^{-1})^N$  となるように、すなわち、ノイズ伝達関数 NTF ( $z$ ) の零点が  $z = j(F_{in}$

$\omega/F_s = 0.25$ に対応、上記式 1 参照) となるように設計される。なお、 $N$  は変調器の次数であり、1 以上の整数である。

[0016] このように設計された複素バンドパス  $\Delta \Sigma$  AD 変調器 300 の出力パワースペクトルの一例を図 16 に示す。なお、図 16 の横軸は入力信号周波数  $F_{in}$  をサンプリング周波数  $F_s$  で規格化した周波数であり、縦軸は複素バンドパス  $\Delta \Sigma$  AD 変調器 300 の出力パワーのレベルである。また、図 16 には、 $F_{in}/F_s = 0.5 \sim -0.5$  の範囲のスペクトル特性を示す。図 16 から明らかかなように、上述のように複素バンドパス  $\Delta \Sigma$  AD 変調器 300 を設計することにより、 $F_{in}/F_s = 0.25$  付近 (信号帯域) でノイズが低減される。

[0017] なお、図 14 に示す構成以外の複素バンドパス  $\Delta \Sigma$  AD 変調器としては、従来、例えばフィードフォワード型の複素バンドパス  $\Delta \Sigma$  AD 変調器が提案されている (例えば、非特許文献 1 参照)。図 17 に、フィードフォワード型の複素バンドパス  $\Delta \Sigma$  AD 変調器の概略構成を示す。なお、図 17 において、図 14 に示す複素バンドパス  $\Delta \Sigma$  AD 変調器 300 と同じ構成には同じ符号を付して示す。このタイプでは、複素バンドパスフィルタ 420 と ADC 部 330 との間に加算部 430 を設け、複素バンドパス  $\Delta \Sigma$  AD 変調器 400 の入力信号  $X(z)$  と複素バンドパスフィルタ 420 の出力信号とが加算部 430 で加算される。このような構成の複素バンドパス  $\Delta \Sigma$  AD 変調器 400 においても、複素バンドパスフィルタ 420 の伝達関数  $H(z)$  を適宜設計することにより、図 16 と同様の出力パワースペクトルが得られる。

[0018] さらに、従来、ノイズ結合型の複素バンドパス  $\Delta \Sigma$  AD 変調器も提案されている (例えば、非特許文献 2 及び 3 参照)。図 18 に、ノイズ結合型の複素バンドパス  $\Delta \Sigma$  AD 変調器の概略構成を示す。なお、図 18 において、図 14 に示す複素バンドパス  $\Delta \Sigma$  AD 変調器 300 と同じ構成には同じ符号を付して示す。ノイズ結合型の複素バンドパス  $\Delta \Sigma$  AD 変調器 500 は、ADC 部 330 の量子化ノイズを抽出し、その抽出した量子化ノイズを ADC 部 330 の入力側にフィードバックする (加算部 530 に入力する) ノイズ抽

出回路部 540 を備える。ただし、抽出した量子化ノイズを加算部 530 に入力する際には、その信号を反転させて入力する。このタイプの複素バンドパス  $\Delta \Sigma$  AD 変調器 500 では、複素バンドパスフィルタ 520 内の積分回路の段数（オペアンプの数）を増やすことなく、信号帯域における変調器の次数を増加させることができ、低消費電力でより高次の AD 変換が可能になる。

[0019] しかしながら、上述した種々の複素バンドパス  $\Delta \Sigma$  AD 変調器の実際の回路では、回路中の容量のばらつき等が存在し、これにより入力信号の同相成分  $I_{in}$  を処理する I 経路と、直交成分  $Q_{in}$  を処理する Q 経路との間にミスマッチ（信号間の振幅または位相のずれ）が発生する。I 及び Q 経路間にミスマッチが生じると、周波数応答の複素共役を引き起こし、所望の信号帯域にイメージ成分の量子化ノイズが発生する（回り込む）。その結果、信号帯域での SQNDR が低下するという問題が生じる。ここで、この問題をより具体的に説明する。

[0020] 図 19 に、I 及び Q 経路間にミスマッチが存在する際の複素バンドパス  $\Delta \Sigma$  AD 変調器の等価回路図を示す。なお、図 19 の例は、図 15 に示す複素バンドパス  $\Delta \Sigma$  AD 変調器において、I 及び Q 経路間にミスマッチが存在する場合の例である。また、図 19 において、図 15 に示す複素バンドパス  $\Delta \Sigma$  AD 変調器 300 と同じ構成には同じ符号を付して示す。

[0021] ここでは、同相成分の信号振幅がミスマッチ量  $\alpha$  の分だけ所定の振幅より大きく、直交成分の信号振幅がミスマッチ量  $\alpha$  の分だけ所定の振幅より小さい場合を考える。このミスマッチは、図 19 中の I 及び Q 経路にそれぞれ設けられた積算ブロック 351 及び 352 により表される。この場合、出力信号  $Y(z) = I_{out} + jQ_{out}$  は、次式で与えられる。

[0022] [数3]

$$I_{out} + jQ_{out} = \frac{H + (1 - \alpha^2)H^2}{1 + 2H + (1 - \alpha^2)H^2} (I_{in} + jQ_{in}) + \frac{\alpha H}{1 + 2H + (1 - \alpha^2)H^2} (I_{in} - jQ_{in}) \\ + \frac{1 + H}{1 + 2H + (1 - \alpha^2)H^2} (E_I + jE_Q) + \frac{\alpha H}{1 + 2H + (1 - \alpha^2)H^2} (E_I - jE_Q)$$

- [0023] I 及び Q 経路間にミスマッチが存在する場合、出力信号  $Y(z)$  を表す上記式 3 の右辺には、入力信号のイメージ成分  $(I_{in} - j Q_{in})$  の項と、量子化ノイズのイメージ成分  $(E_I - j E_Q)$  の項が現れる。これらのイメージ成分が信号帯域に回り込み、信号成分の SQNDR を低下させる。この様子を示したのが、図 20 である。
- [0024] 図 20 は、I 及び Q 経路間にミスマッチが存在する場合における複素バンドパス  $\Delta \Sigma$  AD 変調器の出力パワースペクトルの一例である。なお、図 20 の横軸は規格化周波数  $F_{in}/F_s$  であり、縦軸は出力パワーレベルである。また、図 20 の例では、複素バンドパス  $\Delta \Sigma$  AD 変調器のノイズ伝達関数が  $NTF(z) = (1 - jz^{-1})^N$  となるように設計されている。それゆえ、図 20 に示す規格化周波数  $F_{in}/F_s = 0.5 \sim -0.5$  の範囲では、信号帯域は、図 16 の例と同様に、 $F_{in}/F_s = 0.25$  付近となり、イメージ成分の周波数帯域（以下、イメージ帯域という）は、 $F_{in}/F_s = -0.25$  付近となる。
- [0025] 図 20 から明らかなように、I 及び Q 経路間にミスマッチが存在する場合、イメージ帯域（ $F_{in}/F_s = -0.25$  付近）では、ノイズレベルが増大する。その結果、信号帯域（ $F_{in}/F_s = 0.25$  付近）のノイズレベルも増大し、信号帯域の SQNDR が低下する。
- [0026] 上述した I 及び Q 経路間のミスマッチの問題を解消するため、従来、ノイズ伝達関数  $NTF(z)$  の零点が、信号帯域だけでなく、イメージ帯域においても生成されるように複素バンドパス  $\Delta \Sigma$  AD 変調器を構成する手法が提案されている（例えば、非特許文献 4 参照）。具体的には、非特許文献 4 では、イメージ帯域に零点（減衰極）を生成するための積分回路（オペアンプを含む）を、複素バンドパス  $\Delta \Sigma$  AD 変調器内に別途設けて上記問題を解決している。
- [0027] 図 21 に、非特許文献 4 で提案されている複素バンドパス  $\Delta \Sigma$  AD 変調器のノイズ伝達関数  $NTF(z)$  のゲイン特性を示す。なお、図 21 の横軸は



規格化周波数であり、縦軸はノイズ伝達関数  $N T F ( z )$  のゲインである。また、図 2 1 の例では、信号帯域の規格化周波数が 0. 5 付近であり、イメージ帯域が - 0. 5 付近である。

- [0028] 非特許文献 4 の複素バンドパス  $\Delta \Sigma A D$  変調器では、ノイズ伝達関数  $N T F ( z )$  の零点を信号帯域だけでなくイメージ帯域においても生成するので、そのノイズ伝達関数  $N T F ( z )$  のゲイン特性には、図 2 1 に示すように、規格化周波数  $\pm 0. 5$  で減衰極（ノッチ）が生成される。この場合、I 及び Q 経路間にミスマッチが存在しても、イメージ成分が低減され、信号帯域の  $S Q N D R$  の低下を抑制することができる。

### 先行技術文献

#### 特許文献

- [0029] 特許文献 1 : 特許第 3 9 7 0 2 6 6 号  
特許文献 2 : 特許第 3 9 9 2 2 8 7 号  
特許文献 3 : 特開 2 0 0 6 - 1 3 7 0 5 号公報  
特許文献 4 : 特開 2 0 0 6 - 3 5 2 4 5 5 号公報

#### 非特許文献

- [0030] 非特許文献 1 : K. W. Martin : “Complex Signal Processing is Not Complex” , IEEE Trans. on Circuits Syst. I, vol.51, no.9, pp.1823-1836, Sep. 2004  
非特許文献 2 : 傘 昊, 小林春夫 : 「複素ノイズ結合型バンドパス  $\Delta \Sigma A D$  変調器」, 電子情報通信学会総合大会, 基礎・境界講演論文集, A-1-9, 2008 年  
非特許文献 3 : 傘 昊, 小林春夫 : 「ノイズ結合型複素バンドパス  $\Delta \Sigma A D$  変調器」, 第 2 1 回 回路とシステム 軽井沢ワークショップ論文集, 第 7 5 - 8 0 頁, 2008 年  
非特許文献 4 : S. Jantzi, et al. : “Quadrature bandpass  $\Delta \Sigma$  modulator for digital radio” , IEEE Journal of Solid-State Circuits, vol.32, pp.1935-1949, Dec. 1997

## 発明の概要

### 発明が解決しようとする課題

[0031] 上述したように、複素バンドパス $\Delta\Sigma$ AD変調器のI及びQ経路間のミスマッチの問題を解消するために、非特許文献4では、イメージ帯域に減衰極を生成するためのオペアンプを含む積分回路をさらに設ける。しかしながら、この手法では、能動的な回路素子であるオペアンプを増やすことになるので、複素バンドパス $\Delta\Sigma$ AD変調器の回路規模が大きく且つ複雑になり、消費電力も増大するという問題が生じる。

[0032] 本発明は、上記問題を解決するためになされたものであり、本発明の目的は、より簡易な構成で且つ低消費電力で、I及びQ経路間のミスマッチの問題を解消できる複素バンドパス $\Delta\Sigma$ AD変調器及びそれを備えるデジタル無線受信機を提供することである。

### 課題を解決するための手段

[0033] 上記問題を解決するために、本発明の複素バンドパス $\Delta\Sigma$ AD変調器は、アナログデジタル変換部と、デジタルアナログ変換部と、減算部と、複素バンドパスフィルタと、ノイズ抽出回路部と、加算部とを備える構成とし、各部の機能及び構成は次のようにする。アナログデジタル変換部は、アナログの複素信号をデジタルの複素信号に変換する。デジタルアナログ変換部は、アナログデジタル変換部から出力される複素信号をアナログの複素信号に変換する。減算部は、外部から入力される入力複素信号から、デジタルアナログ変換部から出力される複素信号を減算する。複素バンドパスフィルタは、減算部から出力される複素信号に対して所定の周波数帯域の信号成分を通過させる。ノイズ抽出回路部は、アナログデジタル変換部に入力される複素信号及びデジタルアナログ変換部から出力される複素信号に基づいてアナログデジタル変換部の量子化ノイズ信号を抽出し、該抽出した量子化ノイズ信号を1サンプル時間遅延し、該遅延した信号を所定角度で位相回転させ、且つ、該位相回転した信号をアナログデジタル変換部の入力側にフィードバックする。そして、加算部は、入力複素信号、複素バンドパスフィルタから出力

される複素信号、及び、ノイズ抽出回路部から出力される複素信号を加算し、該加算した信号をアナログデジタル変換部に出力する。

[0034] また、本発明のデジタル無線受信機は、上述した本発明の複素バンドパス $\Delta\Sigma$ AD変調器と、複素バンドパス $\Delta\Sigma$ AD変調器の出力信号に対して所定のデシメーション処理を行うデシメーション回路部とを備える構成とする。

[0035] 本発明の複素バンドパス $\Delta\Sigma$ AD変調器では、ノイズ抽出回路部は、抽出した量子化ノイズ信号を、1サンプル時間遅延し且つ所定角度だけ位相回転させて、アナログデジタル変換部の入力側にフィードバックする。このように構成することにより、ノイズ伝達関数NTF(z)において、信号帯域だけでなくイメージ帯域にも零点を生成することができる。また、上述のような機能を有するノイズ抽出回路部は、複数のキャパシタ及びスイッチにより構成することができる。すなわち、本発明では、イメージ帯域に減衰極を生成するために、従来のようにオペアンプのような能動的な回路素子を含む積分回路を用いる必要がなくなる。

### 発明の効果

[0036] 本発明の複素バンドパス $\Delta\Sigma$ AD変調器では、受動的な回路素子により構成可能なノイズ抽出回路部を設けることにより、そのスペクトル特性において、信号帯域だけでなくイメージ帯域にも減衰極を生成することができる。それゆえ、本発明によれば、より簡易な構成で且つ低消費電力でI及びQ経路間のミスマッチの問題を解消することができ、効率よく且つ高精度のAD変換が可能になる。

### 図面の簡単な説明

[0037] [図1]図1は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器の信号フロー図である。

[図2]図2は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器の概略ブロック回路図である。

[図3]図3は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器の一例を示す概略ブロック回路図である。

[図4] 図4は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器の実現回路の一例を示すブロック回路図である。

[図5] 図5は、I経路のノイズ加算ブロックの実現回路の一例を示す回路構成図である。

[図6] 図6は、Q経路のノイズ抽出ブロックの実現回路の一例を示す回路構成図である。

[図7] 図7は、図5及び6の実現回路に用いられるクロック信号の波形図である。

[図8] 図8は、本発明の複素バンドパス $\Delta\Sigma$ AD変調器によりI及びQ経路間のミスマッチの問題を解消できる原理を説明するための図である。

[図9] 図9は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器のノイズ伝達関数のゲイン特性の模式図である。

[図10] 図10は、比較例の複素バンドパス $\Delta\Sigma$ AD変調器の出力パワースペクトル特性である。

[図11] 図11は、本発明の一実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器の出力パワースペクトル特性である。

[図12] 図12は、本発明の一実施形態及び比較例の複素バンドパス $\Delta\Sigma$ AD変調器のSQNDR-OSR特性である。

[図13] 図13は、本発明の一実施形態に係るデジタル無線受信機の一例を示す概略構成図である。

[図14] 図14は、従来の複素バンドパス $\Delta\Sigma$ AD変調器の信号フロー図である。

[図15] 図15は、従来の複素バンドパス $\Delta\Sigma$ AD変調器の概略ブロック回路図である。

[図16] 図16は、従来の複素バンドパス $\Delta\Sigma$ AD変調器における出力パワースペクトル特性の一例である。

[図17] 図17は、従来のフィードフォワード型の複素バンドパス $\Delta\Sigma$ AD変調器の信号フロー図である。

[図18] 図18は、従来のノイズ結合型の複素バンドパス $\Delta\Sigma$ AD変調器の信号フロー図である。

[図19] 図19は、I及びQ経路間にミスマッチが存在する場合の複素バンドパス $\Delta\Sigma$ AD変調器の等価ブロック回路図である。

[図20] 図20は、I及びQ経路間にミスマッチが存在する場合の複素バンドパス $\Delta\Sigma$ AD変調器の出力パワースペクトルの一例である。

[図21] 図21は、従来の複素バンドパス $\Delta\Sigma$ AD変調器におけるノイズ伝達関数のゲイン特性の一例である。

### 発明を実施するための形態

[0038] 以下に、本発明の実施形態に係る複素バンドパス $\Delta\Sigma$ AD変調器及びそれを備えるデジタル無線受信機の例を、図面を参照しながら説明するが、本発明はこれに限定されるものではない。

[0039] [複素バンドパス $\Delta\Sigma$ AD変調器の概略構成]

まず、本発明の複素バンドパス $\Delta\Sigma$ AD変調器の一実施形態例の構成を図1～3を参照しながら説明する。図1は、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器の概略構成及び信号フローを示す図である。図2は、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器の回路ブロック構成を示す図である。また、図3は、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器の回路構成をさらに具体化した図である。なお、図3では、複素バンドパスフィルタ30を2段の積分回路で構成した例を示す。ただし、図1～3において、同じ構成には、同じ符号を付して示す。

[0040] また、本実施形態では、規格化周波数 $F_{in}/F_s=0\sim 1$ の範囲において、信号帯域が $F_{in}/F_s=0.25$ 付近である場合を説明する。なお、この場合、イメージ帯域は $F_{in}/F_s=0.75$ 付近となる。また、複素バンドパス $\Delta\Sigma$ AD変調器10内の回路構成は、従来と同様に、入力信号 $X(z)$ （入力複素信号）の同相成分信号 $I_{in}$ を処理するI経路11、及び、直交成分信号 $Q_{in}$ を処理するQ経路12に分離される（図2及び3を参照）。

[0041] 複素バンドパス $\Delta\Sigma$ AD変調器10は、図1に示すように、主に、減算部

20、複素バンドパスフィルタ30、加算部40、ノイズ抽出回路部50、ADC部60（アナログデジタル変換部）及びDAC部70（デジタルアナログ回路部）で構成される。各部の接続関係は次の通りである。

[0042] 減算部20の入力端子は、入力信号 $X(z)$ の入力端子（不図示）及びDAC部70の出力端子に接続され、減算部20の出力端子は、複素バンドパスフィルタ30の入力端子に接続される。加算部40の入力端子は、減算部20の入力端子、複素バンドパスフィルタ30の出力端子及びノイズ抽出回路部50の出力端子に接続され、加算部40の出力端子は、ADC部60の入力端子に接続される。ノイズ抽出回路部50は2つの入力端子を有し、その一方はDAC部70の出力端子に接続され、他方の入力端子はADC部60の入力端子に接続される。また、ADC部60の出力端子は、出力信号 $Y(z)$ の出力端子（不図示）及びDAC部70の入力端子に接続される。

[0043] 図1と図17との比較から明らかなように、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10は、従来のフィードフォワード型の複素バンドパス $\Delta\Sigma$ AD変調器400にノイズ抽出回路部50をさらに設けた構造を有する。そして、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10は、ノイズ抽出回路部50で抽出した量子化ノイズをADC部60の入力側にフィードバックする構造（エラーフィードバック構造）を有する。すなわち、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10は、ノイズ結合型の変調器であり、ノイズ結合型時間インタリーブ $\Delta\Sigma$ AD変調器を拡張した変調器である。以下、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10の各部の機能及び構成を図1～3を参照しながらより詳細に説明する。

[0044] 減算部20は、図1に示すように、外部から複素バンドパス $\Delta\Sigma$ AD変調器10に入力される複素形式の信号 $X(z)$ （ $= I_{in} + j Q_{in}$ ）からDAC部70の出力信号 $B(z)$ を減算する。また、減算部20は、図2に示すように、I経路11及びQ経路12にそれぞれ設けられた減算器21及び22を備える。I経路11の減算器21は、入力信号 $X(z)$ の同相成分 $I_{in}$ から後述するI経路11のデジタルアナログ変換器71（DACI）の出力信

号を減算して、その減算信号を出力する。一方、Q経路12の減算器22は、入力信号X(z)の直交成分 $Q_{in}$ から後述するQ経路12のデジタルアナログ変換器72(DACQ)の出力信号を減算して、その減算信号を出力する。

[0045] 複素バンドパスフィルタ30は、オペアンプを含む積分回路を備え、その積分回路を1段以上接続して構成される。この際、複素バンドパスフィルタ30の伝達関数 $H(z)$ は、信号帯域( $F_{in}/F_s=0.25$ 付近)で量子化ノイズ $E(z)$ が減衰するように、すなわち、複素バンドパス $\Delta\Sigma AD$ 変調器10のノイズ伝達関数 $NTF(z)$ の零点が信号帯域で生成されるように設計される。より具体的には、本実施形態では、ノイズ抽出回路部50を備えない場合の複素バンドパス $\Delta\Sigma AD$ 変調器10のノイズ伝達関数 $NTF(z)$ が下記式で表わされるように、複素バンドパスフィルタ30を構成する。

[0046] [数4]

$$NTF(z) = \frac{1}{1+H(z)} = (1-jz^{-1})^N$$

[0047] なお、上記式4中のNは、積分回路の段数(信号帯域における変調器の次数)である。上記式4では、ノイズ伝達関数 $NTF(z)$ は $z=j$ で零になり、 $z=j$ の零点は規格化周波数 $F_{in}/F_s=0.25$ に対応する(上記式1参照)。

[0048] ここで、例えば、複素バンドパスフィルタ30を2段の積分回路で構成した場合の例を簡単に説明する。この場合、複素バンドパスフィルタ30は、図3に示すように、主に、1段目の積分回路31と、その後段に接続された2段目の積分回路32と、積分回路32に後段のI経路11及びQ経路12にそれぞれ設けられた加算ブロック33及び34と、I経路11及びQ経路12にそれぞれ設けられた2倍の積算ブロック35及び36とで構成される。

[0049] 各積分回路は、加算ブロックとその後段に直列接続された遅延ブロックと

で構成され、遅延ブロックの出力信号を加算ブロックにフィードバックする構造になっている。なお、このような積分回路は、オペアンプ（能動的な回路素子）等を用いて実現される。また、I経路11及びQ経路12にそれぞれ設けられた2倍の積算ブロック35及び36は、2次の変調器特性を設計するために設けられたものであり、これらの積算ブロックの係数は、変調器の設計要素（次数、零点等）に応じて適宜変更される。

[0050] 加算部40は、図1に示すように、入力信号 $X(z)$ 、複素バンドパスフィルタ30の出力信号、及び、ノイズ抽出回路部50の出力信号を加算して出力する。また、加算部40は、図2に示すように、I経路11及びQ経路12にそれぞれ設けられた加算器41及び42（第1及び第2加算部）を備える。I経路11の加算器41は、入力信号 $X(z)$ の同相成分 $I_{in}$ 、複素バンドパスフィルタ30のI経路11の出力信号、及び、後述するQ経路12のノイズ抽出回路52の出力信号の反転信号を加算して出力する。一方、Q経路12の加算器42は、入力信号 $X(z)$ の直交成分 $Q_{in}$ 、複素バンドパスフィルタ30のQ経路12の出力信号、及び、後述するI経路11のノイズ抽出回路51の出力信号を加算して出力する。

[0051] ノイズ抽出回路部50は、入力されるADC部60の入力信号 $A(z)$ 及びDAC部70の出力信号 $B(z)$ に基づいて、ADC部60の量子化ノイズ $E(z)$ （ $=E_I + jE_Q$ ：図1中の $C(z)$ ）を抽出する。具体的には、ADC部60の入力信号 $A(z) = Y(z) - E(z)$ であり、DAC部70の出力信号 $B(z) = Y(z)$ であるので、DAC部70の出力信号 $B(z)$ からADC部60の入力信号 $A(z)$ を差し引くこと（ $B(z) - A(z)$ ）によりADC部60の量子化ノイズ $E(z)$ （ $=C(z)$ ）を抽出する。図1中のノイズ抽出回路部50内の減算ブロック50aが、この抽出動作を表している。

[0052] また、ノイズ抽出回路部50は、抽出した量子化ノイズ $E(z)$ を1サンプル時間（ $T_s$ ）遅延し、その遅延信号を $\pi/2$ だけ位相回転させる。そして、ノイズ抽出回路部50は、1サンプル遅延及び位相回転させた量子化ノイ



ズ信号 $E'(z)$ を加算部40に出力する。図1中のノイズ抽出回路部50内の $jz^{-1}$ ブロック50bが、この遅延及び位相回転の動作を表している。ノイズ抽出回路部50のより具体的な構成及び動作は、次の通りである。

- [0053] ノイズ抽出回路部50は、図2に示すように、I経路11及びQ経路12にそれぞれ設けられたノイズ抽出回路51及び52（第1及び第2ノイズ抽出回路）を備える。なお、ノイズ抽出回路51は、機能的には、減算ブロック51a及び遅延ブロック51bを備え、ノイズ抽出回路52は、減算ブロック52a及び遅延ブロック52bを備える。
- [0054] I経路11のノイズ抽出回路51は、減算ブロック51aにより、後述するI経路11のデジタルアナログ変換器71の出力信号IbからI経路11のアナログデジタル変換器61の入力信号Iaを差し引いて $(Ib - Ia)$ 、量子化ノイズ $E(z)$ の同相成分 $E_I (= Ic)$ を抽出する。次いで、ノイズ抽出回路51は、抽出信号Icを、遅延ブロック51bで1サンプル時間遅延し、その遅延した信号をQ経路12の加算器42に出力する。
- [0055] 一方、Q経路12のノイズ抽出回路52は、減算ブロック52aにより、後述するQ経路12のデジタルアナログ変換器72の出力信号QbからQ経路12のアナログデジタル変換器62の入力信号Qaを差し引いて $(Qb - Qa)$ 、量子化ノイズ $E(z)$ の直交成分 $E_Q (= Qc)$ を抽出する。次いで、ノイズ抽出回路52は、抽出信号Qcを、遅延ブロック52bで1サンプル時間遅延する。そして、ノイズ抽出回路52は、遅延ブロック52bで遅延した信号を反転してI経路11の加算器41に出力する。
- [0056] すなわち、本実施形態では、ノイズ抽出回路部50内で抽出した量子化ノイズ信号を1サンプル時間遅延した後、加算部40に入力する際に、I経路11及びQ経路12のノイズ抽出回路51及び52から出力される量子化ノイズの同相成分 $E_I$ 及び直交成分 $E_Q$ を、図2に示すように、それぞれQ経路12及びI経路11の加算器42及び41に交差させて入力する。そして、量子化ノイズの直交成分 $E_Q$ をI経路11の加算器41に入力する際には、その信号の反転信号を入力する。本実施形態では、このようにして、ノイズ抽

出回路部50内の $jz^{-1}$ ブロック50bの要素「 $j$ 」の機能を実現する。ここで、上記構成により、 $jz^{-1}$ ブロック50bの要素「 $j$ 」の機能が実現できる原理について簡単に説明する。

[0057] ノイズ抽出回路部50内では、上述のように $jz^{-1}$ ブロック50bにより、抽出した量子化ノイズ $E(z)$ に対して1サンプル遅延及び90度位相回転を行う。量子化ノイズ $E(z)$ に対して90度位相回転を行うことは、量子化ノイズ $E(z)$ に虚数「 $j$ 」を掛け合わせることに等価であるので、ノイズ抽出回路部50の出力信号 $E'(z) = j(E_I + jE_Q) = -E_Q + jE_I$ となる。この場合、ノイズ抽出回路部50の出力信号 $E'(z)$ の同相成分は $-E_Q$ となり、直交成分は $E_I$ となる。それゆえ、I経路11及びQ経路12のノイズ抽出回路51及び52の出力信号をそれぞれ他方の経路の加算器に交差させて入力する際には、上述のように、Q経路12のノイズ抽出回路52から出力される量子化ノイズの直交成分 $E_Q$ を反転させてI経路11の加算器41に入力する。

[0058] 本実施形態では、ノイズ抽出回路部を上述のような構成にすることにより、ノイズ伝達関数 $NTF(z)$ において、信号帯域だけでなくイメージ帯域にも零点を生成することができる。この原理については、後で詳述する。なお、上述したノイズ抽出回路部50で抽出した量子化ノイズをADC部60に再注入する手法は、低次のループフィルタを用いて高次のノイズシェープを与えるカスケード（またはMASH: Multistage Noise Shaping）スキームと類似している。

[0059] また、ADC部60（内部ADC）は、図1に示すように、入力されたアナログ信号 $A(z)$ を量子化してデジタル信号 $Y(z)$ に変換し、出力する。この際、ADC部60は、出力信号 $Y(z)$ を複素バンドパス $\Delta\Sigma A/D$ 変調器10の後段に配置された処理回路に出力するとともに、DAC部70にも出力する。

[0060] また、ADC部60は、図2に示すように、I経路11及びQ経路12にそれぞれ設けられたアナログデジタル変換器（量子化器）61及び62（以

下、それぞれADC I 6 1及びADC Q 6 2という)を備える。ADC I 6 1(第1のアナログデジタル変換部)は、入力されたアナログ信号I aをデジタル信号I<sub>out</sub>に変換して出力する。一方、ADC Q 6 2(第2のアナログデジタル変換部)は、入力されたアナログ信号Q aをデジタル信号Q<sub>out</sub>に変換して出力する。

[0061] なお、ADC I 6 1及びADC Q 6 2は、ともに例えばマルチビット量子化器(マルチビットAD変換器)で構成することができる。この場合、次のような効果が得られる。ADC部60をマルチビット量子化器で構成した場合には、量子化ノイズはビジーノイズ(白色雑音)と仮定することができるので、ADC部60に再注入される量子化ノイズは、ADC部60の出力スペクトルに現れるトーンや高調波歪み成分を低減するディザ信号として作用する。したがって、ADC I 6 1及びADC Q 6 2にマルチビットの量子化器を用いることにより、フィードバック前後の2つの量子化ノイズをADC部60で結合させても、変調器全体の安定性が維持される。

[0062] DAC部70(内部DAC)は、図1に示すように、入力されたデジタル信号(Y(z))をアナログ信号B(z)に変換して、そのアナログ信号B(z)を減算部20及びノイズ抽出回路部50にフィードバックする。

[0063] また、DAC部70は、図2に示すように、I経路11及びQ経路12にそれぞれ設けられたデジタルアナログ変換器71及び72(以下、それぞれDAC I 7 1及びDAC Q 7 2という)を備える。DAC I 7 1(第1のデジタルアナログ変換部)は、入力されたデジタル信号I<sub>out</sub>をアナログ信号I bに変換して出力する。一方、DAC Q 7 2(第2のデジタルアナログ変換部)は、入力されたデジタル信号Q<sub>out</sub>をデジタル信号Q bに変換して出力する。

[0064] なお、DAC I 7 1及びDAC Q 7 2は、ともに例えばマルチビットDA変換器で構成することができる。DAC I 7 1及びDAC Q 7 2にマルチビットDA変換器を用いることにより変調器全体の安定性が維持される。ただし、マルチビットDA変換器は非線形性を有するので、変調器のSQNDR

を低下させる場合がある。この場合には、マルチビットDA変換器の非線形性による性能劣化を軽減するための複素DWA (Data Weighted Averaging) アルゴリズムの処理回路をDAC部70内に設ければよい。

[0065] [複素バンドパス $\Delta\Sigma$ AD変調器の実現回路]

次に、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10の実現回路の一例について説明する。図4に、複素バンドパス $\Delta\Sigma$ AD変調器10の実現回路の概略構成ブロック図を示す。なお、図4に示す構成例は、図3に示す複素バンドパス $\Delta\Sigma$ AD変調器10の実現回路の一例である。

[0066] 図3に示す複素バンドパス $\Delta\Sigma$ AD変調器10を実際の回路で実現するには、図3中の複素バンドパスフィルタ30内の最も出力側に位置する加算ブロック33及び34は、それぞれ加算部40の加算器41及び42と一つにまとめて構成される。図4中の破線で囲まれた回路ブロック75及び76 (以下、それぞれノイズ加算ブロック75及び76という) が、それらに対応する回路部である。

[0067] また、図3に示す複素バンドパス $\Delta\Sigma$ AD変調器10を実際の回路で実現するには、図3中の複素バンドパスフィルタ30内の最も入力側に位置する加算ブロック31a及び31bは、それぞれ減算部20の減算器21及び22と一つにまとめられて構成される。図4中の減算ブロック73及び74が、それらに対応する回路部である。

[0068] さらに、図3に示す複素バンドパス $\Delta\Sigma$ AD変調器10を実際の回路で実現するには、デジタルアナログ変換部(DAC部)は、2つのDAC部に分けて構成される。一方のDAC部は、減算部20にフィードバックする複素バンドパス $\Delta\Sigma$ AD変調器10の出力信号をDA変換し、他方のDAC部は、ノイズ抽出回路部50にフィードバックする複素バンドパス $\Delta\Sigma$ AD変調器10の出力信号をDA変換する。

[0069] 具体的には、I経路11のDACI71は、図4に示すように、I経路11の減算ブロック73に接続された第1DACI71a (DACI1) と、I経路11のノイズ抽出回路51内の減算ブロック51aに接続された第2

DACI71b (DACI2) とで構成される。一方、Q経路12のDACQ72は、Q経路12の減算ブロック74に接続された第1DACQ72a (DACQ1) と、Q経路12のノイズ抽出回路52内の減算ブロック52aに接続された第2DACQ72b (DACQ2) とで構成される。

[0070] また、以下では、図4中のI経路11の第2DACI71b、並びに、ノイズ抽出回路51内の減算ブロック51a及び遅延ブロック51bを含む回路ブロック77 (図4中の一点鎖線で囲まれた回路ブロック) をI経路11のノイズ抽出ブロック77という。さらに、Q経路12の第2DACQ72b、並びに、ノイズ抽出回路52内の減算ブロック52a及び遅延ブロック52bを含む回路ブロック78 (図4中の点線で囲まれた回路ブロック) をQ経路12のノイズ抽出ブロック78という。

[0071] ここで、図5及び6に、I経路11のノイズ加算ブロック75、及び、Q経路12のノイズ抽出ブロック78の実現回路の一例をそれぞれ示す。なお、Q経路12のノイズ加算ブロック76の実現回路は、I経路11のノイズ加算ブロック75と同様にして構成することができ、I経路11のノイズ抽出ブロック77の実現回路は、Q経路12のノイズ抽出ブロック78と同様にして構成することができる。ただし、ノイズ加算ブロック及びノイズ抽出ブロックの実現回路は図5及び6に示す構成例に限定されず、他の回路構成も可能である。それらは用途、回路規模等を考慮して適宜設計される。また、ノイズ加算ブロック及びノイズ抽出ブロック以外の回路ブロックの実現回路は、従来のフィードフォワード型の複素バンドパス $\Delta\Sigma$ AD変調器と同様に構成することができる。

[0072] ノイズ加算ブロック75は、図5に示すように、第1クロック信号clk1で開閉制御される4つのスイッチ81~84と、第2クロック信号clk2で開閉制御される5つのスイッチ85~89と、容量Cの3つのキャパシタ90~92と、容量2Cのキャパシタと、差動オペアンプ94とで構成される。そして、これらの回路素子は、各回路素子が所定の機能を果たすように、図5に示すような形態で適直接続される。

- [0073] ノイズ加算ブロック75内の各スイッチの動作タイミングを制御する第1クロック信号 $c_{lk1}$ 及び第2クロック信号 $c_{lk2}$ の信号は、周期がサンプリング周期 $T_s$ のクロック信号である。そして、第1クロック信号 $c_{lk1}$ 及び第2クロック信号 $c_{lk2}$ 間の位相差は180度である。図7に、第1クロック信号 $c_{lk1}$ 及び第2クロック信号 $c_{lk2}$ の信号波形を示す。なお、ADC161は、図5に示すように、第1クロック信号 $c_{lk1}$ で駆動制御される。
- [0074] また、ノイズ加算ブロック75に入力される信号 $I_1$ 、 $I_2$ 及び $I_3$ は、それぞれ、入力信号の同相成分 $I_{in}$ 、複素バンドパスフィルタ30内のI経路11の積算ブロック35の出力信号、及び、複素バンドパスフィルタ30内の2段目の積分回路32のI経路11の出力信号である（図4参照）。なお、図5中の $V_{cm}$ は参照電圧である。また、図5の例ではADC161から $I_{out+}$ 及び $I_{out-}$ の2つの信号が出力されるが、これは、複素バンドパス $\Delta\Sigma$ AD変調器10内の全ての回路が差動回路で動作するためである。なお、ADC161の出力信号 $I_{out+}$ 及び $I_{out-}$ 間の位相差は180度である（反転している）。
- [0075] ノイズ抽出ブロック78は、図6に示すように、第3クロック信号 $c_{lk3}$ で開閉制御される4つのスイッチ101~104と、第4クロック信号 $c_{lk4}$ で開閉制御される4つのスイッチ105~108とを備える。また、ノイズ抽出ブロック78は、Q経路12のADCQ62の出力信号 $Q_{out+}$ により開閉制御される2つのスイッチ111、113と、ADCQ62の出力信号 $Q_{out-}$ により開閉制御される2つのスイッチ112、114と、容量Cの2つのキャパシタ115、116とを備える。そして、これらの回路素子は、各回路素子が所定の機能を果たすように、図6に示すような形態で適宜接続される。なお、図6中の一点鎖線で囲まれた領域の回路部はDA変換を行う部分、すなわち、第2DACQ72bの機能を果たす回路部である。
- [0076] ノイズ抽出ブロック78の内の各スイッチの動作タイミングを制御する第3クロック信号 $c_{lk3}$ 及び第4クロック信号 $c_{lk4}$ の信号は、周期がサ

ンプリング周期  $2T_s$  のクロック信号である。そして、第3クロック信号  $clk_3$  及び第4クロック信号  $clk_4$  間の位相差は  $180^\circ$  である。図7に、第3クロック信号  $clk_3$  及び第4クロック信号  $clk_4$  の信号波形を示す。また、ADC62の出力信号  $Q_{out}^+$  及び  $Q_{out}^-$  間の位相差は  $180^\circ$  である。

[0077] また、ノイズ抽出ブロック78に入力される信号  $S_Q$  は、Q経路12のADC62の入力信号であり、ノイズ抽出ブロック78から出力される信号  $S_I$  は、図5中の差動オペアンプ94の「-」端子に入力される。なお、図6中の  $V_{cm}$ 、 $V_{refm}$  及び  $V_{refp}$  は参照電圧である。

[0078] 本実施形態の複素バンドパス  $\Delta\Sigma$  AD変調器10では、図6に示すように、受動的な回路素子である複数のスイッチ及び複数のキャパシタを用いてノイズ抽出回路部50を実現することができる。

[0079] [イメージ成分の抑制原理]

次に、本実施形態の複素バンドパス  $\Delta\Sigma$  AD変調器10において、I及びQ経路間にミスマッチが存在してもイメージ成分を抑制できる原理について説明する。

[0080] 図1に示す複素バンドパス  $\Delta\Sigma$  AD変調器10において、入力信号  $X(z)$  ( $= I_{in} + jQ_{in}$ )、出力信号  $Y(z)$  ( $= I_{out} + jQ_{out}$ ) 及びADC部60の量子化ノイズ信号  $E(z)$  ( $= E_I + jE_Q$ ) の関係は、次式で与えられる。

[0081] [数5]

$$\begin{aligned} Y(z) &= X(z) + \frac{1}{1+H(z)} \cdot (1+jz^{-1}) \cdot E(z) \\ &= X(z) + NTF(z)(1+jz^{-1}) \cdot E(z) \end{aligned}$$

[0082] 上記式5中の  $NTF(z)$  は、ノイズ抽出回路部50を備えない場合の複素バンドパス  $\Delta\Sigma$  AD変調器10のノイズ伝達関数である。ここで、複素バンドパスフィルタ30が、N段 ( $N \geq 1$ ) の積分回路で構成されており、ノイズ伝達関数  $NTF(z)$  の零点が信号帯域 ( $z = j$ ) で生成されるように

構成されているものとする、NTF(z) は下記式で表される。

[0083] [数6]

$$NTF(z) = (1 - jz^{-1})^N$$

[0084] それゆえ、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10全体のノイズ伝達関数NTF'(z) は、下記式で表される。

[0085] [数7]

$$NTF'(z) = (1 - jz^{-1})^N (1 + jz^{-1})$$

[0086] 上記式7から、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10は、ノイズ抽出回路部50を設けることにより実質、N+1次の変調器となることが分かる。また、上記式7から、本実施形態では、ノイズ伝達関数NTF'(z) は、 $z = j$ だけでなく、 $z = -j$ においても零となることが分かる。すなわち、図1に示す複素バンドパス $\Delta\Sigma$ AD変調器10の構成では、量子化ノイズ信号E(z)に対して $z = \pm j$ で零点が生成される。その様子を図8に示す。

[0087] 図8は、規格化周波数 $F_{in}/F_s$ が変化した場合の変数 $z (= \exp\{j2\pi(F_{in}/F_s)\})$ の軌跡を現したものである。変数zの軌跡は、半径1の円(図8中の太実線)を描き、上記式7で示されるノイズ伝達関数NTF'(z)では、図8中の丸印の位置で零点になる。なお、変数zの軌跡1周分が規格化周波数 $F_{in}/F_s = 0 \sim 1$ に対応しており、 $z = 1$ 、 $j$ 、 $-1$ 及び $-j$ の点がそれぞれ $F_{in}/F_s = 0$ (または1)、0.25、0.5及び0.75に対応する。すなわち、本実施形態では、 $F_{in}/F_s = 0.25$ 及び0.75でノイズ伝達関数NTF'(z)が零になる。それゆえ、本実施形態では、ノイズ伝達関数のスペクトル特性において、信号帯域となる $F_{in}/F_s = 0.25$ 付近及びイメージ帯域となる $F_{in}/F_s = 0.75$ 付近でそれぞれ減衰極(ノッチ)が生成される。その様子を図9に示す。

[0088] 図9は、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10におけるノイズ伝達関数NTF'(z)のゲイン特性の模式図であり、横軸は規格化周波数



$F_{in}/F_s$ であり、縦軸はゲインである。図9に示すように、本実施形態では、ノイズ抽出回路部50を設けることにより、信号帯域となる $F_{in}/F_s=0.25$ 付近及びイメージ帯域となる $F_{in}/F_s=0.75$ 付近でそれぞれ減衰極が生成され、非特許文献4で得られるノイズ伝達関数のゲイン特性（図21参照）と同様の特性が得られる。すなわち、本実施形態では、ノイズ抽出回路部50で抽出した量子化ノイズをADC部60に再注入する構造にすることにより、信号帯域だけでなく、イメージ帯域においても量子化ノイズが抑制できるようにノイズ伝達関数をノイズシェーブすることができる。それゆえ、本実施形態では、I及びQ経路間にミスマッチが存在してもイメージ成分を抑制することができる。

[0089] 以上説明したように、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10では、ノイズ抽出回路部50を設けることにより、ノイズ伝達関数のスペクトル特性において信号帯域だけでなくイメージ帯域にも減衰極を生成することができる。これにより、本実施形態では、I及びQ経路間にミスマッチが存在してもイメージ成分の信号成分への影響を抑制することができる。その結果、信号帯域でのSQNDRの低下を抑制することができ、効率よく且つ高精度のAD変換が可能になる。

[0090] また、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10では、イメージ帯域に減衰極を生成するために設けるノイズ抽出回路部50を、受動的な回路素子であるキャパシタ及びスイッチで構成することができる。すなわち、本実施形態では、イメージ帯域に減衰極を生成するために、非特許文献4のようにオペアンプを含む積分回路を用いる必要がない。それゆえ、本実施形態では、従来に比べて簡易な構成で且つ低消費電力で複素バンドパス $\Delta\Sigma$ AD変調器10を駆動することができる。

[0091] [シミュレーション評価]

上述した本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10の有効性をシミュレーション解析により評価した。具体的には、I及びQ経路のミスマッチ量を3%とした場合における複素バンドパス $\Delta\Sigma$ AD変調器10の出力スペ

クトルをシミュレーションで算出した。なお、このシミュレーション解析は、複素バンドパスフィルタ 30 を 2 段の積分回路で構成した場合（図 3 の構成）について実施した。また、比較のため、ノイズ抽出回路部 50 を備えない複素バンドパス  $\Delta \Sigma$  AD 変調器、すなわち、従来のフィードフォワード型複素バンドパス  $\Delta \Sigma$  AD 変調器 400（比較例：図 17 参照）についても同様のシミュレーション解析を行った。なお、比較例の複素バンドパス  $\Delta \Sigma$  AD 変調器 400 の構成は、ノイズ抽出回路部 50 を備えないこと以外は、実施形態と同様にした。

[0092] 図 10 及び 11 に、シミュレーション解析の結果を示す。図 10 は、比較例の複素バンドパス  $\Delta \Sigma$  AD 変調器 400 の出力パワースペクトルであり、図 11 は、本実施形態の複素バンドパス  $\Delta \Sigma$  AD 変調器 10 の出力パワースペクトルである。なお、図 10 及び 11 の横軸は規格化周波数 ( $F_{in}/F_s$ ) であり、縦軸は出力パワーのレベルである。

[0093] 比較例の複素バンドパス  $\Delta \Sigma$  AD 変調器 400 の出力パワースペクトル（図 10）では、イメージ帯域 ( $F_{in}/F_s = 0.75$  付近) においてノイズレベルが若干増大する。その結果、信号帯域 ( $F_{in}/F_s = 0.25$  付近) でノイズレベルが十分減衰されない。

[0094] 一方、本実施形態の複素バンドパス  $\Delta \Sigma$  AD 変調器 10 の出力パワースペクトル（図 11）では、イメージ帯域 ( $F_{in}/F_s = 0.75$  付近) で減衰極（ノッチ）が形成され、イメージ帯域でのノイズレベルが十分抑制されている。その結果、信号帯域 ( $F_{in}/F_s = 0.25$  付近) でのノイズレベルが、比較例に比べて十分減衰されている。

[0095] 図 10 及び 11 の結果から、本実施形態の複素バンドパス  $\Delta \Sigma$  AD 変調器 10 のようにノイズ抽出回路部 50 を設けることにより、I 及び Q 経路間のミスマッチにより生じるイメージ成分の信号成分への影響を抑制することができ、信号帯域での SQNDR の劣化を防止することができることが分かる。

[0096] また、本実施形態では、上述した出力パワースペクトルから信号帯域の S

QNDRとオーバーサンプリング比（OSR）との関係を求めた。なお、比較のため、比較例の複素バンドパス $\Delta\Sigma$ AD変調器400についても同様に、SQNDRとOSRとの関係を求めた。図12に、その評価結果を示す。図12の横軸はOSRであり、縦軸はSQNDRである。また、図12中のプラス印の特性が本実施形態の特性であり、白抜き逆三角印の特性が比較例の特性である。

[0097] 図12から明らかなように、比較例の複素バンドパス $\Delta\Sigma$ AD変調器400では、OSRが増加すると、SQNDRは飽和する。一方、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10では、OSRが増加に伴いSQNDRは飽和せず、約15dB/Octの割合でSQNDRが増大する。これは、2次の $\Delta\Sigma$ AD変調器の特性を示している。この図12の結果からもまた、本実施形態では、I及びQ経路間のミスマッチにより生じるイメージ成分の信号成分への影響が十分抑制されていることが分かる。

[0098] なお、本実施形態では、上述のように、ノイズ抽出回路部50を設けることにより変調器全体の次数は2次から3次に増大しているが、ノイズ抽出回路部50が主に作用する周波数帯域はイメージ帯域である。すなわち、本実施形態では、信号帯域に作用する変調器の実質的な次数は複素バンドパスフィルタ30による2次である。それゆえ、本実施形態の複素バンドパス $\Delta\Sigma$ AD変調器10の特性は、図12に示すように、2次の変調器と同等の特性となる。

[0099] 上記本実施形態では、規格化周波数 $F_{in}/F_s = 0 \sim 1$ の範囲において、信号帯域が $F_{in}/F_s = 0.25$ 付近であり、イメージ帯域が $F_{in}/F_s = 0.75$ 付近である場合を説明したが、本発明はこれに限定されない。信号帯域が $F_{in}/F_s = 0.25$ 付近以外であってもよい。この場合には、複素バンドパス $\Delta\Sigma$ AD変調器のノイズ伝達関数 $NTF'(z)$ の零点が、例えば、信号成分に対しては $z = c + jd$ （ $c$ 及び $d$ は係数）、イメージ成分に対しては $z = c - jd$ となるように複素バンドパス $\Delta\Sigma$ AD変調器内の複素バンドパスフィルタ30及びノイズ抽出回路部50等の構成を設計すればよい。

[0100] より具体的には、信号成分に対しては、ノイズ伝達関数  $N T F' (z)$  の零点が  $z = c + j d$  となるように、複素バンドパスフィルタ 30 の伝達関数  $H (z)$  を設計すればよい。一方、イメージ成分に対しては、ノイズ伝達関数  $N T F' (z)$  の零点が  $z = c - j d$  となるように、ノイズ抽出回路 50 を、例えば、抽出した量子化ノイズを 1 サンプル遅延した後、 $z$  空間における  $z = c - j d$  の位置に対応する所定角度で、遅延した信号を位相回転させるような構成にすればよい。

[0101] [デジタル無線受信機への適用例]

上述のように、本発明の複素バンドパス  $\Delta \Sigma A D$  変調器は回路構成が簡易であり、低消費電力で高精度の  $A D$  変調が可能であるので、無線通信システムで使用される様々なデジタル無線受信機に適用可能である。その一例を図 13 に示す。

[0102] 図 13 は、上述した本発明の複素  $\Delta \Sigma A D$  変調器を適用したデジタル無線受信機のブロック構成図である。デジタル無線受信機 200 は、主に、アンテナ 201、高周波フロントエンド回路 202、局部発振器 203、 $\pi/2$  位相器 204、2 つの混合器 205 a、205 b、中間周波数信号抽出回路 206、 $A D$  変換回路 207、及び、信号処理用デジタルシグナルプロセッサ (DSP) 209 で構成される。そして、 $A D$  変換回路 207 は、本発明の複素バンドパス  $\Delta \Sigma A D$  変調器 10 と、デシメーション回路 208 とで構成される。

[0103] 高周波フロントエンド回路 202 の入力端子はアンテナ 201 に接続され、アンテナ 201 で受信した無線信号は高周波フロントエンド回路 202 に入力される。高周波フロントエンド回路 202 は、入力された無線信号に対して低雑音高周波増幅などの処理を施し、その処理したアナログ信号を 2 つの混合器 205 a 及び 205 b に出力する。

[0104] 局部発振器 203 は、混合器 205 a 及び  $\pi/2$  位相器 204 に接続される。そして、局部発振器 203 は、所定の周波数を有する局部発信信号を生成し、その信号を混合器 205 a 及び  $\pi/2$  位相器 204 に出力する。なお

、 $\pi/2$ 位相器204は、局部発振器203から入力された局部発信信号を $\pi/2$ だけ位相回転し、その信号を混合器205bに出力する。

[0105] 混合器205aの入力端子は、高周波フロントエンド回路202の出力端子及び局部発振器203の出力端子に接続されており、混合器205aは、高周波フロントエンド回路202のアナログ出力信号と局部発振器203から入力された局部発信信号とを混合する。また、混合器205aの出力端子は、中間周波数信号抽出回路206のI経路の入力端子に接続されており、混合器205aは混合したアナログI信号（入力信号の同相成分）を中間周波数信号抽出回路206のI経路に出力する。

[0106] 一方、混合器205bの入力端子は、高周波フロントエンド回路202の出力端子及び $\pi/2$ 位相器204の出力端子に接続されており、混合器205bは、高周波フロントエンド回路202のアナログ出力信号と $\pi/2$ 位相器204のアナログ出力信号（ $\pi/2$ だけ位相回転した局部発信信号）とを混合する。また、混合器205bの出力端子は、中間周波数信号抽出回路206のQ経路の入力端子に接続されており、混合器205bは混合したアナログQ信号（入力信号の直交成分）を中間周波数信号抽出回路206のQ経路に出力する。

[0107] 中間周波数信号抽出回路206は、図示しないが、主に、複素アンチエイリアスフィルタ（バンドパスフィルタ）と、中間周波数増幅器とで構成される。中間周波数信号抽出回路206は、混合器205a及び205bからそれぞれI及びQ経路に入力されたアナログI信号及びアナログQ信号の中間周波数成分を抽出し増幅する。そして、中間周波数信号抽出回路206は、I経路及びQ経路でそれぞれ上記処理が施されたアナログI信号及びアナログQ信号を、複素バンドパス $\Delta\Sigma$ AD変調器10のI経路及びQ経路の入力端子にそれぞれ出力する。

[0108] 複素バンドパス $\Delta\Sigma$ AD変調器10は、I経路及びQ経路に入力されたアナログI信号及びアナログQ信号を、それぞれ、デジタルI信号及びデジタルQ信号を変換する。そして、複素バンドパス $\Delta\Sigma$ AD変調器10は、変換

したデジタルI信号及びデジタルQ信号をデシメーション回路208のI経路及びQ経路の入力端子にそれぞれ出力する。

[0109] デシメーション回路208は、デジタルフィルタ回路で構成されており、複素バンドパス $\Delta\Sigma$ AD変調器10から入力されるデジタル中間周波数の信号に対して所定のデシメーション処理を行う。具体的には、デシメーション回路208は、例えば3ビットで20Mbpsのビットレートを有する低ビット高速レートのデジタル信号を、例えば12ビットで1kbpsのビットレートを有する高ビット低速レートのデジタル信号に変換する。そして、デシメーション回路208は、上記処理を施したデジタル信号を信号処理用DSP209に出力する。

[0110] 信号処理用DSP209は、デシメーション回路208から入力されたデジタル信号に対してクロック再生や復調等の所定の処理を行う。これにより、受信信号の復調データを得る。上述のように、図13のデジタル無線受信機200では、本発明の複素バンドパス $\Delta\Sigma$ AD変調器を備えているので、より低消費電力で高精度に、データを復調することができる。

[0111] なお、本発明の複素バンドパス $\Delta\Sigma$ AD変調器が適用可能な受信機は、図13の例に限定されず、様々な無線通信システムに使用される受信機に適用可能であり、同様の効果が得られる。

### 符号の説明

[0112] 10…複素バンドパス $\Delta\Sigma$ AD変調器、20…減算部、21, 22…減算器、30…複素バンドパスフィルタ、31, 32…積分回路、40…加算部、41, 42…加算器、50…ノイズ抽出回路部、51, 52…ノイズ抽出回路、60…ADC部、61, 62…アナログデジタル変換器（量子化器）、70…DAC部、71, 72…デジタルアナログ変換器、200…デジタル無線受信機、208…デシメーション回路

## 請求の範囲

[請求項1]

アナログの複素信号をデジタルの複素信号に変換するアナログデジタル変換部と、

前記アナログデジタル変換部から出力される複素信号をアナログの複素信号に変換するデジタルアナログ変換部と、

外部から入力される入力複素信号から、前記デジタルアナログ変換部から出力される複素信号を減算する減算部と、

前記減算部から出力される複素信号に対して所定の周波数帯域の信号成分を通過させる複素バンドパスフィルタと、

前記アナログデジタル変換部に入力される複素信号及び前記デジタルアナログ変換部から出力される複素信号に基づいて前記アナログデジタル変換部の量子化ノイズ信号を抽出し、該抽出した量子化ノイズ信号を1サンプル時間遅延し、該遅延した信号を所定角度で位相回転させ、且つ、該位相回転した信号を前記アナログデジタル変換部の入力側にフィードバックするノイズ抽出回路部と、

前記入力複素信号、前記複素バンドパスフィルタから出力される複素信号、及び、前記ノイズ抽出回路部から出力される複素信号を加算し、該加算した信号を前記アナログデジタル変換部に出力する加算部と

を備える複素バンドパス $\Delta\Sigma$ AD変調器。

[請求項2]

前記所定の周波数帯域の中心周波数が、サンプリング周波数の $1/4$ の周波数であり、前記位相回転の所定角度が、 $\pi/2$ である

請求項1に記載の複素バンドパス $\Delta\Sigma$ AD変調器。

[請求項3]

前記加算部は、前記複素バンドパスフィルタから出力される複素信号の同相成分信号が入力される第1加算部と、前記複素信号の直交成分信号が入力される第2加算部とを有し、

前記アナログデジタル変換部は、前記第1加算部の出力信号が入力される第1のアナログデジタル変換部と、前記第2加算部の出力信号

が入力される第2のアナログデジタル変換部とを有し、

前記デジタルアナログ変換器は、前記第1のアナログデジタル変換部の出力信号が入力される第1のデジタルアナログ変換器と、前記第2のアナログデジタル変換部の出力信号が入力される第2のデジタルアナログ変換器とを有し、

前記ノイズ抽出回路部は、前記第1のアナログデジタル変換部の入力信号及び前記第1のデジタルアナログ変換部の出力信号が入力される第1ノイズ抽出回路と、前記第2のアナログデジタル変換部の入力信号及び前記第2のデジタルアナログ変換部の出力信号が入力される第2ノイズ抽出回路とを有し、

前記第1ノイズ抽出回路の出力信号が前記第2加算部に入力され、前記第2ノイズ抽出回路の出力信号の反転信号が前記第1加算部に入力される

請求項2に記載の複素バンドパス $\Delta\Sigma$ AD変調器。

[請求項4]

前記アナログデジタル変換部が、マルチビットのアナログデジタル変換器を有し、

前記デジタルアナログ変換部が、マルチビットのデジタルアナログ変換器を有する

請求項1～3のいずれか一項に記載の複素バンドパス $\Delta\Sigma$ AD変調器。

[請求項5]

アナログの複素信号をデジタルの複素信号に変換するアナログデジタル変換部と、前記アナログデジタル変換部から出力される複素信号をアナログの複素信号に変換するデジタルアナログ変換部と、外部から入力される入力複素信号から、前記デジタルアナログ変換部から出力される複素信号を減算する減算部と、前記減算部から出力される複素信号に対して所定の周波数帯域の信号成分を通過させる複素バンドパスフィルタと、前記アナログデジタル変換部に入力される複素信号及び前記デジタルアナログ変換部から出力される複素信号に基づいて



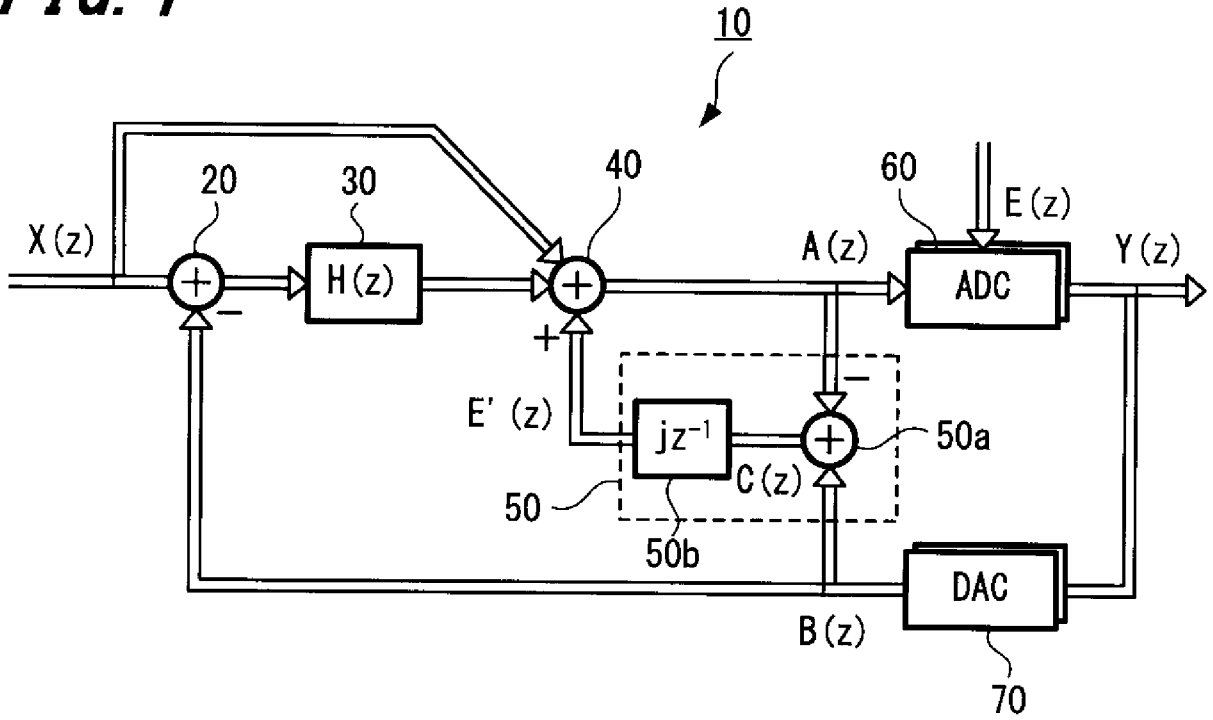
前記アナログデジタル変換部の量子化ノイズ信号を抽出し、該抽出した量子化ノイズ信号を1サンプル時間遅延し、該遅延した信号を所定角度で位相回転させ、且つ、該位相回転した信号を前記アナログデジタル変換部の入力側にフィードバックするノイズ抽出回路部と、前記入力複素信号、前記複素バンドパスフィルタから出力される複素信号、及び、前記ノイズ抽出回路部から出力される複素信号を加算し、該加算した信号を前記アナログデジタル変換部に出力する加算部とを有する複素バンドパス $\Delta\Sigma$ AD変調器と、

前記複素バンドパス $\Delta\Sigma$ AD変調器の出力信号に対して所定のデシメーション処理を行うデシメーション回路と

を備えるデジタル無線受信機。

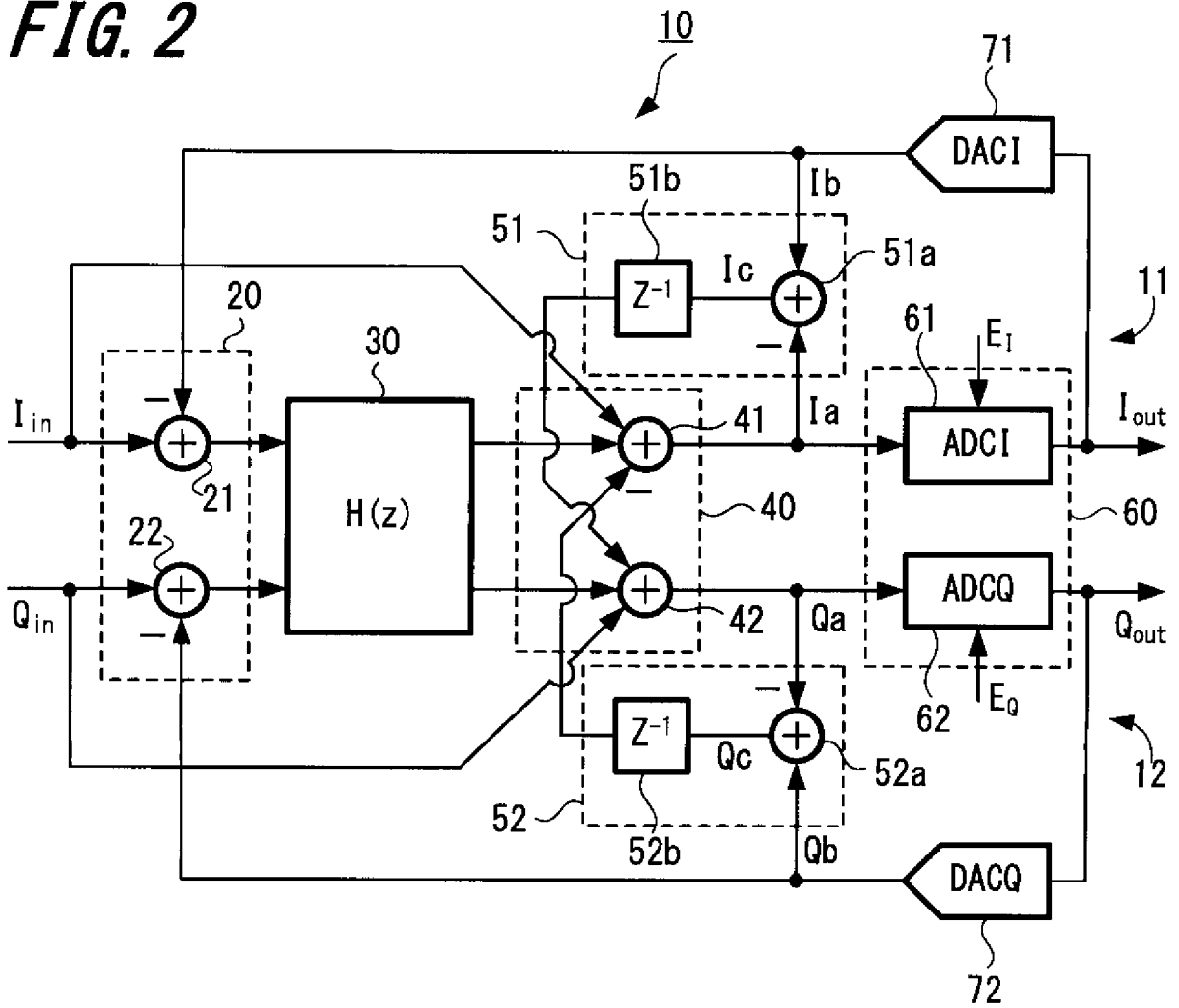
[図1]

FIG. 1



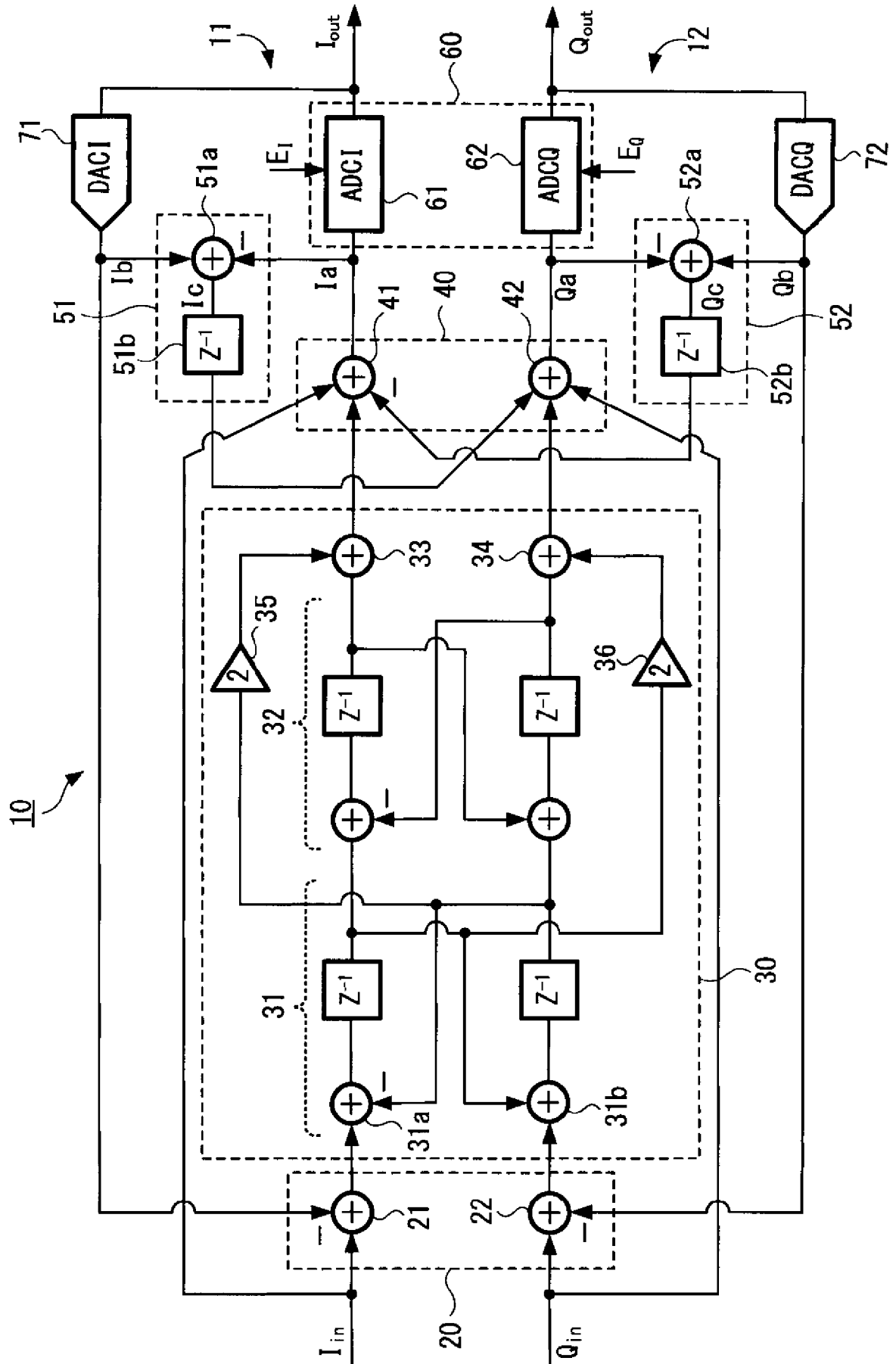
[図2]

FIG. 2



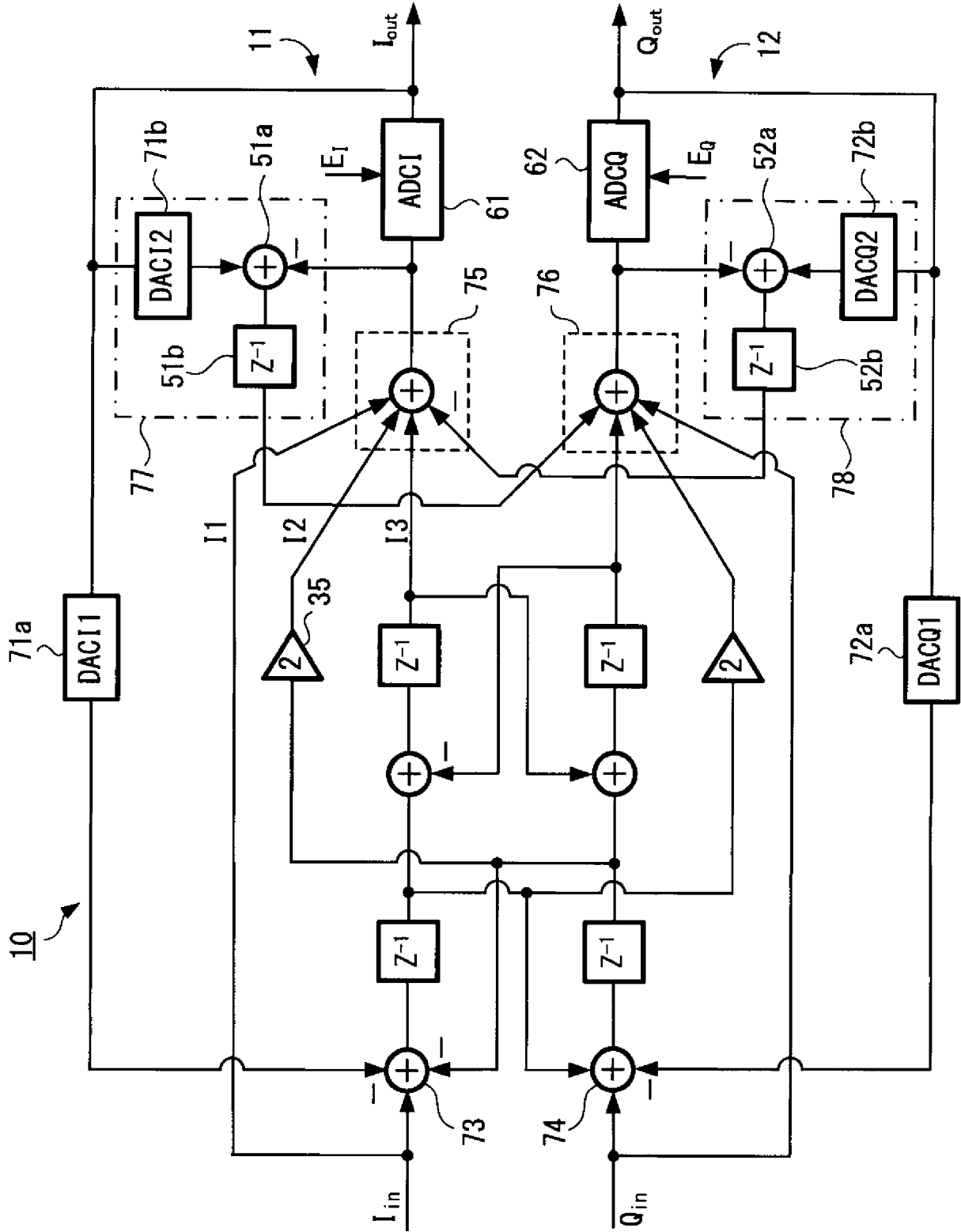
[3]

FIG. 3



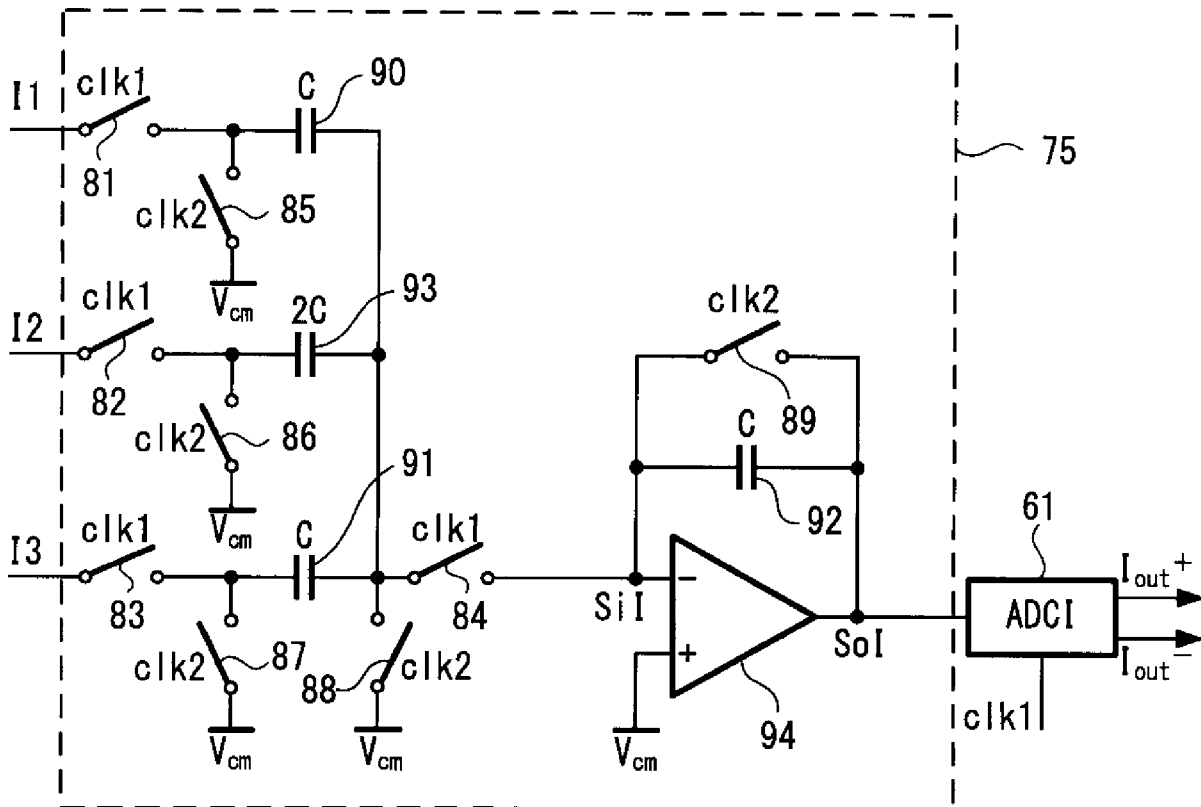
[図4]

FIG. 4



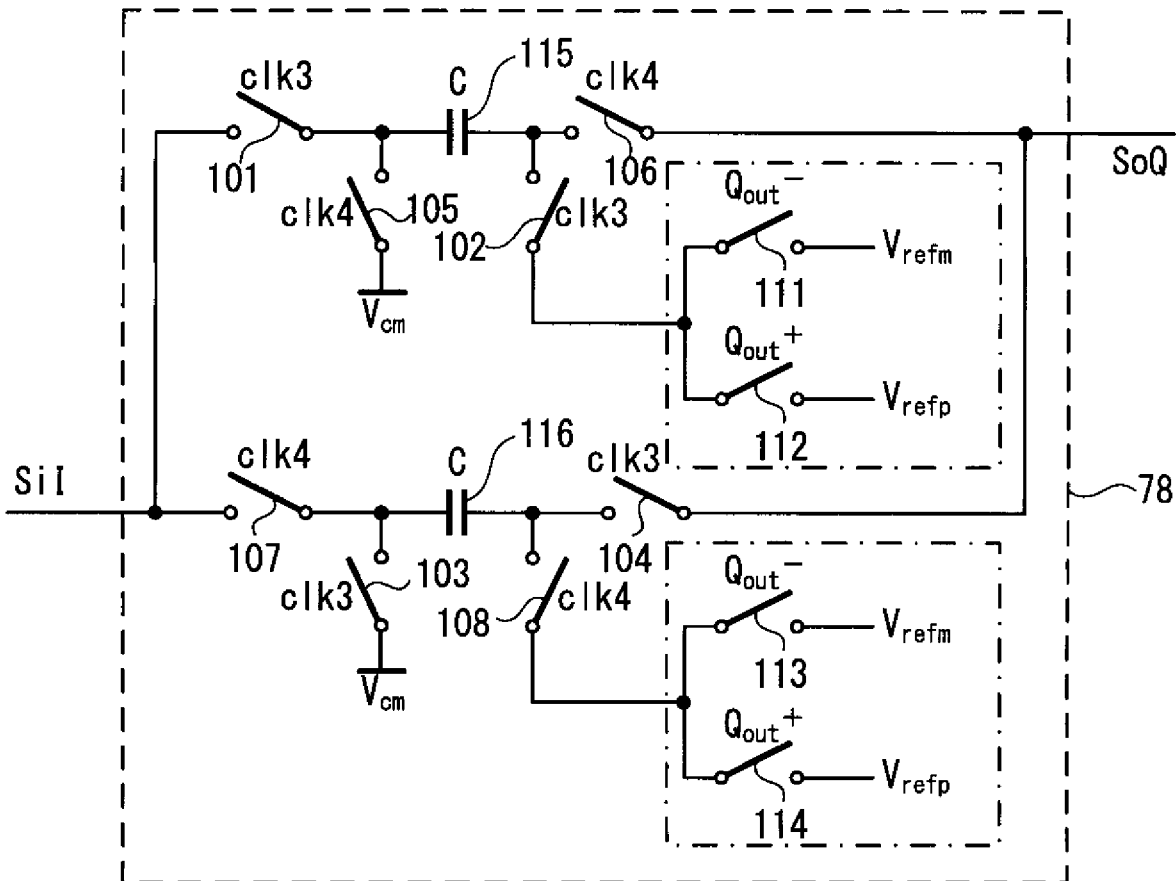
[圖5]

**FIG. 5**

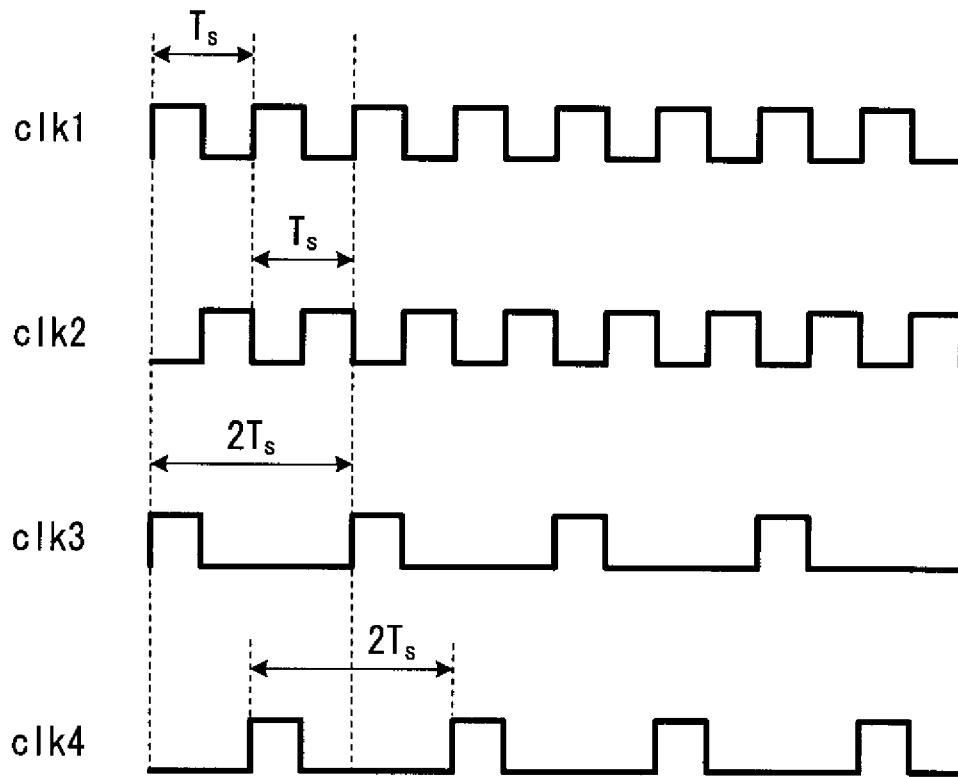


[圖6]

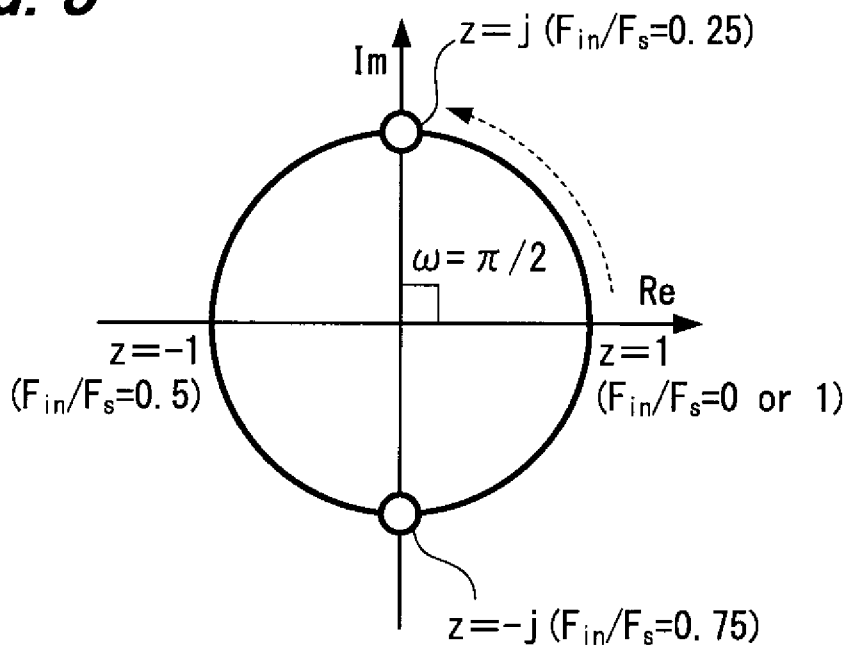
**FIG. 6**



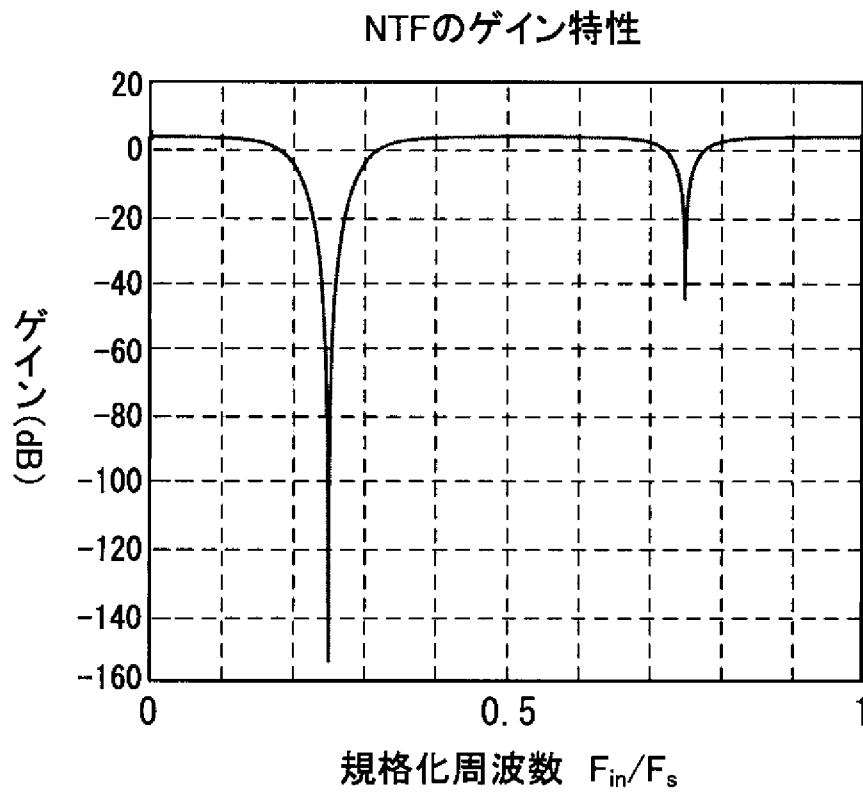
[図7]

**FIG. 7**

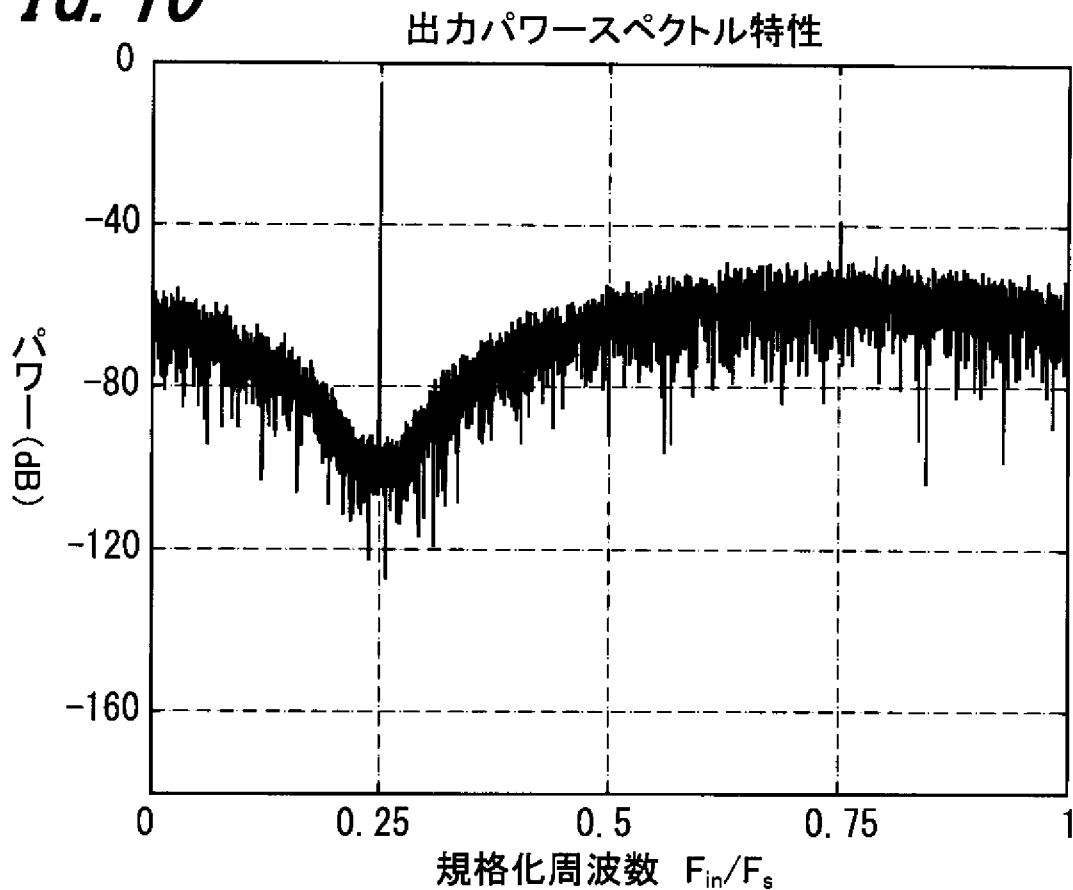
[図8]

**FIG. 8**

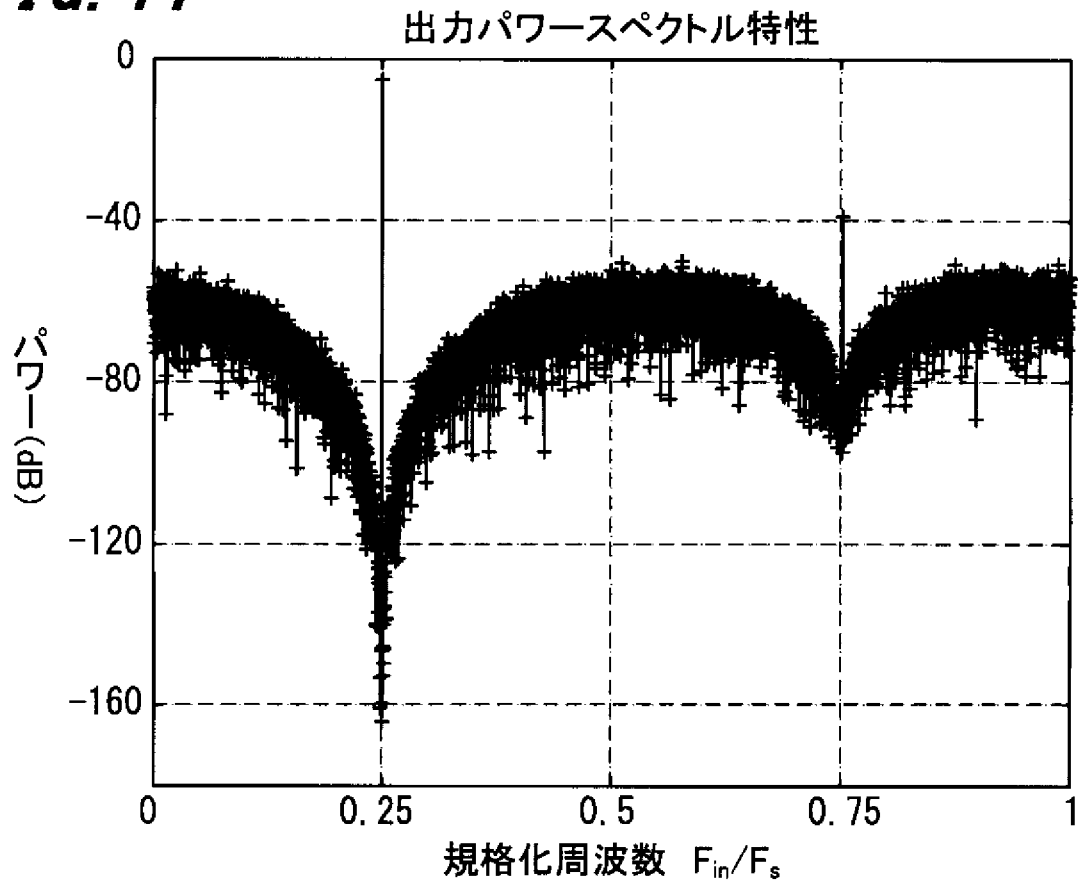
[図9]

**FIG. 9**

[図10]

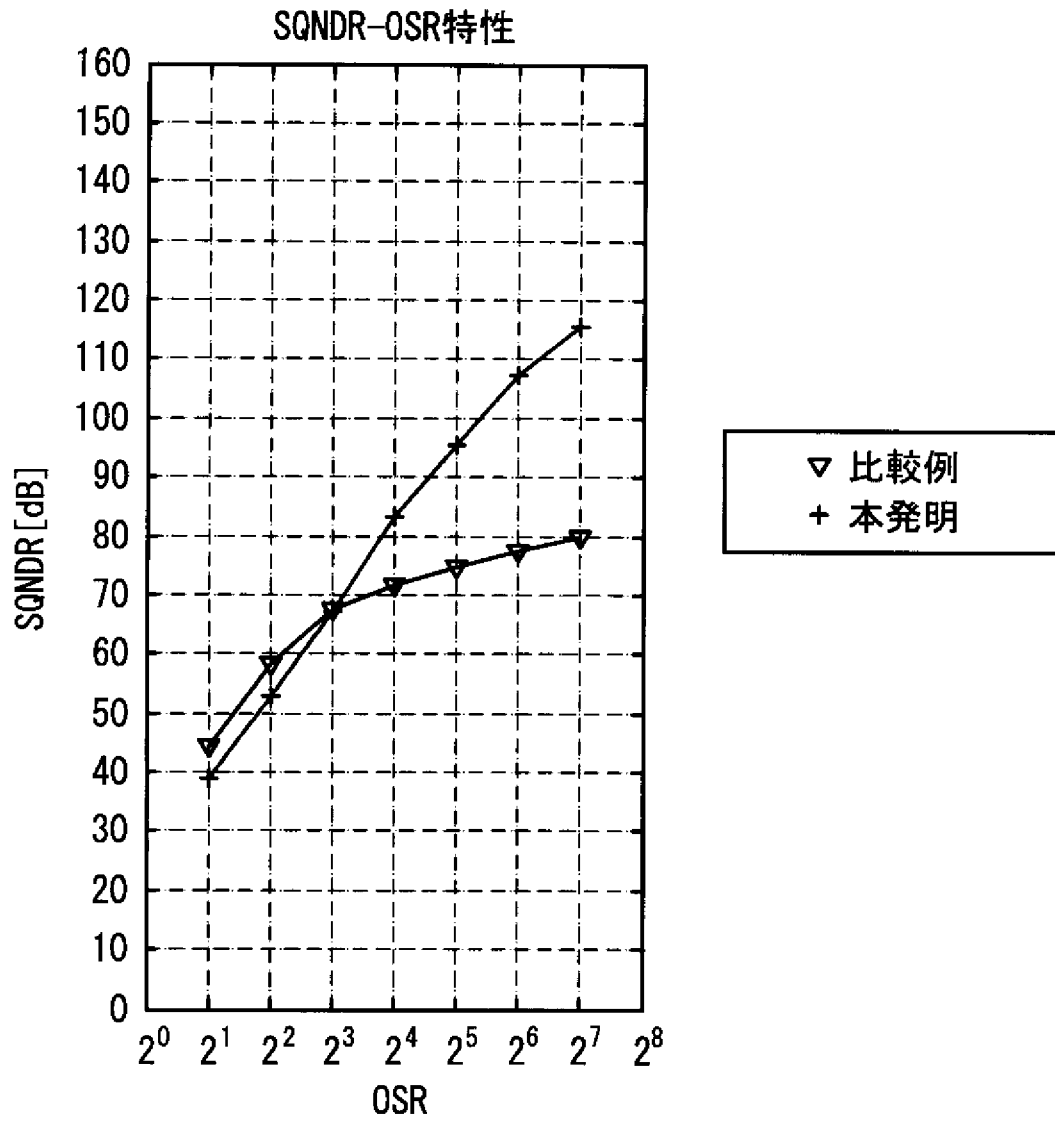
**FIG. 10**

[図11]

**FIG. 11**

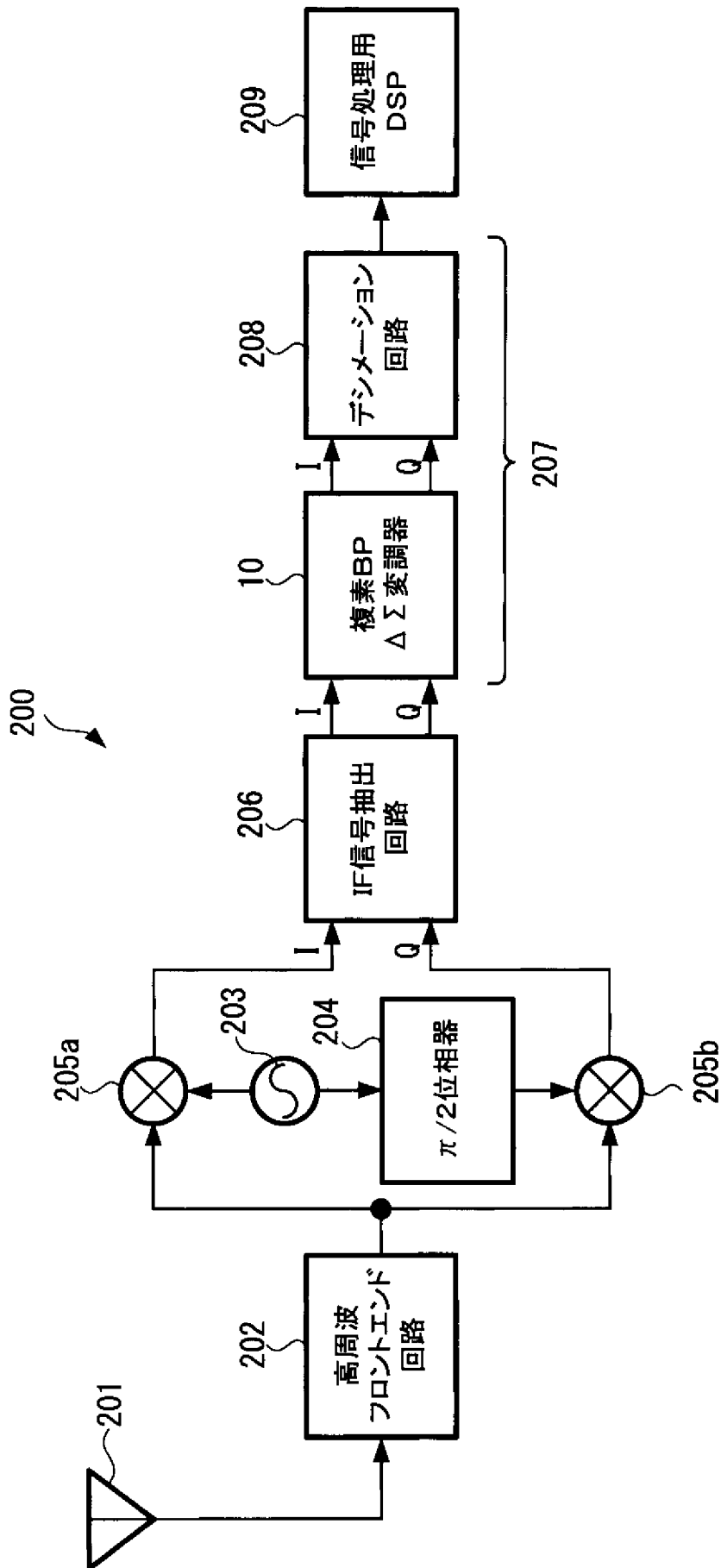


[図12]

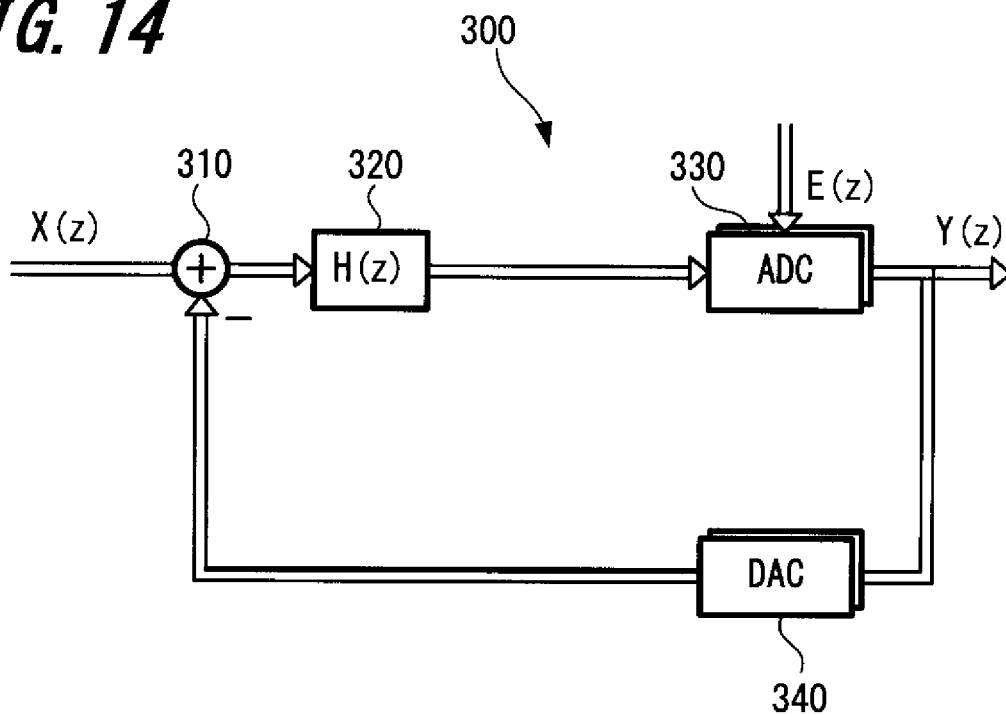
**FIG. 12**

[図13]

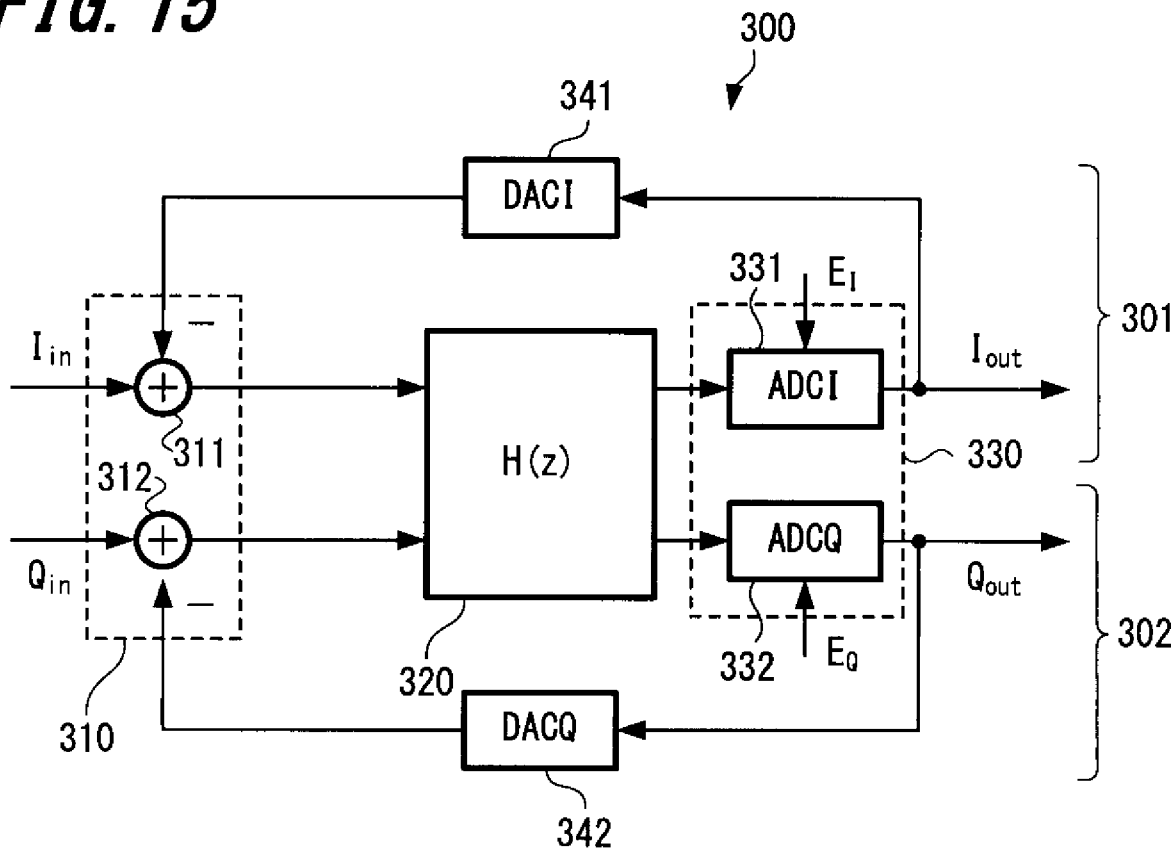
FIG. 13



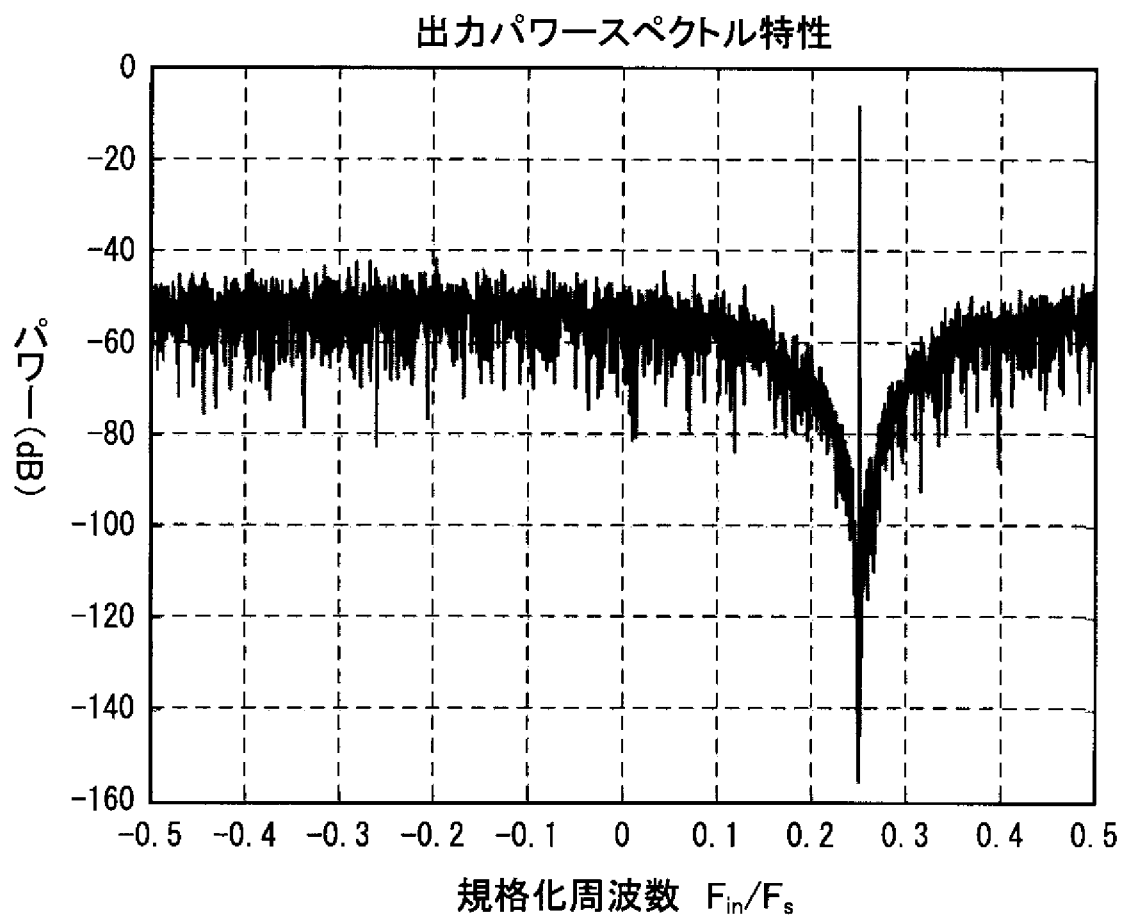
[圖14]

**FIG. 14**

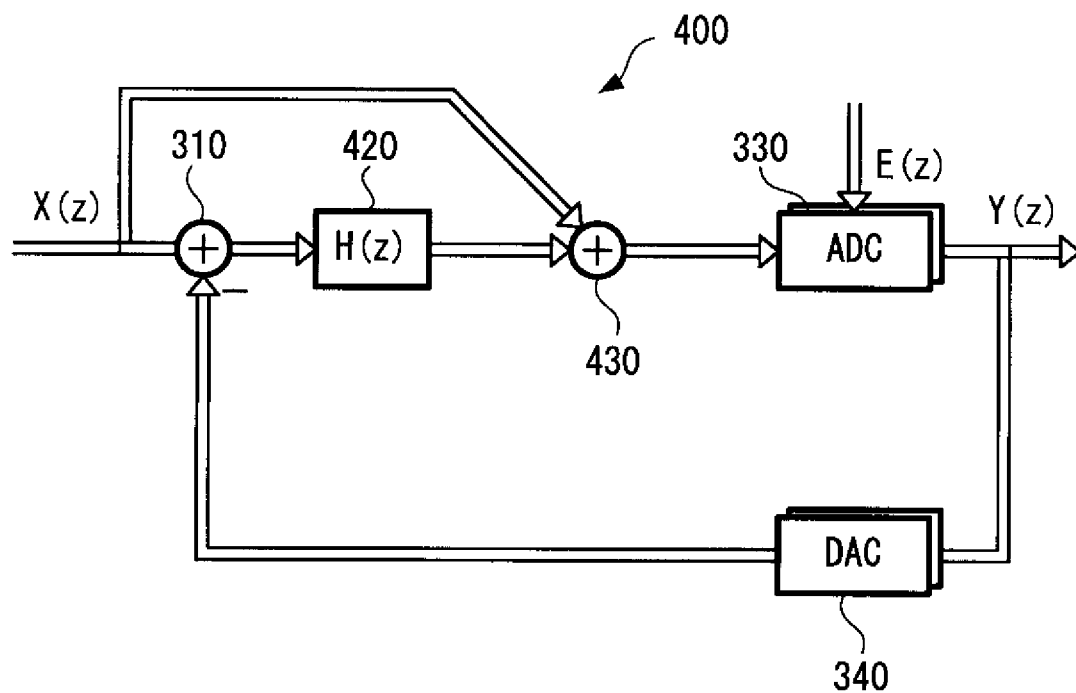
[圖15]

**FIG. 15**

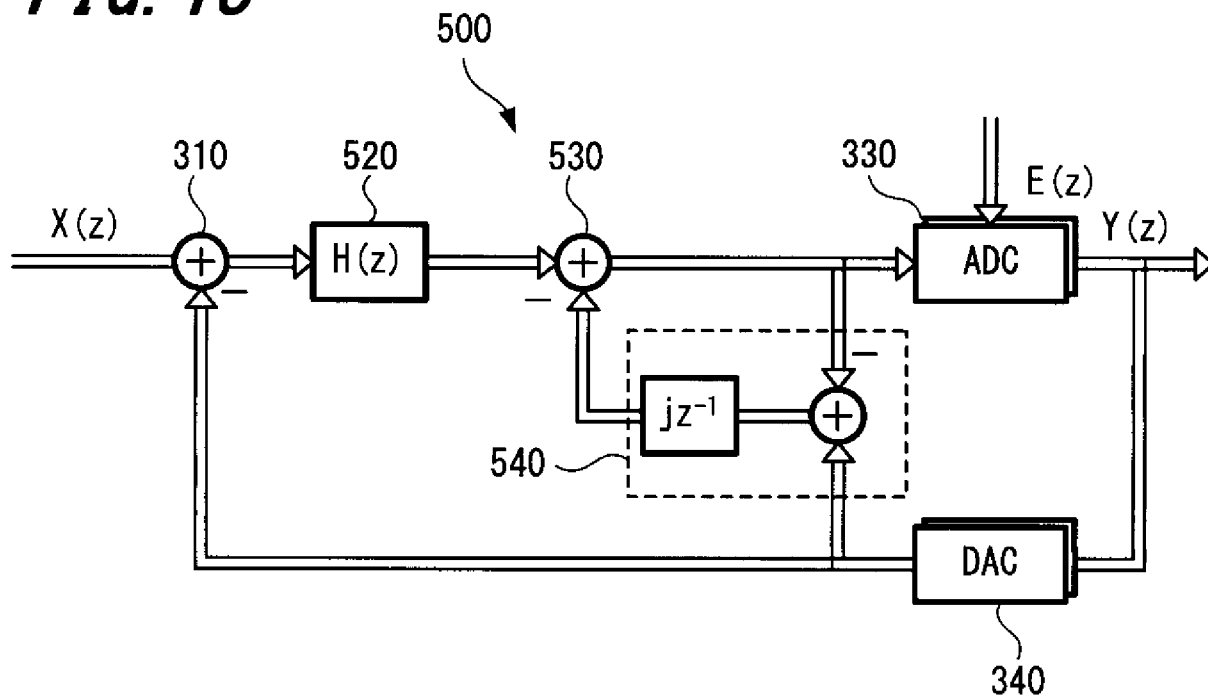
[図16]

**FIG. 16**

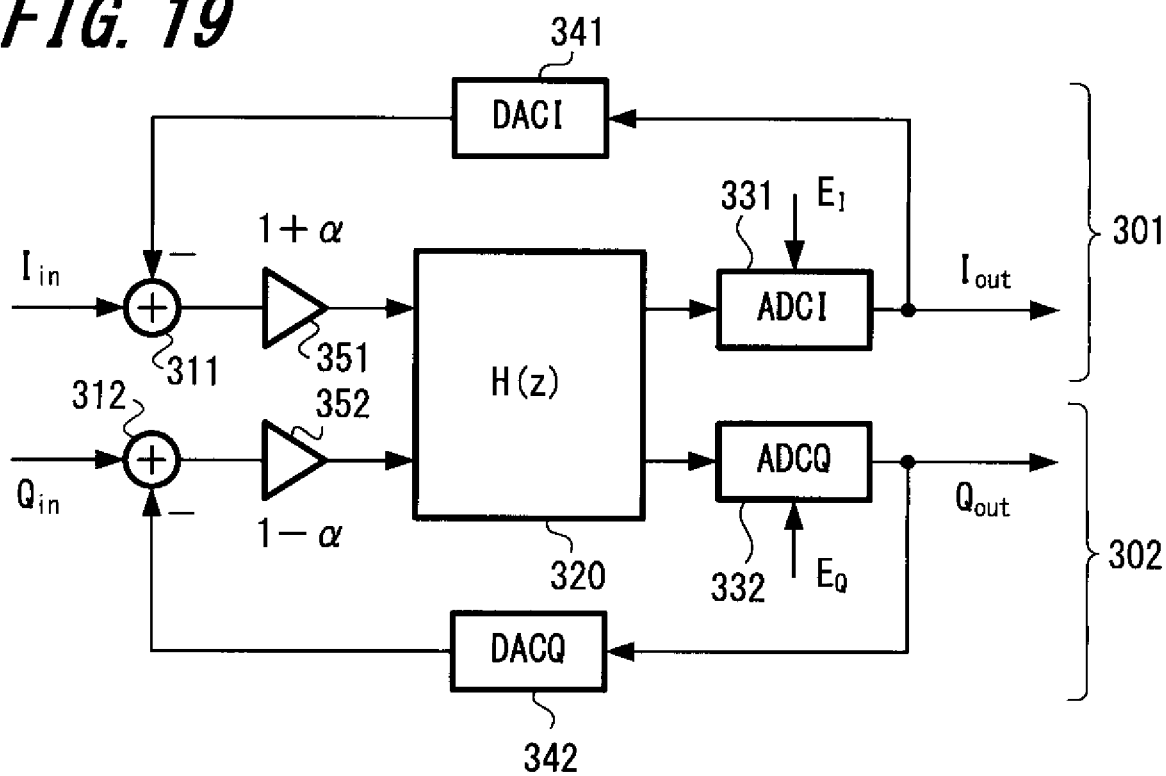
[図17]

**FIG. 17**

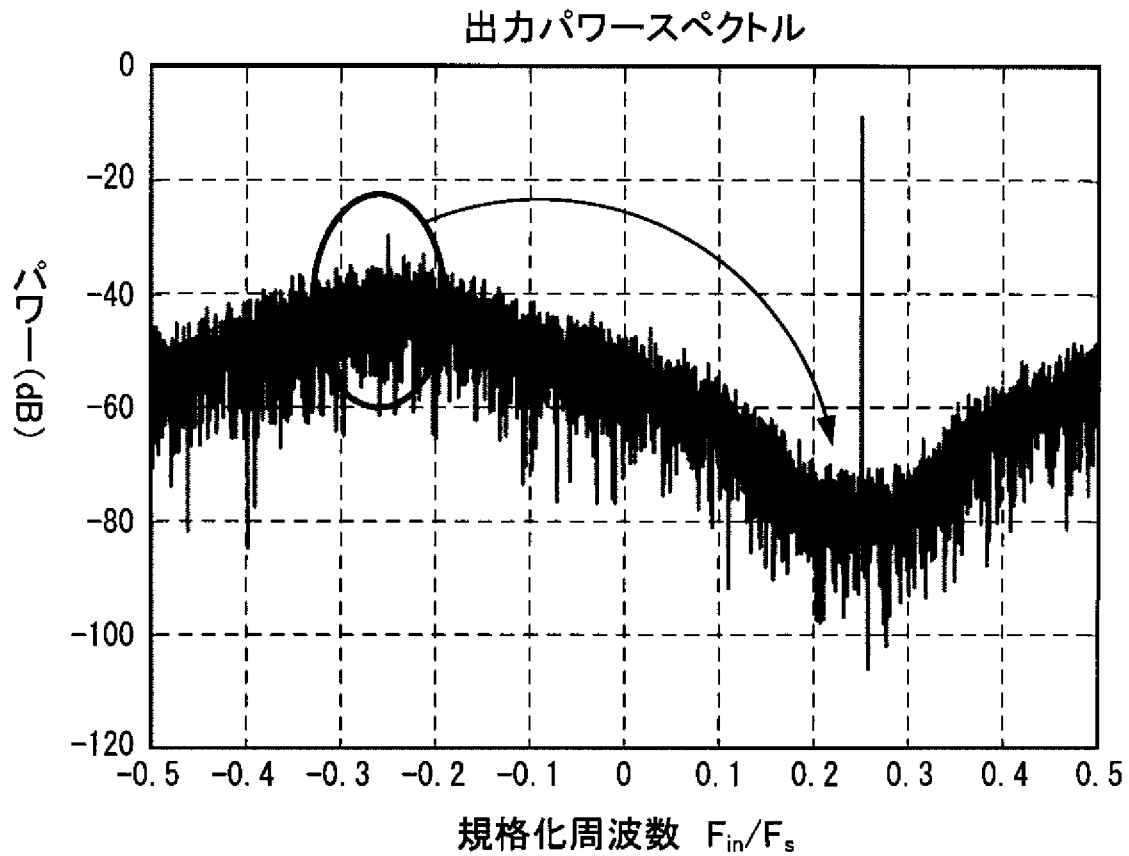
[圖18]

**FIG. 18**

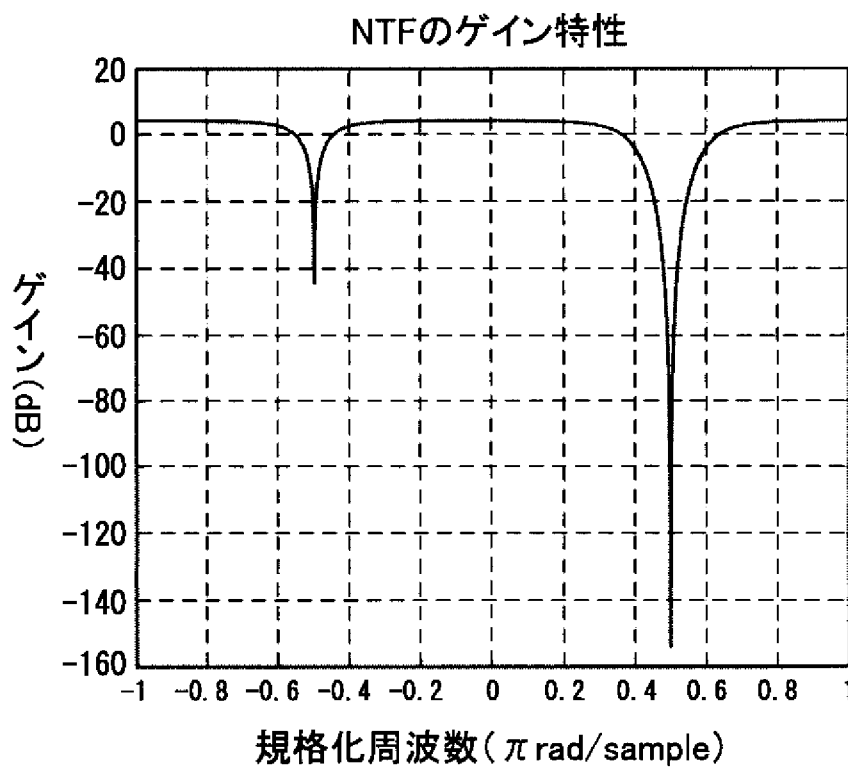
[圖19]

**FIG. 19**

[図20]

**FIG. 20**

[図21]

**FIG. 21**

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/052873

**A. CLASSIFICATION OF SUBJECT MATTER**  
*H03M3/02(2006.01) i, H03H19/00(2006.01) i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 H03M3/02, H03H19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010  
 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Hao San, Haruo Kobayashi, Complex Bandpass $\Delta\Sigma$ AD Modulator with Noise-coupled Architecture, Circuits and Systems, 2008.MWSCAS 2008.51st Midwest Symposium on, 2008.08, p.486-489	1-3 4, 5
Y A	JP 2006-352455 A (Semiconductor Technology Academic Research Center), 28 December 2006 (28.12.2006), paragraphs [0011] to [0017], [0040] to [0060]; fig. 21 & US 2006/0284751 A1	4, 5 1-3

Further documents are listed in the continuation of Box C.       See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed  
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search 20 April, 2010 (20.04.10)	Date of mailing of the international search report 27 April, 2010 (27.04.10)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/052873

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Hajime KOHASE, SAN Hao, Haruo KOBAYASHI, Kazumasa ANDO, Hiroshi YOSHIDA, Tomoshito MURAYAMA, Yukihiro NISHIDA, "Noise Ketsugogata Feedforward $\Delta\Sigma$ AD Henchoki no Teian", The 21st Workshop on Circuits and Systems in Karuizawa Ronbunshu, 21 April 2008 (21.04.2008), pages 69 to 74	4 1-3,5
Y A	JP 2006-13705 A (Semiconductor Technology Academic Research Center), 12 January 2006 (12.01.2006), paragraphs [0059] to [0062]; fig. 1 & US 2005/0285766 A1	5 1-4
Y A	JP 2002-527978 A (Koninklijke Philips Electronics N.V.), 27 August 2002 (27.08.2002), paragraphs [0019] to [0020]; fig. 1 & US 6590943 B1 & GB 9821839 A0 & EP 1046233 A & WO 2000/022735 A1 & DE 69917431 T & CN 1290427 A	5 1-4



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H03M3/02(2006.01)i, H03H19/00(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H03M3/02, H03H19/00

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2010年  
 日本国実用新案登録公報 1996-2010年  
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	Hao San, Haruo Kobayashi, Complex Bandpass $\Delta \Sigma$ AD Modulator with Noise-coupled Architecture, Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on, 2008. 08, p. 486-489	1-3 4, 5
Y A	JP 2006-352455 A (株式会社半導体理工学研究センター) 2006. 12. 28, 段落【0011】～【0017】, 段落【0040】～【0060】, 図21 & US 2006/0284751 A1	4, 5 1-3

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 20.04.2010	国際調査報告の発送日 27.04.2010		
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員)	5 K	9 2 9 7
	北村 智彦 電話番号 03-3581-1101 内線 3556		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	小長谷肇, 傘 昊, 小林春夫, 安藤和正, 吉田博史, 村山知支人, 西田幸弘, ノイズ結合型フィードフォワード $\Delta\Sigma$ AD変調器の提 案, 第21回 回路とシステム軽井沢ワークショップ 論文集, 2008.04.21, p.69-74	4 1-3, 5
Y A	JP 2006-13705 A (株式会社半導体理工学研究センター) 2006.01.12, 段落【0059】～【0062】, 図1 & US 2005/0285766 A1	5 1-4
Y A	JP 2002-527978 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2002.08.27, 段落【0019】～【0020】, 図1 & US 6590943 B1 & GB 9821839 A0 & EP 1046233 A & WO 2000/022735 A1 & DE 69917431 T & CN 1290427 A	5 1-4