

(19) 世界知的所有権機関  
国際事務局



PCT

(10) 国際公開番号

WO 2009/088020 A2

(43) 国際公開日  
2009年7月16日 (16.07.2009)

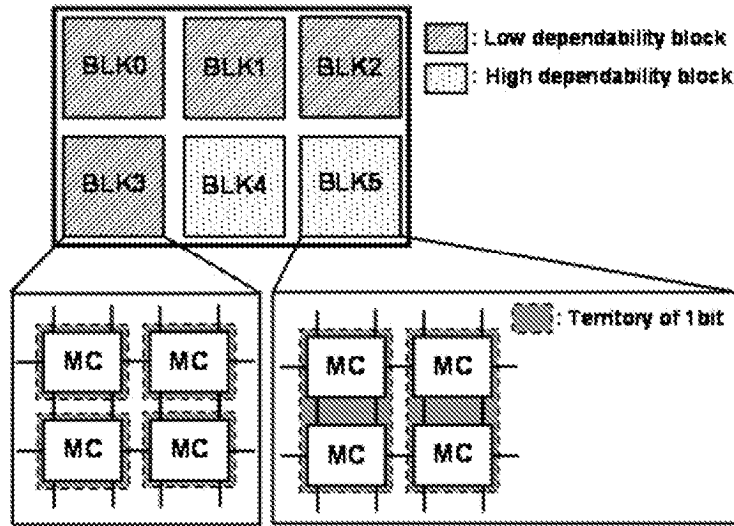
- (51) 国際特許分類:  
*G11C 11/41* (2006.01)     *G11C 11/412* (2006.01)  
*G11C 11/401* (2006.01)
- (21) 国際出願番号:                                     PCT/JP2009/050086
- (22) 国際出願日:     2009年1月7日 (07.01.2009)
- (25) 国際出願の言語:                                         日本語
- (26) 国際公開の言語:                                         日本語
- (30) 優先権データ:  
特願2008-000357     2008年1月7日 (07.01.2008)     JP
- (71) 出願人 (米国を除く全ての指定国について): 財団  
法人新産業創造研究機構 (THE NEW INDUSTRY  
RESEARCH ORGANIZATION) [JP/JP]; 〒6500047 兵  
庫県神戸市中央区港島南町 1-5-2 神戸キメッ  
クセンタービル 6 F Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吉本 雅彦  
(YOSHIMOTO, Masahiko) [JP/JP]; 〒6578501 兵庫  
県神戸市灘区六甲台町 1-1 国立大学法人神戸  
大学内 Hyogo (JP). 川口 博 (KAWAGUCHI, Hiroshi)  
[JP/JP]; 〒6578501 兵庫県神戸市灘区六甲台町 1-  
1 国立大学法人神戸大学内 Hyogo (JP). 藤原 英弘  
(FUJIWARA, Hidehiro) [JP/JP]; 〒6578501 兵庫県神  
戸市灘区六甲台町 1-1 国立大学法人神戸大学  
内 Hyogo (JP). 奥村 俊介 (OKUMURA, Shunsuke)  
[JP/JP]; 〒6578501 兵庫県神戸市灘区六甲台町 1-1  
国立大学法人神戸大学内 Hyogo (JP).
- (74) 代理人: 小倉 啓七 (OGURA, Keishichi); 〒5810867 大  
阪府八尾市山本町 5-8-6 Osaka (JP).

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY AND PROGRAM

(54) 発明の名称: 半導体メモリおよびプログラム

[図4]



(57) **Abstract:** A memory wherein the bit reliability of the memory cells can be dynamically varied depending on the application or the memory status, the operation stability is ensured, and thereby a low power consumption and a high reliability are realized. Either a mode (a 1-bit/1-cell mode) in which one bit is composed of one memory cell or a mode (a 1-bit/n-cell mode) in which one bit is composed of  $n$  ( $n$  is two or more) connected memory cells is dynamically selected. When the 1-bit/n-cell mode is selected, the read/write stability of one bit is enhanced, the cell current during read is increased (read is speeded up), and a bit error, if occurs, is self-corrected. Especially, a pair of CMOS transistors and a control line for performing control so as to permit the CMOS transistors to

conduct are added between the data holding nodes of  $n$  adjacent memory cells. With this, the word line (WL) is controlled, and thereby the operation stability is further improved.

(57) **要約:** アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定性を確保して低消費電力化および高信頼性化を実現できるメモリを提供する。1ビットが1個のメモリセルで構成されるモード (1ビット/1セルモード) と、1ビットが $n$  ( $n$ は2以上) 個のメモリセルを連結して構成されるモード (1ビット/ $n$ セルモード) とを動的に切り替える。1ビット/ $n$ セルモードに切り替えることにより、1ビットの読み出し/書き込み安定性の増大および読み出し動作のセル電流の増大 (読み出し動作の高速化) を行い、またビットエラーの自己修復を行う。特に、隣接する $n$ 個のメモリセルのデータ保持ノード間に、1対のCMOSトランジスタと、該CMOSトランジスタが導通するように制御する1本の制御ラインを更に追加して、ワードライン (WL) を制御することで、更に動作の安定性を向上する。



WO 2009/088020 A2



- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書なし ; 報告書を受け取り次第公開される。

## 明 細 書

### 半導体メモリおよびプログラム

#### 技術分野

- [0001] 本発明は、ダイナミックに信頼性を制御可能な半導体メモリに関するもので、特に、メモリの電力消費量、メモリ容量の要求、ビット信頼性の重要度に応じてQoB(Quality of Bit)が変化できる半導体メモリおよび当該メモリをドライブするプログラムに関するものである。

#### 背景技術

- [0002] 近年のSRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等のメモリは、SoCに搭載されるCMOSプロセス技術が進展し、集積回路の加工寸法(スケーリングサイズ)が縮小され、より高いチップ密度と低いチップコストが実現され、メモリ容量が増大している。このようなスケーリングサイズの縮小は、SRAM等のメモリセルを構成するトランジスタのしきい値電圧のばらつきを拡大し、メモリセルにおける読み出しや書き込みのノイズマージンを低下させ、メモリセル動作を不安定化し、ビット誤り率(BER; Bit Error Rate)を増大させる。また、回路の動作電圧とノイズマージンが低下したことにより、宇宙線に起因するソフトエラーが無視できなくなっている。
- [0003] 図1は、LSIの製造プロセスノードに対するSRAMの動作限界電圧を示すグラフである。LSIの製造プロセスノードが250nmから130nm, 90nmとなるに従って、標準動作電圧と動作限界電圧との間の動作マージンが減少していく様子が示されている。スケーリングサイズが更に縮小してLSIの製造プロセスノードが65nmとなると、標準動作電圧と動作限界電圧とが逆転することが予想され、ビット誤り率(BER)が急激に増大することになる。
- [0004] BERを減少させるための対策として、メモリセルのトランジスタ数を増やす方法がある。しかし、トランジスタ数を増やす方法は、メモリセルの面積オーバーヘッドが大きいといった問題や、また差動読み出しができないため速度オーバーヘッドがあるといった問

題がある。BERを減少させるための他の対策としては、メモリセル動作を電流制御ではなく電圧制御にする方法がある。しかし、電圧制御にする方法は、別電源や追加回路などが別途必要となるといった問題がある。

[0005] また一方で、信頼性の重要性はアプリケーションに依存し、信頼性が必要なアプリケーションと信頼性が不必要なアプリケーションが存在する。高い信頼性が必要なアプリケーションとしては、例えば、暗号処理である。反対に、高い信頼性が不必要なアプリケーションとしては、例えば、スクリーンセーバ処理やビデオなどの動画像処理である。

[0006] 図2に従来のSRAMの構成模式図を例示する。従来のSRAMの構成の場合は、どのブロック(図中におけるBLK0～BLK5)においても同じ信頼性をもつものである。各ブロックには、多数のメモリセル(MC:Memory Cell)が存在しており、1ビットは1つのメモリセルで構成される。以下では、1ビットが1つのメモリセルによって構成されるものを1ビット/1セルモードと定義する。1ビットの信頼性は、メモリセルを構成するトランジスタのプロセスによるばらつきに大きく依存する。

また、スケールングにより製造プロセスノードが細くなると、動作マージンが低下するため、プロセスばらつきが1ビットの信頼性に大きく影響することになる。

従来のSRAMに関連する技術としては、例えば、特許文献1および特許文献2が知られている。

[0007] 特許文献1:特開2005-25863号公報

特許文献2:特開2003-132684号公報

発明の開示

発明が解決しようとする課題

[0008] 上述したように、プロセスの微細化に伴い、メモリセルを構成するトランジスタのしきい値電圧のばらつきが増大して、SRAM等のメモリを構成するメモリセルの動作マージンが劣化し、メモリセルの動作安定性が阻害されているという問題がある。

[0009] 一方で、メモリはモバイルなどに搭載するため、メモリの電力消費量を削減したいといった要求が強く、メモリセルのビット信頼性を確保する手立てを講じる必要がある。またプロセス技術の進歩は目まぐるしく、1チップのメモリ容量は飛躍的に増加して

きている。また、アプリケーションに応じて、メモリの電力消費量の削減要求、必要メモリ容量の確保要求、ビット信頼性の要求は異なるものである。すなわち、アプリケーション毎に求められるQoBは変化するものである。

[0010] 本発明は、アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定性を確保して低消費電力化および高信頼性化を実現できるメモリを提供することを目的とする。

#### 課題を解決するための手段

[0011] 上記目的を達成するため、本発明の第1の観点の半導体メモリによれば、各々の出力が該メモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、前記ビットラインと前記インバータの出力との間に設けられた一対のスイッチ部と、前記スイッチ部の導通が制御し得る1本のワードラインとから構成される半導体メモリのメモリセルにおいて、1ビットが1個の前記メモリセルで構成されるモード(1ビット/1セルモード)と、1ビットが $n$ ( $n$ は2以上)個の前記メモリセルを連結して構成されるモード(1ビット/ $n$ セルモード)とを動的に切り替えることができ、前記1ビット/ $n$ セルモードに切り替えることにより、1ビットの動作安定性の増大および読出し動作のセル電流の増大(読出し動作の高速化)を行い、またビットエラーの自己修復が行える。

[0012] 微細化・大規模化・高機能化が進む近年のSRAMやDRAM等のメモリは、物理的エラー(偶発的に発生するエラー)や人為的エラー(設計、製造、検査プロセスで生じたエラーを内在したまま出荷されたことに起因するエラー)を完全に排除することは困難である。そこで、エラーは必ず存在するという前提に立ち、エラーがあってもそれを改善できるシステムを構築する必要がある。

[0013] また一方で、メモリの信頼性は、動作速度、動作電圧、温度環境、宇宙線に起因するソフトエラーなどの動作環境の変動に左右されるものである。またメモリの信頼性は、製造プロセスやメモリセルの場所などシステムティックな要因でも異なるものである。また上述したように、メモリの信頼性の重要性はアプリケーションに依存し、信頼性が必要なアプリケーションと信頼性が不必要なアプリケーションが存在し、メモリに記憶されるプログラムコードやデータによって必要な信頼性は異なるものである。すなわち

、暗号プログラムや暗号データなど非常に高いメモリの信頼性が必要とされるものがあるのに対して、例えばデスクトップのスクリーンセーブプログラムやそのデータといったようにメモリの信頼性が特に要求されないものがある。

[0014] 本発明の第1の観点の半導体メモリによれば、1ビット/1セルモードと1ビット/nセルモードとを動的に切り替えることができることから、例えば、OS(オペレーティングシステム: Operating System)などのプログラムが、動作環境(動作速度、動作電圧、温度環境、ソフトエラー)や変動するメモリ占有率に応じて、アロケートするメモリ空間の信頼性を制御することができる。すなわち、動作環境(動作速度、動作電圧、温度環境、ソフトエラー)によって、1ビット/1セルモードと1ビット/nセルモードとを動的に切り替えたり、またメモリ占有率が低い場合には積極的に1ビット/nセルモードにして高信頼性を得るのである。例えば、モバイルのバッテリーが少なくなるとメモリセルの動作電圧が下がることから動作マージンが少なくなるが、本発明の第1の観点の半導体メモリでは、1ビット/nセルモードへ動的に切り替えることで、動作マージンを改善でき、1ビットの読み出し/書き込み安定性を増大できるのである。

また、1ビット/nセルモードに切り替えることにより、読出し動作のセル電流が増大できる。すなわち、読出し動作の高速化を行うことができるのである。

[0015] 上記の本発明の第1の観点の半導体メモリにおけるメモリセル構成は、従来のSRAMの典型的な回路構成であるが、この従来構成のメモリセルをn(nは2以上)個連結して構成されるモード(1ビット/nセルモード)で使用することにより、ビットエラーの自己修復が行えることになる。

[0016] また本発明の第1の観点の半導体メモリによれば、ビットエラーの自己修復が行えることから、製造時や検査時に低マージンが発覚したメモリセルは1ビット/nセルモードにすることによりメモリの信頼性を確保することができる。また、動作時に低マージンが検出されたメモリセルは、動的に1ビット/nセルモードにすることによりメモリの信頼性を確保することができる。

[0017] さらに本発明の第1の観点の半導体メモリによれば、1ビット/1セルモードから1ビット/nセルモードに切り替えることにより、メモリセルに保持している情報(プログラムコード・データ)を瞬時に破棄することができる。例えば、セキュリティの観点から、タイ

マーを用いた時限動作で情報を破棄することができるのである。

- [0018] 以上説明したように、本発明の第1の観点の半導体メモリによれば、アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定性を確保して低消費電力化および高信頼性化を実現できるのである。
- [0019] また本発明の第2の観点の半導体メモリは、上記の従来SRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のN型MOSトランジスタと、該N型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものである。
- [0020] かかるメモリセル構成によれば、1ビットの読み出し/書き込みの動作安定性を増大でき、動作マージンの改善、動作速度の改善を図ることができ、またビットエラーの自己修復が行えることになる。
- [0021] また本発明の第3の観点の半導体メモリは、上記の従来SRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のP型MOSトランジスタと、該P型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものである。
- [0022] かかるメモリセル構成によれば、1ビットの読み出し/書き込みの動作安定性を増大でき、動作マージンの改善、動作速度の改善を図ることができ、またビットエラーの自己修復が行えることになる。メモリセルのデータ保持ノード間に設けられる1対のMOSトランジスタが、N型とP型の違いによって、1ビットの読み出し/書き込みの動作安定性や動作マージン、動作速度が異なるのであるが、詳細については以下の実施例で述べる。
- [0023] また本発明の第4の観点の半導体メモリは、上記の従来SRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものである。
- [0024] また本発明の第5の観点の半導体メモリは、上記の従来SRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1つのCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御

ラインと、を更に追加した構成とされるものである。

- [0025] また本発明の第6の観点の半導体メモリは、上記の従来SRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のスイッチ部を更に追加した構成とされるものである。
- [0026] また上記第2～第4の観点の半導体メモリにおいて、1ビット/nセルモードでnが2の場合(1ビット/2セルモード)は、2個のメモリセルの2本のワードラインの内、1本のワードラインのみをハイレベルに遷移させることにより、データの読み出し動作の安定性を増大させ得る。
- [0027] また上記第2～第4の観点の半導体メモリにおいて、1ビット/2セルモードの場合、2個のメモリセルの2本のワードラインの内、2本のワードラインをハイレベルに遷移させるよりも、1本のワードラインのみをハイレベルに遷移させる方が、より読み出し動作のセル電流の増大させることができ、すなわち、読み出し動作の高速化が図れ、また、データの読み出し動作の安定性を増大させることができるのである。
- [0028] また上記第2～第4の観点の半導体メモリにおいて、1ビット/nセルモードでnが2の場合(1ビット/2セルモード)は、2個のメモリセルの2本のワードラインをハイレベルに遷移させることにより、データの書き込み動作の安定性を増大させ得る。
- [0029] 上記第2～第4の観点の半導体メモリにおいて、1ビット/2セルモードの場合、2個のメモリセルの2本のワードラインの内、1本のワードラインのみをハイレベルに遷移させるよりも、2本のワードラインをハイレベルに遷移させる方が、よりデータの書き込み動作の安定性を増大させることができるのである。
- [0030] ここで、1ビット/1セルモードと1ビット/nセルモードの切り替えは、メモリブロック単位で行うことが好ましい。周辺回路(XYデコーダ回路、センスアンプ回路)の設計を考慮したものである。なお、モードの切り替えをブロック単位で行う以外に、行単位や列単位などで行ってもかまわない。ただし、行単位や列単位などで行う制御単位のように細かくなりすぎると制御方法が複雑になってしまうため、ブロック単位にモードの切り替えを行う方が適切と考える。
- [0031] 本発明の第7の観点の半導体メモリによれば、電荷を蓄えるためのキャパシタと、該キャパシタへの電荷の充放電を制御するアクセストランジスタと、該アクセストランジスタ



タを制御し得る1本のワードラインとから構成される半導体メモリのメモリセルにおいて、1ビットが1個の前記メモリセルで構成されるモード(1ビット/1セルモード)と、1ビットがn(nは2以上)個の前記メモリセルを連結して構成されるモード(1ビット/nセルモード)とを動的に切り替えることができ、前記1ビット/nセルモードに切り替えることにより、1ビットの動作安定性の増大および読出し動作のセル電流の増大(読出し動作の高速化)を行い、またビットエラーの自己修復が行える

[0032] 上記の本発明の第7の観点の半導体メモリにおけるメモリセル構成は、従来のDRAMの典型的な回路構成であるが、この従来DRAM構成のメモリセルをn(nは2以上)個連結して構成されるモード(1ビット/nセルモード)を使用することにより、データを保持しているキャパシタのばらつきを補正することが可能となる。

[0033] 本発明の第8の観点の半導体メモリは、上記の従来DRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接するメモリセルのデータ保持ノード間に、1つのCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものである。かかる構成によれば、従来DRAM構成のメモリセルと比べて、データを保持しているキャパシタのばらつきを補正することが可能となる。

[0034] 本発明の第9の観点の半導体メモリは、上記の従来DRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接するメモリセルのデータ保持ノード間に、1つのN型MOSトランジスタと、該N型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものである。かかる構成によれば、従来DRAM構成のメモリセルと比べて、データを保持しているキャパシタのばらつきを補正することが可能となる。

[0035] 本発明の第10の観点の半導体メモリは、上記の従来DRAM構成のメモリセルにおいて、1ビット/nセルモードは、隣接するメモリセルのデータ保持ノード間に、1つのスイッチ部を追加した構成とされるものである。かかる構成によれば、従来DRAM構成のメモリセルと比べて、データを保持しているキャパシタのばらつきを補正することが可能となる。

[0036] 次に、本発明のプログラムについて説明する。本発明のプログラムは、例えばOSの

システムコール関数であり、以下に述べるステップをコンピュータに実行させて、上記本発明の半導体メモリの動的に信頼性を変更できる機能を効率的に発揮させるものである。

[0037] 先ず、本発明の第1の観点のプログラムは、メモリ占有率が所定の閾値以下の場合に、1ビット/1セルモードから1ビット/nセルモードに切り替えるステップをコンピュータに実行させるものである。

かかる第1の観点のプログラムによれば、メモリ占有率が低い場合には、積極的に1ビット/nセルモードに切り替え、高信頼性を得ることができる。

[0038] また、本発明の第2の観点のプログラムは、バッテリー残容量が所定の閾値以下になった場合に、1ビット/1セルモードから1ビット/nセルモードに切り替えるステップをコンピュータに実行させるものである。

かかる第2の観点のプログラムによれば、モバイルなどにおいてバッテリー残容量が所定の閾値以下になり、メモリの動作電圧が低くなった場合に、1ビット/nセルモードに切り替え、動作マージンを改善し、また、動作の安定性を増大することができる。

[0039] また、本発明の第3の観点のプログラムは、メモリセルの動作速度または動作電圧が所定の閾値以下になった場合に、1ビット/1セルモードから1ビット/nセルモードに切り替えるステップをコンピュータに実行させるものである。

かかる第3の観点のプログラムによれば、メモリセルの動作速度または動作電圧が所定の閾値以下になった場合に、1ビット/nセルモードに切り替え、1ビットの動作速度を改善し、また、動作マージンを改善することができる。

[0040] また、本発明の第4の観点のプログラムは、メモリセルの動作マージンが所定の閾値以下になった場合に、1ビット/1セルモードから1ビット/nセルモードに切り替えるステップをコンピュータに実行させるものである。

かかる第4の観点のプログラムによれば、メモリセルの動作マージンが所定の閾値以下になった場合に、1ビット/nセルモードに切り替え、1ビットの動作マージンを改善することができる。

[0041] また、本発明の第5の観点のプログラムは、メモリセルの保持状態を破棄すべき条件が成立した場合に、1ビット/1セルモードから1ビット/nセルモードに、或いは1ビ

ット／nセルモードから1ビット／1セルモードに切り替えるステップをコンピュータに実行させるものである。

かかる第5の観点のプログラムによれば、例えばOSのシステムコールにより情報の破棄を実行したり、セキュリティ面から時限動作によってメモリセルの保持状態を破棄すべき条件が成立した場合に、1ビット／1セルモードから1ビット／nセルモードに、或いは1ビット／nセルモードから1ビット／1セルモードに切り替え、瞬時に保持情報を破棄することができる。

### 発明の効果

- [0042] 本発明の半導体メモリによれば、アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定化および高速化を図り、低消費電力化および高信頼性化を実現できるといった効果がある。

### 発明を実施するための最良の形態

- [0043] 以下、本発明の実施形態について、図面を参照しながら詳細に説明していく。

- [0044] 図3は、従来のSRAMに用いられるメモリセルの構成の一例を示す回路図である。図3に示すSRAMメモリセル(MC01)は、電源電位VDDおよび接地電位VSSの間に直列に接続されるP型MOSトランジスタ(M00)およびN型MOSトランジスタ(M02)と、電源電位VDDおよび接地電位VSSの間に直列に接続されるP型MOSトランジスタ(M01)およびN型MOSトランジスタ(M03)とからなるラッチ回路を備えている。

- [0045] P型MOSトランジスタ(M00)およびN型MOSトランジスタ(M02)のゲート端子は、共にP型MOSトランジスタ(M01)およびN型MOSトランジスタ(M03)のノード(N01)に接続されている。また、P型MOSトランジスタ(M01)およびN型MOSトランジスタ(M03)のゲート端子は、共にP型MOSトランジスタ(M00)およびN型MOSトランジスタ(M02)のノード(N00)に接続されている。このようにM00～M03のトランジスタはクロスカップル接続されているため、P型MOSトランジスタ(M00, M01)は負荷トランジスタとして動作し、N型MOSトランジスタ(M02, M03)は駆動トランジスタとして動作する。

- [0046] またメモリセル(MC01)は、相補なビットライン(BL, /BL)と、ノード(N00, N01)

との間にそれぞれ接続されたN型MOSトランジスタ(M04、M05)のスイッチ部を備える。N型MOSトランジスタ(M04、M05)のゲート端子は、共に共通のワードライン(WL)に接続されており、N型MOSトランジスタ(M04、M05)のゲート電位はワードライン(WL)により制御される。

- [0047] 従来のSRAMに用いられるメモリセルは、P型MOSトランジスタ(M00、M01)を負荷トランジスタとし、N型MOSトランジスタ(M02、M03)を駆動トランジスタし、N型MOSトランジスタ(M04、M05)をスイッチ部とする、MOSトランジスタ6個によりSRAMメモリセルが構成される。
- [0048] 次に、SRAMメモリセル(MC01)の動作について説明する。まず、SRAMメモリセル(MC01)の読出し動作の一例として、SRAMメモリセル(MC01)において、ノード(N00)がローレベル”L”、ノード(N01)がハイレベル”H”である場合の読出し動作について説明する。SRAMメモリセル(MC01)の読出し動作の前に、ワードライン(WL)にローレベル”L”を加えた状態で、所定のプリチャージ期間だけビットライン(BL、/BL)に電源電位VDDを印加してハイレベル”H”とする。
- [0049] これにより、ビットライン(BL、/BL)では、配線容量に対する充電が行われ、プリチャージ期間の完了後でも略電源電位VDDが保持される。プリチャージ期間の完了後、ワードライン(WL)をローレベル”L”からハイレベル”H”に遷移させて読出し動作を行う。これによりN型MOSトランジスタ(M04)およびN型MOSトランジスタ(M02)を介して、ビットライン(BL)から接地電位VSSの向きに読出し電流が流れ、ビットライン(BL)の電位はハイレベル”H”からローレベル”L”に遷移する。
- [0050] なお、この読出し電流が流れることで、N型MOSトランジスタ(M02)およびN型MOSトランジスタ(M04)のオン抵抗の按分に応じて、ノード(N00)の電圧がローレベル”L”から上昇する。
- [0051] ビットライン(/BL)の電位は、ハイレベル”H”の状態が維持されており、ビットライン(BL、/BL)の電位は、それぞれローレベル”L”およびハイレベル”H”の状態となる。そして、この状態がビットライン(BL、/BL)を差動入力とするセンスアンプ(図示せず)により検知され、SRAMメモリセル(MC01)の記憶内容が外部に読出されることとなる。

- [0052] ここで、P型MOSトランジスタ(M01)およびN型MOSトランジスタ(M03)からなるインバータが反転するスレッシュホールド電圧をノード(N00)の電圧が上回らないようにする必要があるので、N型MOSトランジスタ(M02)のコンダクタンスは、N型MOSトランジスタ(M04)のコンダクタンスよりも大きく設定されなければならない( $M02 > M04$ )。
- [0053] 次に、書き込み動作の一例として、SRAMメモリセル(MC01)において、書き込み動作前には、ノード(N00)がハイレベル”H”、ノード(N01)がローレベル”L”の状態にあるものとし、ノード(N00)がローレベル”L”、ノード(N01)がハイレベル”H”に書き換えられる場合の書き込み動作について説明する。
- [0054] まず、ライトアンプ(図示せず)により、ビットライン(BL)にローレベル”L”が印加され、ビットライン(/BL)にハイレベル”H”が印加される。またワードライン(WL)にハイレベル”H”が印加される。これにより、SRAMメモリセル(MC01)は、N型MOSトランジスタ(M04, M05)で構成されるスイッチ部が導通し、P型MOSトランジスタ(M00)およびN型MOSトランジスタ(M04)を介して、電源電位VDDからビットライン(BL)の向きに書き込み電流が流れることになる。書き込み電流が流れることで、P型MOSトランジスタ(M00)およびN型MOSトランジスタ(M04)のオン抵抗の按分に応じて、ノード(N00)の電圧がハイレベル”H”から下降する。
- [0055] ここで、P型MOSトランジスタ(M01)およびN型MOSトランジスタ(M03)からなるインバータが反転するスレッシュホールド電圧を、ノード(N00)の電圧が下回るようにする必要があるので、P型MOSトランジスタ(M00)のコンダクタンスは、N型MOSトランジスタ(M04)のコンダクタンスよりも小さく設定されなければならない(すなわち、 $M04 > M00$ )。
- [0056] ノード(N00)の電圧がスレッシュホールド電圧を下回ると、ノード(N01)の電圧がローレベル”L”からハイレベル”H”に反転されるため、P型MOSトランジスタ(M00)およびN型MOSトランジスタ(M02)からなるインバータの出力が、ハイレベル”H”からローレベル”L”に反転されて、SRAMメモリセル(MC01)の書き込み動作が完了する。
- [0057] 上述したように、SRAMメモリセル(MC01)において、読出し動作時のコンダクタンスの条件( $M02 > M04$ )、書き込み動作時のコンダクタンスの条件( $M04 > M00$ )か

ら、コンダクタンスの条件として、 $(M02 > M00)$ の関係が成り立つ。かかるコンダクタンスの条件の場合、P型MOSトランジスタ(M00)およびN型MOSトランジスタ(M02)により構成されるインバータのスレッシュホールド電圧は、通常の電源電圧の1/2よりも下回ることになる。従って、近年の半導体集積回路の低電源電圧化により電源電圧が低下すると、SRAMメモリセル(MC01)のインバータのスレッシュホールド電圧も相対的に低下することとなる。このスレッシュホールド電圧がスタティックノイズレベルを下回ると、メモリセルのインバータが反転し、メモリセルの記憶内容が変化するというエラーが生じるのである。

[0058] なお、メモリセルの記憶内容の保持性を確保するためには、スレッシュホールド電圧の引き上げる方法があり、例えばコンダクタンスの条件として、P型MOSトランジスタ(M00)とN型MOSトランジスタ(M02)のコンダクタンスを略等しくすることにより、スレッシュホールド電圧を引き上げることができる。しかしながら、プロセスのバラつきなどにより、読出し動作時のコンダクタンスの条件( $M02 > M04$ )を満たせない場合、或いは、書き込み動作時のコンダクタンスの条件( $M04 > M00$ )を満たせない場合には、読出し/書き込み動作を安定的に行うことが困難になるといった問題がある。

[0059] 以下に説明するメモリセルの実施例では、従来のメモリセルと比べて、低電源電圧の場合においても、メモリセルにおいて記憶内容を確実に保持することができ、またメモリセルに対する読出し/書き込み動作の安定化を図ることができるのである。

### 実施例 1

[0060] 実施例1の半導体メモリの構成図を図4に示す。図4において、ブロック(BLK0~BLK4)は、1ビットが1個のメモリセルで構成されるモード(1ビット/1セルモード)で動作するブロックであるのに対して、ブロック(BLK4~BLK5)は、1ビットが2個のメモリセルを連結して構成されるモード(1ビット/2セルモード)で動作するブロックである。1ビット/1セルモードのブロック(BLK0~BLK4)は、暗号プログラムや暗号データなどの重要なプログラムコードやデータを記憶しておらず、それらの重要なプログラムコードやデータは1ビット/2セルモードのブロック(BLK4~BLK5)の方に記憶される。1ビット/2セルモードのブロック(BLK4~BLK5)は、1ビット/1セルモードのブロック(BLK0~BLK4)と比べて、メモリ容量は半分になる反面、優れたQoBを実現

する。以下、QoBの制御方法について説明する。

[0061] 実施例1の半導体メモリでは、図5に示されるように上述した従来のSRAMに用いられるメモリセルを2個連結した回路構成となる。

すなわち、実施例1に係るメモリセル(MC01, MC10)は、各々の出力が該メモリセルの列に対応して配置される一対のビットライン(BL, /BL)の各々に至る経路に接続されるクロスカップル接続された一対のインバータ(M00~M03のMOSトランジスタ、或いは、M10~M13のMOSトランジスタで構成)と、ビットライン(BL, /BL)とインバータの出力との間に設けられた一対のスイッチ部(M04とM05のMOSトランジスタ、或いは、M14とM15のMOSトランジスタで構成)と、スイッチ部の導通が制御し得る1本のワードライン(WL[0], WL[1])とから構成されるものである。2個のメモリセル(MC01, MC10)を連結したものを1ビット領域とし、1ビット/2セルモードのブロック(BLK4~BLK5)を構成させる。一方、1ビット/1セルモードのブロック(BLK0~BLK3)では、従来同様にメモリセル1個が1ビット領域である。

[0062] 2個のメモリセル(MC01, MC10)を連結したものを1ビット領域とする1ビット/2セルモードにおいては、2個のメモリセル(MC01, MC10)には同じデータが保持されるため、読出し/書き込み動作の際は、2本のワードライン(WL[0], WL[1])がハイモード”H”にドライブされる(WL[0]=”H”, WL[1]=”H”)。

なお、1ビット/1セルモードと1ビット/2セルモードの両方のモードにおいて、ワードラインの制御を除いて、読出しアクセスと書き込みアクセスは同じ処理となる。

[0063] 次に、図6~図7を参照して、1ビット/2セルモードの優位性を説明する。

図6のグラフは、モンテカルロシミュレーションを用いて、90nmプロセステクノロジーのメモリセルにおいて、1ビット/1セルモードと1ビット/2セルモードの読出し電流を比較したものである。

[0064] 図6のグラフによれば、1ビット/2セルモードの読出し電流が1ビット/1セルモードの読出し電流の2倍以上大きいことになり、セル電流の増大(動作速度の改善)が示されている。

[0065] これに対して、実施例1のメモリセル(1ビット/2セルモード)の場合、アクセスされたメモリセルが不良だとしても、2つのメモリセルの内いずれか1つのメモリセルが正常

であり、その保持データが正しいものであれば、不良のメモリセルの保持データは、正常なメモリセルの保持データによって修復されるのである。

[0066] 図7のグラフは、この自己修復機能を説明するもので、ビットライン(BL, /BL)およびワードライン(WL[0], WL[1])の電位の変化に対するノード電位(N00, N01, N10, N11)の遷移の様子を示している。ここで、正常なメモリセルをMC01、不良のメモリセルをMC10としている。不良メモリセルMC10のデータが読出し動作時に破壊されたとしても、正常なメモリセルMC01によって、ビットラインが正常に引き抜かれる(BL="L", /BL="H")ため、ビットラインの電位差の影響によって、MC10に元のデータが復元されるのである。

[0067] 図8に実施例1の1ビット領域のメモリセルのレイアウト図を示す。従来のSRAMに用いられるメモリセルのレイアウト面積と比べて面積オーバーヘッドは無い。

[0068] ここで、90nmプロセステクノロジーのダイナミックセル安定性シミュレーションによって得られるビット誤り率(BER)を用いて、1ビット/2セルモードのQoBを評価する。

[0069] 図9と図10のグラフは、従来のSRAMのメモリセルと実施例1の1ビット/2セルモードのメモリセルについて、読出し動作時のBERの比較のシミュレーション結果である。図9のグラフは読出し動作を高速動作で行った場合、具体的にはワードライン(WL)のパルス幅が1nsの場合である。また、図10のグラフは読出し動作を低速動作で行った場合、具体的にはワードライン(WL)のパルス幅が20nsの場合である。

[0070] 図9(高速動作時の比較)のグラフから、実施例1の1ビット/2セルモードのメモリセルにおいて、ワードライン(WL)を2本立ち上げることにより、動作速度が改善されることがわかる。具体的には、図9のグラフにおいて、BERが $10^{-3}$ となる電圧が50mV改善されている。

[0071] また、図10(低速動作時の比較)のグラフから、実施例1の1ビット/2セルモードのメモリセルにおいて、自己修復機能により従来のSRAMのメモリセル(1ビット/1セルモード)と比べて低電圧動作が可能であることがわかる。具体的には、図10のグラフにおいて、BERが $10^{-3}$ となる電圧が80mV改善されている。

[0072] シミュレーションには、図11に示すような読出し動作/書き込み動作におけるシミュ



レーション波形を用いている。図11(a)は読出し動作におけるシミュレーション波形を示しており、また図11(b)は書き込み動作におけるシミュレーション波形を示している。シミュレーションのパス条件を下記(1)～(5)に示す。なお、書き込み動作においては、従来のSRAMのメモリセルと実施例1の1ビット/2セルモードのメモリセルに差は現れなかった。

[0073] a) 読出し動作の場合

$$V(N00) < V(N01) \dots (1)$$

$$V(N10) < V(N11) \dots (2)$$

$$V(\text{/BL}) \geq V(\text{BL}) + 50\text{mV} \dots (3)$$

b) 1ビット/1セルモードにおける書き込み動作の場合

$$V(N00) > V(N01) \dots (4)$$

c) 1ビット/2セルモードにおける書き込み動作の場合

$$V(N00) > V(N01) \dots (4)$$

$$V(N10) > V(N11) \dots (5)$$

[0074] 以上のことから、実施例1の1ビット/2セルモードのメモリセルにおける2本のワードライン(WL[0], WL[1])を立ち上げるドライブ方法は、読出し動作において、従来のメモリセル(1ビット/1セルモード)のドライブ方法と比べて、高いQoBを実現でき、優位性があることがわかる。

## 実施例 2

[0075] 次に、実施例2の半導体メモリは、実施例1の半導体メモリのメモリセルよりも信頼性が増大できるメモリセルで構成されるものである。

図12は、実施例2のメモリセルの回路構成図を示している。図12に示されるように、実施例2の半導体メモリにおけるメモリセルは、実施例1に係るメモリセル(MC01, MC10)のデータ保持ノード間(N00とN10の間、N01とN11の間)に、1対のN型MOSトランジスタ(M20, M21)と、該N型MOSトランジスタ(M20, M21)が導通するように制御し得る1本の制御ライン(CTRL)を追加した構成とされるものである。

[0076] 実施例2のメモリセルにおいて、制御ライン(CTRL)がローレベル”L”の時は、追加された一対のN型MOSトランジスタ(M20, M21)は作動しないので、データ保持ノ

ード間(N00とN10の間、N01とN11の間)は切断状態となる。この切断状態で読出し/書き込みアクセスにおいて、1つのワードライン(WL)が立ち上がると(WL[0]="H", WL[1]="L")、従来のメモリセルと同様な構成となり、従来と同じで低いQoBとなる。また、切断状態で読出し/書き込みアクセスにおいて、2つのワードライン(WL)が立ち上がると(WL[0]="H", WL[1]="H")、実施例1のメモリセルと同様な構成となり、高いQoBを実現できる。

[0077] 一方、実施例2のメモリセルにおいて、制御ライン(CTRL)がハイレベル"H"となり、追加された一対のN型MOSトランジスタ(M20、M21)が作動する場合は、データ保持ノード間(N00とN10の間、N01とN11の間)が直接つながることになり、読出し/書き込み動作時のメモリセルのばらつきを補正することができるのである。片方のメモリセルが正常なセルである場合、もう一方のメモリセルが不良セルであったとしても、追加N型MOSトランジスタが導通しているので、不良セルの"L"レベルの電位の上昇を抑えることができるのである。

[0078] また、実施例2のメモリセルにおいて、制御ライン(CTRL)がハイレベル"H"で、1つのワードライン(WL)が立ち上がると(WL[0]="H", WL[1]="L")、読出し安定性が増大して高いQoBを実現できる。また、2つのワードライン(WL)が立ち上がると(WL[0]="H", WL[1]="H")、セル電流が改善されるため高速動作が可能となり、また書き込み安定性も増大して高いQoBを実現できる。

[0079] 図13に実施例2の1ビット領域のメモリセルのレイアウト図を示す。従来のSRAMに用いられるメモリセルのレイアウト面積と比べた面積オーバーヘッドは30%である。

[0080] ここで、90nmプロセステクノロジーのダイナミックセル安定性シミュレーションによって得られるビット誤り率(BER)を用いて、1ビット/2セルモードのQoBを評価する。なお、シミュレーションには、実施例1と同様に、図11に示すような読出し動作/書き込み動作におけるシミュレーション波形を用いている。

[0081] 図14～図15のグラフは、従来のSRAMのメモリセルと実施例2の1ビット/2セルモードのメモリセルについて、読出し動作時のBERの比較のシミュレーション結果である。図14のグラフは読出し動作を高速動作で行った場合、具体的にはワードライン(WL)のパルス幅が1nsの場合である。また、図15のグラフは読出し動作を低速動作

で行った場合、具体的にはワードライン(WL)のパルス幅が20nsの場合である。

また、図16のグラフは、従来のSRAMのメモリセルと実施例2の1ビット／2セルモードのメモリセルについて、書き込み動作時のBERの比較のシミュレーション結果である。ワードライン(WL)のパルス幅は20nsである。

[0082] 図14(高速動作時の比較)のグラフから、実施例2の1ビット／2セルモードのメモリセルにおいて、従来の1ビット／2セルモードのメモリセルに比べて読出し安定性が増大し、またワードライン(WL)を2本立ち上げることにより、高速動作時における読出し安定性が更に増大することがわかる。具体的には、図14のグラフにおいて、従来のメモリセルと比較して、BERが $10^{-3}$ となる電圧が120mV改善されている。このことから、追加トランジスタによりデータ破壊エラーを防ぐことができ、実施例1よりも低電圧動作が可能となることがわかる。

[0083] また、図15(低速動作時の比較)のグラフから、実施例2の1ビット／2セルモードのメモリセルにおいて、従来の1ビット／2セルモードのメモリセルに比べ読出し安定性が増大しており、特にワードライン(WL)を1本だけ立ち上げた方が、動作マージンが改善され、低電圧動作においてBERの改善が見られ、低速動作時における読出し安定性が更に増大することがわかる。具体的には、図15のグラフにおいて、1本だけWLを立ち上げることにより、従来のメモリセルと比較してBERが $10^{-3}$ となる電圧が160mV改善されている。

[0084] また、図16(書き込み動作時の比較)のグラフから、実施例2の1ビット／2セルモードのメモリセルにおいて、従来の1ビット／2セルモードのメモリセルに比べ書き込み安定性が改善されていることがわかる。

[0085] 以上のことから、実施例2の1ビット／2セルモードのメモリセルは、従来のメモリセル(1ビット／1セルモード)のドライブ方法と比べて、読出し／書き込み動作の安定性が増大し、高いQoBを実現でき、優位性があることがわかる。

また、高速動作による読出しの場合は、ワードラインを2本立ち上げてメモリセルにアクセスする方が、更に読出し動作の安定性が増大して、より高いQoBを実現できることになる。また、低速動作による読出しの場合は、ワードラインを1本立ち上げてメモリセルにアクセスする方が、動作マージンが改善され、低電圧動作において読出し動

作の安定性が増大して、より高いQoBを実現できることになる。

[0086] ここで、実施例2のメモリセルを例に挙げて、本発明のメモリセルの周辺回路について図17～図20を参照して説明する。

図17は、実施例1のメモリセルを用いた128kbitのSRAM(512行×8列×32bit/word)に関する回路ブロック図であり、図に示されるように、8個メモリセルブロックと行デコーダ (Row Decoder)と列デコーダ (Col Decoder)と入出力回路(I/O Circuit)と選択回路 (Selector)と制御回路 (Control Circuit)から構成される。図17において、A<11:0>はアドレス入力であり、WE(Write enable)は書き込み許可信号であり(“H”で書き込み)、TWLE(Two Wordline enable)は2本のワードラインの立ち上げ許可信号であり(“H”で2本のワードラインを立ち上げ)、CTRLは1ビット/2セルモードへの切り替え信号であり(“H”で1ビット/2セルモードに切り替え)、DI<31:0>はデータ入力であり、DO<31:0>はデータ出力である。

[0087] また、図18は実施例1のメモリセルのブロック図である。また、図19は行レコーダ回路に関するブロック図であり、ワードライン(WL)を立ち上げる本数((1本もしくは2本)を制御する回路である。また、図20は列デコーダおよび入出力回路に関するブロック図であり、入出力回路(センスアンプ、ライトドライバなど)は、従来のものと同じ回路を用いることが可能である。

[0088] ここで周辺回路である行デコーダ、列デコーダ、メモリセルブロックについて以下説明を行う。

まず、メモリセルブロックの動作について図18を参照して説明する。図18のメモリセルブロック図に示されるように、CTRLが“H”の場合は、メモリセルの追加トランジスタが導通状態となり、ブロック内のメモリセルは1ビット/2セルモードとなる。一方、CTRLが“L”の場合は、ブロック内のメモリセルは1ビット/1セルモードとなる。

[0089] 次に、行デコーダの動作について図19を参照して説明する。図19の行レコーダ回路に関するブロック図に示されるように、アドレス信号A<8:0>, /A<8:0>を用いて行の選択を行う(選択される行のみWLが“H”となる)。また、TWLEを“H”とすることにより2本のワードラインが立ち上がる。また、TWLEを“L”とすることにより1本

のみワードライが立ち上がる。

- [0090] 次に、列デコーダの動作について図20を参照して説明する。図20の列レコーダ回路に関するブロック図に示されるように、選択されるブロックのみCLが”H”となり、CLとWLのANDを取ることにより、選択ブロック内の選択行のアクセストランジスタが導通する。また、CL信号はアドレス信号A<11:9>、 $\neg A<11:9>$ から生成される。

### 実施例 3

- [0091] 次に、実施例3の半導体メモリは、実施例1の半導体メモリのメモリセルよりも信頼性が増大できるメモリセルで構成されるものである。

図21は、実施例3のメモリセルの回路構成図を示している。図21に示されるように、実施例3の半導体メモリにおけるメモリセルは、実施例1に係るメモリセル(MC01, MC10)のデータ保持ノード間(N00とN10の間、N01とN11の間)に、1対のP型MOSトランジスタ(M20, M21)と、該P型MOSトランジスタ(M20, M21)が導通するように制御し得る1本の制御ライン( $\neg CTRL$ )を追加した構成とされるものである。

- [0092] 実施例3のメモリセルにおいて、制御ライン( $\neg CTRL$ )がハイレベル”H”の時は、追加された一対のP型MOSトランジスタ(M20, M21)は作動しないので、データ保持ノード間(N00とN10の間、N01とN11の間)は切断状態となる。この切断状態で読出し/書き込みアクセスにおいて、1つのワードライン(WL)が立ち上がると(WL[0]=”H”, WL[1]=”L”)、従来のメモリセルと同様な構成となり、従来と同じで低い $Q_oB$ となる。また、切断状態で読出し/書き込みアクセスにおいて、2つのワードライン(WL)が立ち上がると(WL[0]=”H”, WL[1]=”H”)、実施例1のメモリセルと同様な構成となり、高い $Q_oB$ を実現できる。

- [0093] 一方、実施例3のメモリセルにおいて、制御ライン( $\neg CTRL$ )がローレベル”L”となり、追加された一対のP型MOSトランジスタ(M20, M21)が作動する場合は、データ保持ノード間(N00とN10の間、N01とN11の間)が直接つながることになり、読出し/書き込み動作時のメモリセルのばらつきを補正することができるのである。すなわち、片方のメモリセルが正常なセルである場合、もう一方のメモリセルが不良セルであったとしても、追加型PMOSTランジスタが導通しているため、不良セルの”H”レベルの電位の低下を抑えることができることになる。

- [0094] また、実施例3のメモリセルにおいて、制御ライン(CTRL)がローレベル”L”で、1つのワードライン(WL)が立ち上がると(WL[0]=”H”, WL[1]=”L”)、読出し安定性が増大して高いQoBを実現できる。また、2つのワードライン(WL)が立ち上がると(WL[0]=”H”, WL[1]=”H”)、セル電流が改善されるため高速動作が可能となり、また書き込み安定性も増大して高いQoBを実現できる。
- [0095] 図22に実施例3の1ビット領域のメモリセルのレイアウト図を示す。従来のSRAMに用いられるメモリセルのレイアウト面積と比べた面積オーバーヘッドは12%である。
- [0096] ここで、90nmプロセステクノロジーのダイナミックセル安定性シミュレーションによって得られるビット誤り率(BER)を用いて、1ビット/2セルモードのQoBを評価する。なお、シミュレーションには、実施例1と同様に、図11に示すような読出し動作/書き込み動作におけるシミュレーション波形を用いている。
- [0097] 図23～図24のグラフは、従来のSRAMのメモリセルと実施例3の1ビット/2セルモードのメモリセルについて、読出し動作時のBERの比較のシミュレーション結果である。図23のグラフは読出し動作を高速動作で行った場合、具体的にはワードライン(WL)のパルス幅が1nsの場合である。また、図24のグラフは読出し動作を低速動作で行った場合、具体的にはワードライン(WL)のパルス幅が20nsの場合である。
- また、図25のグラフは、従来のSRAMのメモリセルと実施例3の1ビット/2セルモードのメモリセルについて、書き込み動作時のBERの比較のシミュレーション結果である。ワードライン(WL)のパルス幅は20nsである。
- [0098] 図23(高速動作時の比較)のグラフから、実施例3の1ビット/2セルモードのメモリセルにおいて、従来の1ビット/2セルモードのメモリセルに比べて読出し安定性が増大し、またワードライン(WL)を2本立ち上げることにより、高速動作時における読出し安定性が更に増大することがわかる。具体的には、図23のグラフにおいて、BERが $10^{-3}$ となる電圧が120mV改善されている。このことから、追加トランジスタによりデータ破壊エラーを防ぐことができるので、実施例1よりも低電圧動作が可能となることがわかる。
- [0099] また、図24(低速動作時の比較)のグラフから、実施例3の1ビット/2セルモードのメモリセルにおいて、従来の1ビット/2セルモードのメモリセルに比べ読出し安定性

が増大しており、特にワードライン(WL)を1本だけ立ち上げた方が、動作マージンが改善され、低電圧動作においてBERの改善が見られ、低速動作時における読出し安定性が更に増大することがわかる。具体的には、図24のグラフにおいて、1本だけWLを立ち上げることにより、従来のメモリセルと比較してBERが $10^{-3}$ となる電圧が130mV改善されている。

[0100] また、図25(書き込み動作時の比較)のグラフから、実施例3の1ビット/2セルモードのメモリセルにおいて、従来の1ビット/2セルモードのメモリセルに比べ書き込み安定性が改善されていることがわかる。

[0101] 以上のことから、実施例3の1ビット/2セルモードのメモリセルは、従来のメモリセル(1ビット/1セルモード)のドライブ方法と比べて、読出し/書き込み動作の安定性が増大し、高いQoBを実現でき、優位性があることがわかる。

また、高速動作による読出しの場合は、ワードラインを2本立ち上げてメモリセルにアクセスする方が、更に読出し動作の安定性が増大して、より高いQoBを実現できることになる。また、低速動作による読出しの場合は、ワードラインを1本立ち上げてメモリセルにアクセスする方が、動作マージンが改善され、低電圧動作において読出し動作の安定性が増大して、より高いQoBを実現できることになる。

[0102] 下記表1は、実施例1~3のメモリセルについて、それぞれのメモリセルの用途による切り替えの指針を示している。上記の説明は1ビット/2セルモードで説明したが、これは1ビット/Mセルモード(Mは2以上)でも同様の効果が期待できる。

[0103] [表1]

	実施例1のメモリセル	実施例2, 3のメモリセル
高速動作	WLをM( $\geq 2$ )本立ち上げてM個のMCにアクセス	WLをM( $\geq 2$ )本立ち上げてM個のMCにアクセス
低電圧動作	WLをM( $\geq 2$ )本立ち上げてM個のMCにアクセス	WLを1本立ち上げてM( $\geq 2$ )個のMCにアクセス
プロセス、電圧、温度(PVT)ばらつき	PVT小: M=1 PVT大: M $\geq 2$	PVT小: M=1 PVT大: M $\geq 2$
アプリケーション	低信頼性で可: M=1 高信頼性: M $\geq 2$	低信頼性で可: M=1 高信頼性: M $\geq 2$
メモリ占有率	占有率高: M=1 占有率低: M $\geq 2$	占有率高: M=1 占有率低: M $\geq 2$

[0104] また、下記表2は、実施例1~3のメモリセルの特徴をまとめたものである。比較のた

め、従来のSRAMメモリセルについて示している。表2において、記号の意味は次の通りである(×:悪い、△:普通、○:良い、◎:優れている)。また表2において、1WL, 2WLとあるのは、それぞれの実施例のメモリセルにおいてワードライン1本を立ち上げるか、若しくはワードライン2本を立ち上げるかを意味するものである。

[0105] [表2]

	読出し動作時の速度	書き込み動作時の速度	読出し安定性	書き込み安定性	面積OH
従来	△	×	×	×	なし
実施例1 2WL	○	×	(書き込みで)△	×	なし
実施例2 1WL	△	△	◎	/	30%
実施例2 2WL	○	○	△	○	30%
実施例3 1WL	△	△	○	/	10%
実施例3 2WL	○	○	△	○	10%

[0106] また、図26は、実施例1~3のメモリセルについて、それぞれのメモリセルの読出し電流を比較したものである。2本のワードライン(WL)を立ち上げることにより、読出し電流は2倍以上改善されることが示されている。

[0107] また、上述したBERの比較のシミュレーション結果の示すグラフに関して、実施例1~3のメモリセルの1ビット/nセルモード(n=1, 2)のメモリセルと従来のSRAMのメモリセルのシミュレーション結果を比べたグラフを図27~図29に示す。図27は、実施例1~3のメモリセルの1ビット/nセルモード(n=1, 2)のメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を高速動作で行った場合)を示している。また、図28は、実施例1~3のメモリセルの1ビット/nセルモード(n=1, 2)と従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を低速動作で行った場合)を示している。また、図29は、実施例1~3のメモリセルの1ビット/nセルモード(n=1, 2)と従来のSRAMのメモリセルとについて、書き込み動作時のBERの比較のシミュレーション結果の示すグラフを示している。



#### 実施例 4

[0108] 実施例4の半導体メモリは、図30のメモリセル構成図に示されるように、実施例1に係るメモリセル(MC01, MC10)のデータ保持ノード間(N00とN10の間、N01とN11の間)に、1対のCMOSスイッチ(M20, M21)と、該CMOSスイッチ(M20, M21)を制御する1本の制御ライン(CTRL)を追加した構成とされるものである。かかる構成によれば、実施例1の半導体メモリのメモリセルよりも信頼性が増大できる。

1対のCMOSスイッチを追加することにより、実施例2, 3と比較して、面積オーバーヘッドは大きくなるが、よりトランジスタのばらつきを補正することができる。

動作については、実施例2と同様であるので説明は割愛する。

#### 実施例 5

[0109] 実施例5の半導体メモリは、図31のメモリセル構成図に示されるように、実施例1に係るメモリセル(MC01, MC10)のデータ保持ノード間(N00とN10の間、N01とN11の間)に、1つのCMOSスイッチ(M21)と、該CMOSスイッチ(M21)を制御する1本の制御ライン(CTRL)を追加した構成とされるものである。かかる構成によれば、実施例1の半導体メモリのメモリセルよりも信頼性が増大できる。

#### 実施例 6

[0110] 実施例6の半導体メモリは、図32のメモリセル構成図に示されるように、実施例1に係るメモリセル(MC01, MC10)のデータ保持ノード間(N00とN10の間、N01とN11の間)に、スイッチ(S00, S01)を追加した構成とされるものである。かかる構成によれば、実施例1の半導体メモリのメモリセルよりも信頼性が増大できる。

#### 実施例 7

[0111] 実施例7は、本発明の半導体メモリの技術的思想をDRAMに適用する場合について説明する。DRAMは、コンデンサとトランジスタにより電荷を蓄える記憶素子回路であり、情報記憶が電荷によって行われる。電荷は時間と共に減少することから、一定時間毎に記憶保持のための再書き込み(リフレッシュ)を行なう必要があり、またコンピュータの電源を落とすと記憶内容は消去される。上述したSRAMに比較して回路が単純で、集積度も簡単に上げることができ、低コストなため、コンピュータの主メモリ

に多用されている。

[0112] 図33は、従来のDRAMの回路構成を示している。DRAMのメモリセル(MC0, MC1)は、電荷を蓄えるためのキャパシタ(C0, C1)とキャパシタへの電荷の充放電を制御するアクセストランジスタ(M0, M1)の2素子からなる。記憶内容”H”, ”L”はキャパシタに電荷が存在するかどうかで対応される。

また、各列に読出し動作時の基準電位を生成するためのダミーメモリセル(DMC)を配置する。ダミーメモリセル(DMC)のキャパシタの容量(DC)は通常のメモリセルの半分とする。

[0113] 次に、書き込み動作の一例として、DRAMメモリセル(MC0)が選択される場合について説明する。まず、ライトアンプにより、ビットライン(BL)に書き込みデータ(”H”もしくは”L”)が印加される。また選択された行のワード線(WL[0])にハイレベル”H”が印加され、アクセストランジスタ(M0もしくはM1)が導通し、データ保持ノード(N0もしくはN1)が書き込みデータの電位(”H”もしくは”L”)に変化し、キャパシタ(C0)の電荷が変化する。

[0114] 一方、読出し動作は、選択された行のワード線を立ち上げる前に、SRAMの動作と同様、プリチャージ回路(図示せず)により、ビット線(BL, /BL)をあらかじめハイレベル”H”まで上昇させる。これにより、ビットライン(BL, /BL)では、配線容量(CBL)に対する充電が行われ、プリチャージ期間の完了後もハイレベル”H”が保持される。また、プリチャージ期間の間、PC信号をハイレベル”H”を印加することにより、ダミーメモリセルのキャパシタに電荷が保持されていない状態を生成する。

[0115] プリチャージ期間の完了後、ワードライン(WL[0])およびダミーワードライン(DWL)をローレベル”L”からハイレベル”H”に遷移させて読出し動作を行う。

キャパシタ(C0)の電荷と、ビットラインの電荷の再分配が行われ、保持データの値に応じて、ビットライン(BL)の電位は変化する。

そして、ビットライン(BL, /BL)を差動入力とするセンスアンプにより、ビットラインの電位差が検知され、メモリセル(MC0)の記憶内容が外部に読出されることとなる。

[0116] 図34は実施例7のメモリセルの回路構成図を示している。実施例7のメモリセルは、図34に示されるように、実施例2と同様、保持ノードN0, N1間にN型MOSトランジスタ

タ(M2)と、該N型MOSトランジスタ(M2)が導通するように制御し得る1本の制御ライン(CTRL)を追加した構成とされるものである。

また、ダミーメモリセルは、キャパシタ(CD2)およびキャパシタCD、CD2間にN型MOSトランジスタ(MD2)を追加した構成となる。該N型MOSトランジスタ(MD2)は制御ライン(CTRL)により制御される。

なお、図35に示すように、ダミーメモリセルのみにキャパシタ(CD2)、N型MOSトランジスタ(MD2)を追加し、メモリセルは従来と同様のものを用いる構成も可能である。

[0117] 実施例7のメモリセルにおいて、制御ライン(CTRL)がローレベル”L”の時は、追加されたN型MOSトランジスタ(M2)は作動しないので、データ保持ノード間(N0とN1)は切断状態となる。図37に示されるように、制御ライン(CTRL)がローレベル”L”(切断状態)での読出し/書込みアクセスにおいて、1つのワードライン(WL)が立ち上がると(WL[0]=”H”, WL[1]=”L”)、従来のメモリセルと同様な構成となり、従来と同じで低いQoBとなる。

かかる構成が、実施例7のメモリセルの1ビット/1セルモードの構成である。

[0118] 一方、実施例7のメモリセルにおいて、図38に示されるように、制御ライン(CTRL)がハイレベル”H”での読出しアクセスにおいて、2本のワードライン(WL<0>, WL<1>)を立ち上げ、2つのN型MOSトランジスタ(M0, M1)を作動させ、同時に2つのメモリセル(MC0, MC1)にアクセスする。これにより、2つのキャパシタ(C0, C1)からデータの読出しを行うこととなり、データを保持しているキャパシタのばらつきを補正することができるのである。

[0119] なお、実施例7のメモリセルの動作シミュレーションは、図39に示されるブロック図の回路を構築し、下記条件で実施している。

1) プロセス: ASPLA 90nm

Generic Middle

2) プロセスコーナ: FS

3) 温度: 125°C

4) 容量: メモリセルの容量=30f, ダミーセルの容量=15f×2, BLの容量=300f

5)メモリセルのTr. サイズ:アクセスTr.:  $W_a/L_a=0.2\mu\text{m}/0.1\mu\text{m}$  ( $\mu$ ), 追加したTr.:  $W_c/L_c=0.2\mu\text{m}/0.1\mu\text{m}$  ( $\mu$ )

[0120] また、pass/fail 判定は以下の通りであり、ビット線の電位差で評価・判定を行う。

a)BL="1", BL\_N="0"で読出しを行う。

b)センスアンプ(sense amp)を立ち上げてから15ns経過後で判断する。

c)ビットラインの電位差が、センスアンプによって十分増幅された場合、"pass"と判断する。

d)一方、センスアンプが正常に動作せず、ビットラインの電位差が不十分である場合、"fail"と判断する(BLによってN型MOSトランジスタのゲートが"ON"されるか否かでの判断)。

[0121] 図40は動作シミュレーションにおける読出し波形(pass)を、図41は動作シミュレーションにおける読出し波形(fail)を示している。メモリセル(MC0, MC1)には"H"が保持されている。まず始めに、PC信号が"H"に印加され、ビットライン(BL, /BL)は"H"に充電され、ダミーメモリセル(DMC)には"L"が保持されている。その後、WL, ampに"H"を印加し、ビットライン(BL, /BL)の電位差をセンスアンプによって増幅する。図40はビットラインの電位差がセンスアンプによって増幅され、ビットライン(BL, /BL)の電位差が十分確保されている。

一方、図41はビットラインの電位差がセンスアンプによって正常に増幅されていない状態を示している。

[0122] 図42に、シミュレーション結果(Fail

Bit Count)を示す。実施例7のメモリセルの構成にして、ワードライン(WL)を2本立ち上げることにより、従来のDRAMのメモリセルよりも、BERを低減できることが確認できる。具体的には、図42のグラフにおいて、BERが $10^{-2}$ となる電圧が80mV改善されている。

#### 産業上の利用可能性

[0123] 本発明は、コンピュータのキャッシュメモリ等に使用されるSRAMや主メモリ等に使用されるDRAMに有用である。

#### 図面の簡単な説明

- [0124] [図1]従来のSRAMの動作限界の説明図
- [図2]従来のSRAMの構成模式図
- [図3]従来のSRAMに用いられるメモリセルの構成の一例を示す回路図
- [図4]実施例1の半導体メモリの構成図
- [図5]実施例1の半導体メモリのメモリセルを2個連結した回路構成図
- [図6]1ビット／1セルモードと1ビット／2セルモードの読出し電流の比較グラフ
- [図7]実施例1のメモリセルにおける自己修復機能の説明図
- [図8]実施例1の1ビット領域のメモリセルのレイアウト図
- [図9]実施例1の1ビット／2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を高速動作で行った場合)
- [図10]実施例1の1ビット／2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を低速動作で行った場合)
- [図11]読出し動作／書き込み動作におけるシミュレーション波形
- [図12]実施例2のメモリセルの回路構成図
- [図13]実施例2の1ビット領域のメモリセルのレイアウト図
- [図14]実施例2の1ビット／2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を高速動作で行った場合)
- [図15]実施例2の1ビット／2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を低速動作で行った場合)
- [図16]実施例2の1ビット／2セルモードのメモリセルと従来のSRAMのメモリセルとについて、書き込み動作時のBERの比較のシミュレーション結果の示すグラフ
- [図17]実施例2のメモリセルを用いた128kbitのSRAM(512行×8列×32bit／word)に関する回路ブロック図
- [図18]実施例2のメモリセルのブロック図

[図19]実施例2のメモリセルに係る行レコーダ回路に関するブロック図

[図20]実施例2のメモリセルに係る列デコーダおよび入出力回路に関するブロック図

[図21]実施例3のメモリセルの回路構成図

[図22]実施例3の1ビット領域のメモリセルのレイアウト図

[図23]実施例3の1ビット/2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を高速動作で行った場合)

[図24]実施例3の1ビット/2セルモードのメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を低速動作で行った場合)

[図25]実施例3の1ビット/2セルモードのメモリセルと従来のSRAMのメモリセルとについて、書き込み動作時のBERの比較のシミュレーション結果の示すグラフ

[図26]実施例1~3のメモリセルについて、それぞれのメモリセルの読出し電流の比較グラフ

[図27]実施例1~3のメモリセルの1ビット/nセルモード( $n=1, 2$ )のメモリセルと従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を高速動作で行った場合)

[図28]実施例1~3のメモリセルの1ビット/nセルモード( $n=1, 2$ )と従来のSRAMのメモリセルとについて、読出し動作時のBERの比較のシミュレーション結果の示すグラフ(読出し動作を低速動作で行った場合)

[図29]実施例1~3のメモリセルの1ビット/nセルモード( $n=1, 2$ )と従来のSRAMのメモリセルとについて、書き込み動作時のBERの比較のシミュレーション結果の示すグラフ

[図30]実施例4のメモリセルの回路構成図

[図31]実施例5のメモリセルの回路構成図

[図32]実施例6のメモリセルの回路構成図

[図33]従来のDRAMのメモリセルの回路構成図

[図34]実施例7のメモリセルの回路構成図

[図35]実施例7のメモリセルの回路構成図(ダミーメモリセルのみ変更)

[図36]従来のDRAMのメモリセルの動作説明図(1ビット/1セルモード)

[図37]実施例7のメモリセルの動作説明図(1ビット/1セルモード)

[図38]実施例7のメモリセルの動作説明図(1ビット/2セルモード、2本のワードラインを立ち上げ)

[図39]実施例7で用いたシミュレーション回路のブロック図

[図40]実施例7で用いたシミュレーション結果の読出し波形(pass)

[図41]実施例7で用いたシミュレーション結果の読出し波形(fail)

[図42]実施例7のメモリセルと従来のSRAMのメモリセルとについて、1ビット/1セルモードと1ビット/2セルモードのそれぞれの動作時のBERの比較のシミュレーション結果の示すグラフ

#### 符号の説明

- [0125]     11   メモリセルブロック  
          12   行デコーダ  
          13   列デコーダ  
          14   制御回路

## 請求の範囲

- [1] 各々の出力が該メモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、前記ビットラインと前記インバータの出力との間に設けられた一対のスイッチ部と、前記スイッチ部の導通が制御し得る1本のワードラインとから構成される半導体メモリメモリセルにおいて、
- 1ビットが1個の前記メモリセルで構成されるモード(1ビット/1セルモード)と、1ビットが $n$ ( $n$ は2以上)個の前記メモリセルを連結して構成されるモード(1ビット/ $n$ セルモード)とを動的に切り替えることができ、前記1ビット/ $n$ セルモードに切り替えることにより、1ビットの動作安定性の増大および読出し動作のセル電流の増大(読出し動作の高速化)を行い、またビットエラーの自己修復が行えることを特徴とする半導体メモリ。
- [2] 前記1ビット/ $n$ セルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のN型MOSトランジスタと、該N型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項1に記載の半導体メモリ。
- [3] 前記1ビット/ $n$ セルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のP型MOSトランジスタと、該P型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項1に記載の半導体メモリ。
- [4] 前記1ビット/ $n$ セルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項1に記載の半導体メモリ。
- [5] 前記1ビット/ $n$ セルモードは、隣接する前記メモリセルのデータ保持ノード間に、1つのCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項1に記載の半導体メモリ。

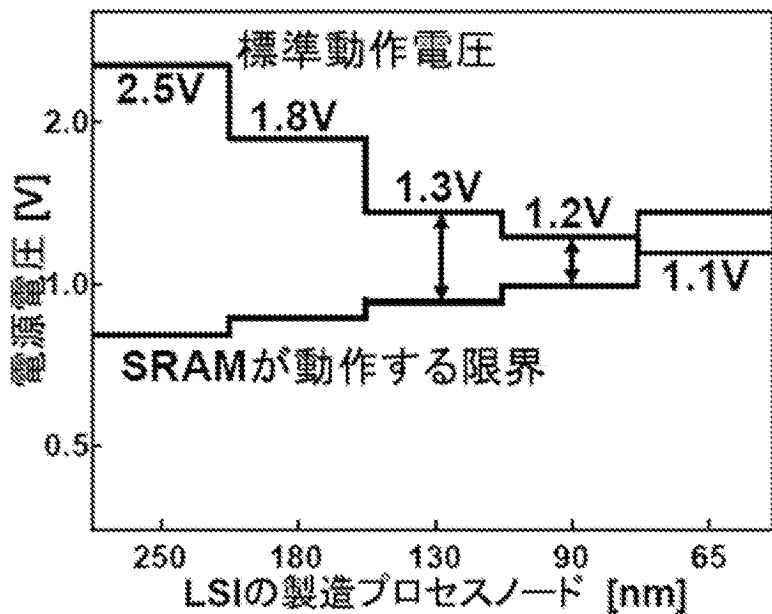


- [6] 前記1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1対のスイッチ部を更に追加した構成とされるものであることを特徴とする請求項1に記載の半導体メモリ。
- [7] 電荷を蓄えるためのキャパシタと、該キャパシタへの電荷の充放電を制御するアクセストランジスタと、該アクセストランジスタを制御し得る1本のワードラインとから構成される半導体メモリのメモリセルにおいて、  
1ビットが1個の前記メモリセルで構成されるモード(1ビット/1セルモード)と、1ビットがn(nは2以上)個の前記メモリセルを連結して構成されるモード(1ビット/nセルモード)とを動的に切り替えることができ、前記1ビット/nセルモードに切り替えることにより、1ビットの動作安定性の増大および読出し動作のセル電流の増大(読出し動作の高速化)を行い、またビットエラーの自己修復が行えることを特徴とする半導体メモリ。
- [8] 前記1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1つのCMOSスイッチと、該CMOSスイッチが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項7に記載の半導体メモリ。
- [9] 前記1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1つのN型MOSトランジスタと、該N型MOSトランジスタが導通するように制御し得る1本の制御ラインと、を更に追加した構成とされるものであることを特徴とする請求項7に記載の半導体メモリ。
- [10] 前記1ビット/nセルモードは、隣接する前記メモリセルのデータ保持ノード間に、1つのスイッチ部を追加した構成とされるものであることを特徴とする請求項7に記載の半導体メモリ。
- [11] 請求項2乃至4の何れかの半導体メモリにおいて、前記1ビット/nセルモードでnが2の場合(1ビット/2セルモード)は、2個の前記メモリセルの2本のワードラインの内、1本のワードラインのみをハイレベルに遷移させることにより、データの読み出し動作の安定性を増大させ得ることを特徴とする半導体メモリ。
- [12] 請求項2乃至4の何れかの半導体メモリにおいて、前記1ビット/nセルモードでnが

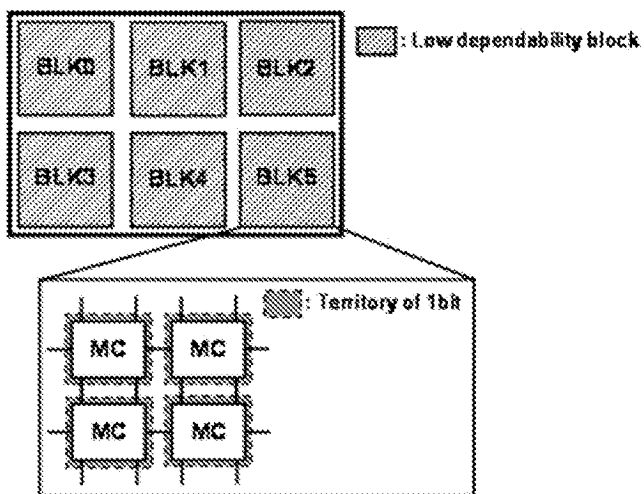
2の場合(1ビット/2セルモード)は、2個の前記メモリセルの2本のワードラインをハイレベルに遷移させることにより、読出し動作のセル電流の増大(読出し動作の高速化)およびデータの書き込み動作の安定性を増大させ得ることを特徴とする半導体メモリ。

- [13] 前記モードの切り替えは、メモリブロック単位で行うことを特徴とする請求項1に記載の半導体メモリ。
- [14] 請求項1の半導体メモリを備えたコンピュータに、メモリ占有率が所定の閾値以下の場合に、前記1ビット/1セルモードから前記1ビット/nセルモードに切り替えるステップを実行させるプログラム。
- [15] 請求項1の半導体メモリを備えたコンピュータに、バッテリー残存量が所定の閾値以下になった場合に、前記1ビット/1セルモードから前記1ビット/nセルモードに切り替えるステップを実行させるプログラム。
- [16] 請求項1の半導体メモリを備えたコンピュータに、メモリセルの動作速度または動作電圧が所定の閾値以下になった場合に、前記1ビット/1セルモードから前記1ビット/nセルモードに切り替えるステップを実行させるプログラム。
- [17] 請求項1の半導体メモリを備えたコンピュータに、メモリセルの動作マージンが所定の閾値以下になった場合に、前記1ビット/1セルモードから前記1ビット/nセルモードに切り替えるステップを実行させるプログラム。
- [18] 請求項1の半導体メモリを備えたコンピュータに、メモリセルの保持状態を破棄すべき条件が成立した場合に、前記1ビット/1セルモードから前記1ビット/nセルモードに、或いは、前記1ビット/nセルモードから前記1ビット/1セルモードに切り替えるステップを実行させるプログラム。

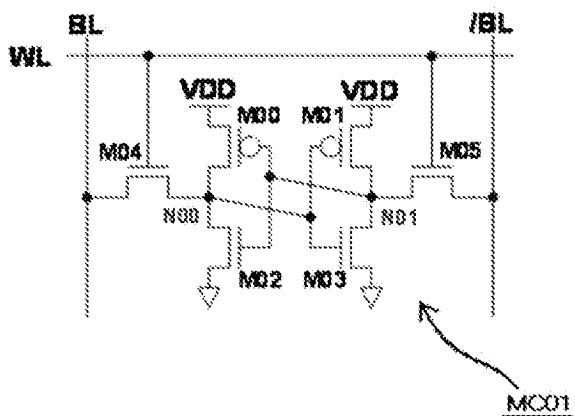
[図1]



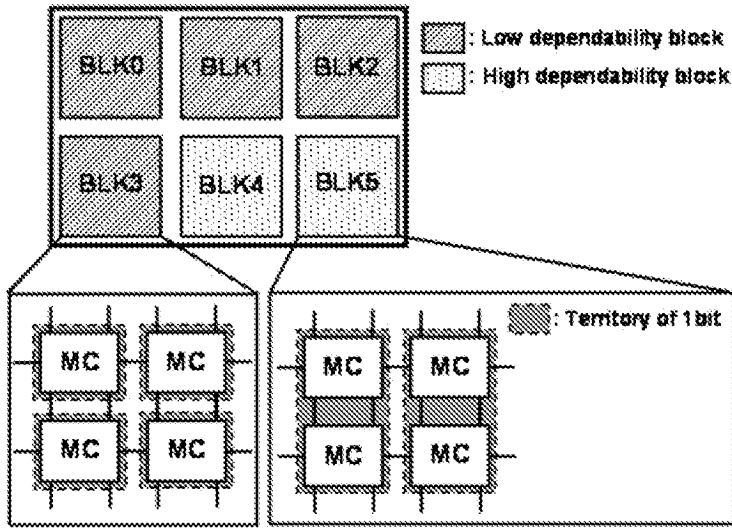
[図2]



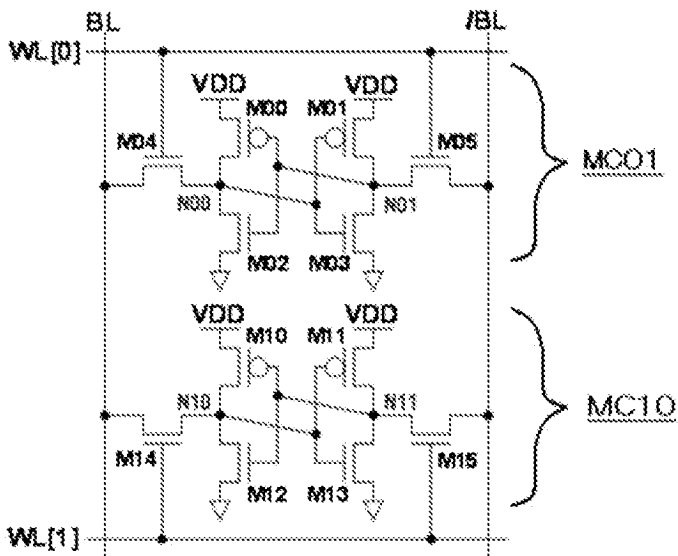
[図3]



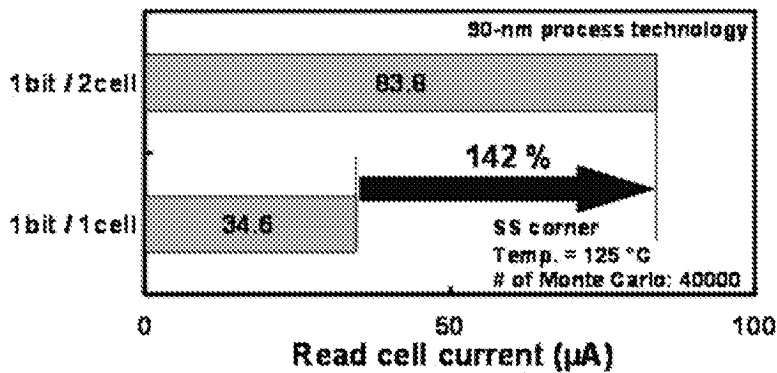
[図4]



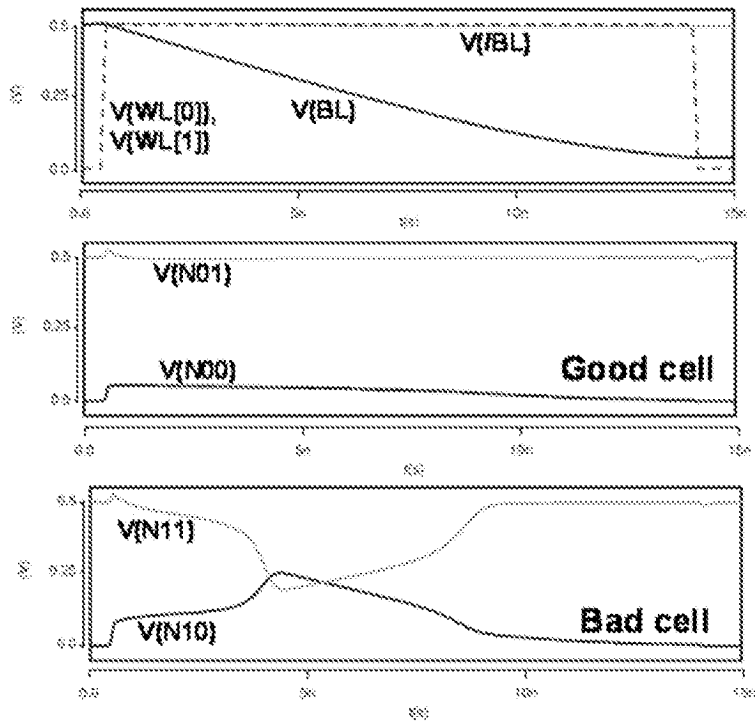
[図5]



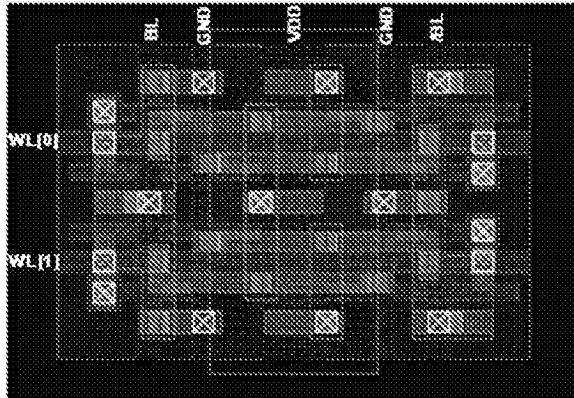
[図6]



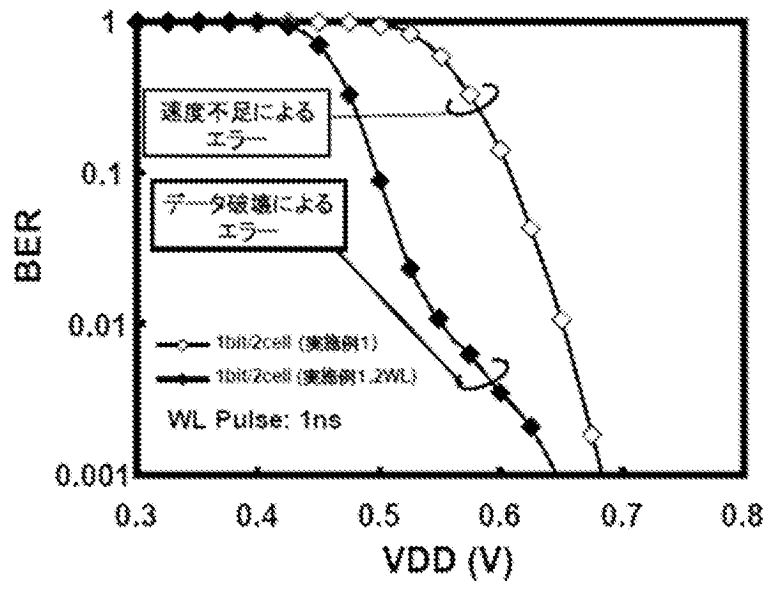
[図7]



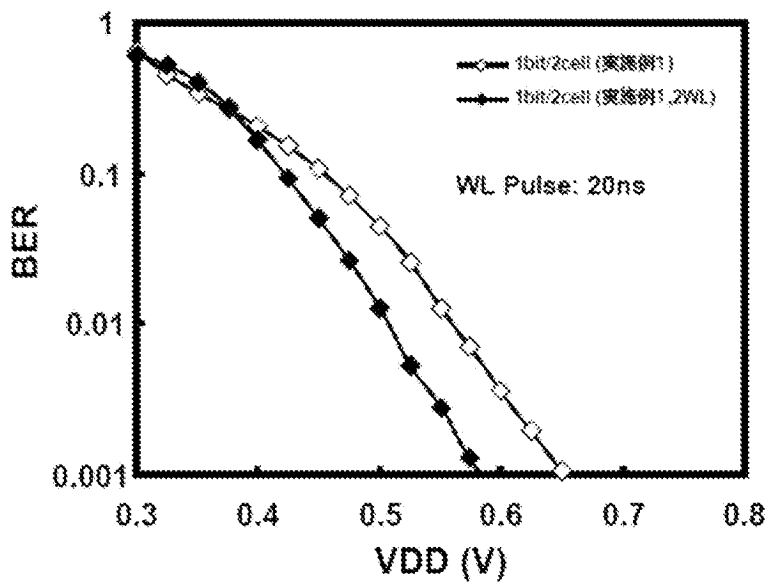
[図8]



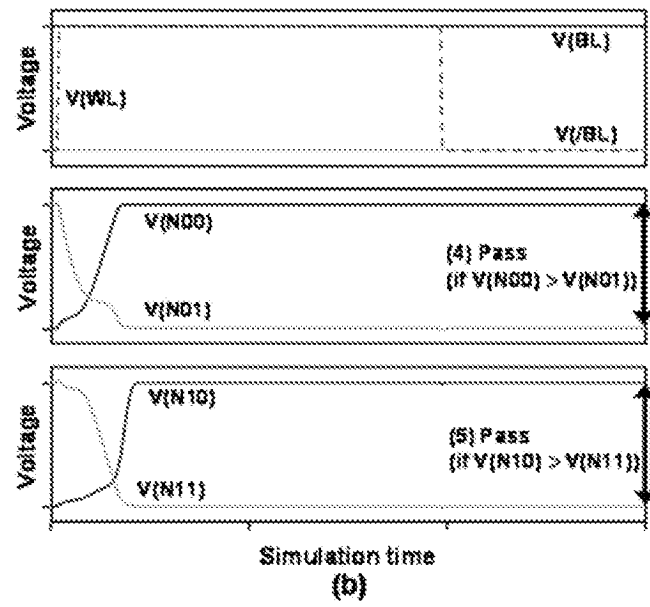
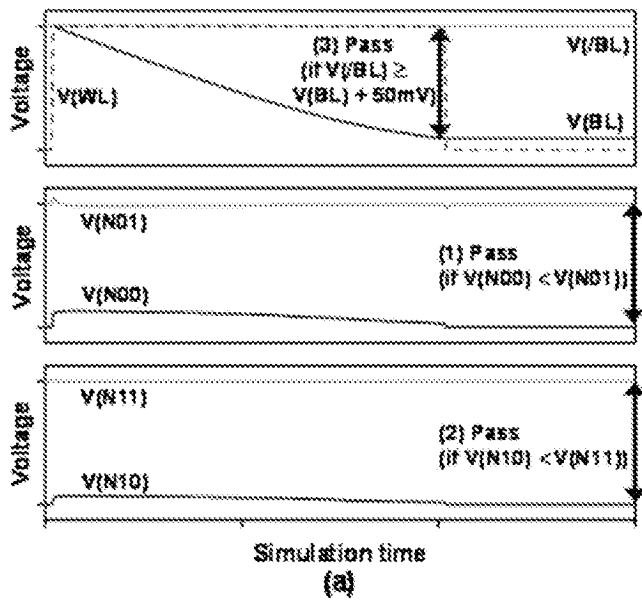
[図9]



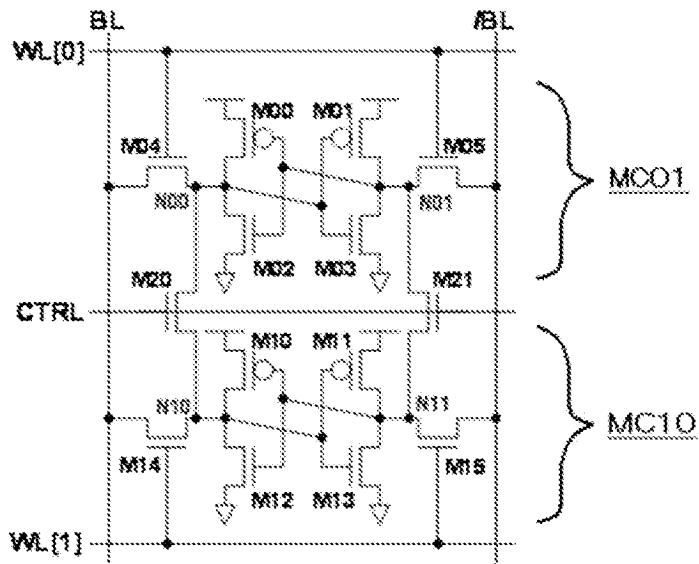
[図10]



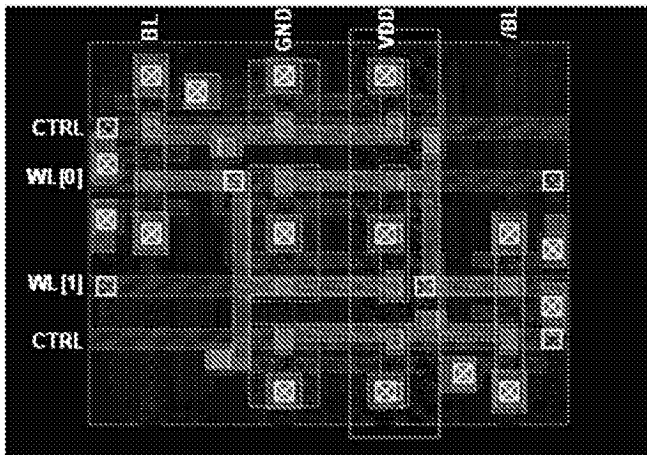
[図11]



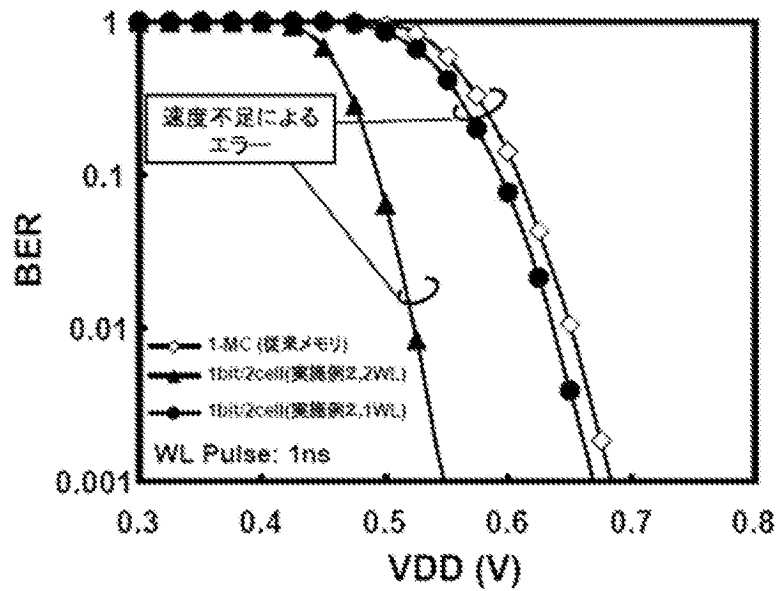
[図12]



[図13]

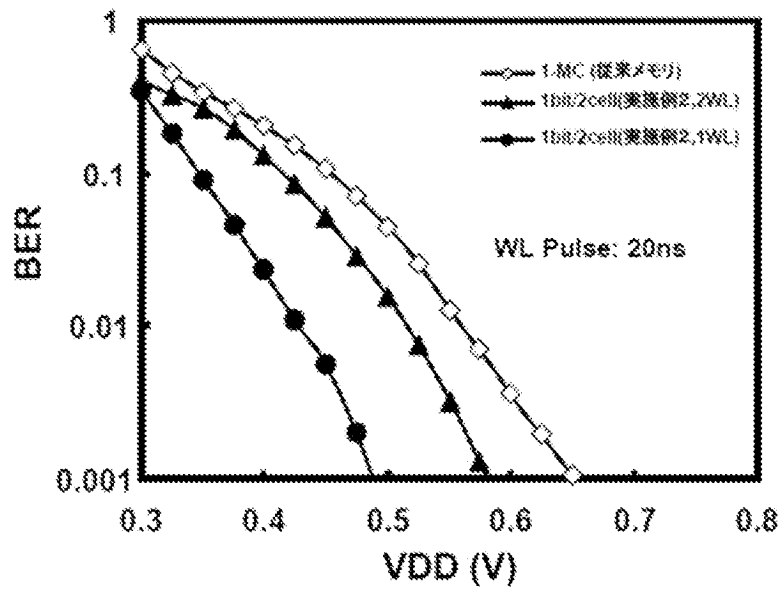


[図14]

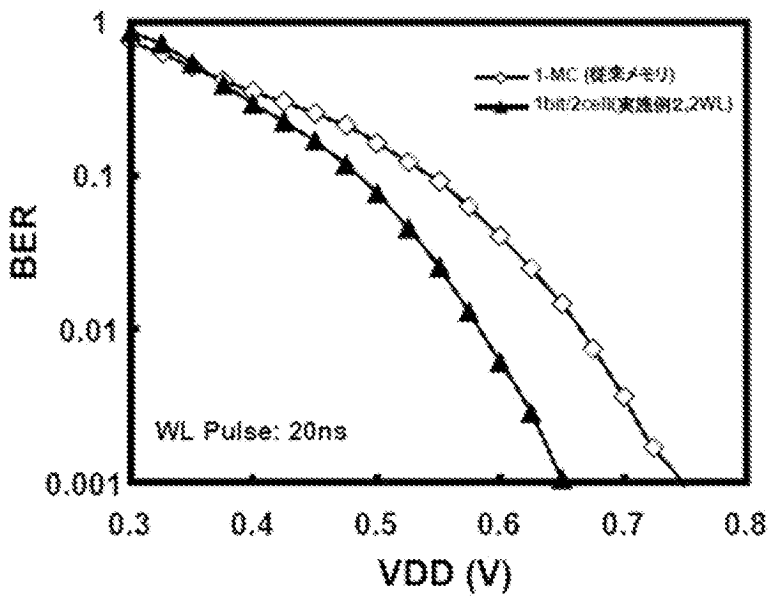




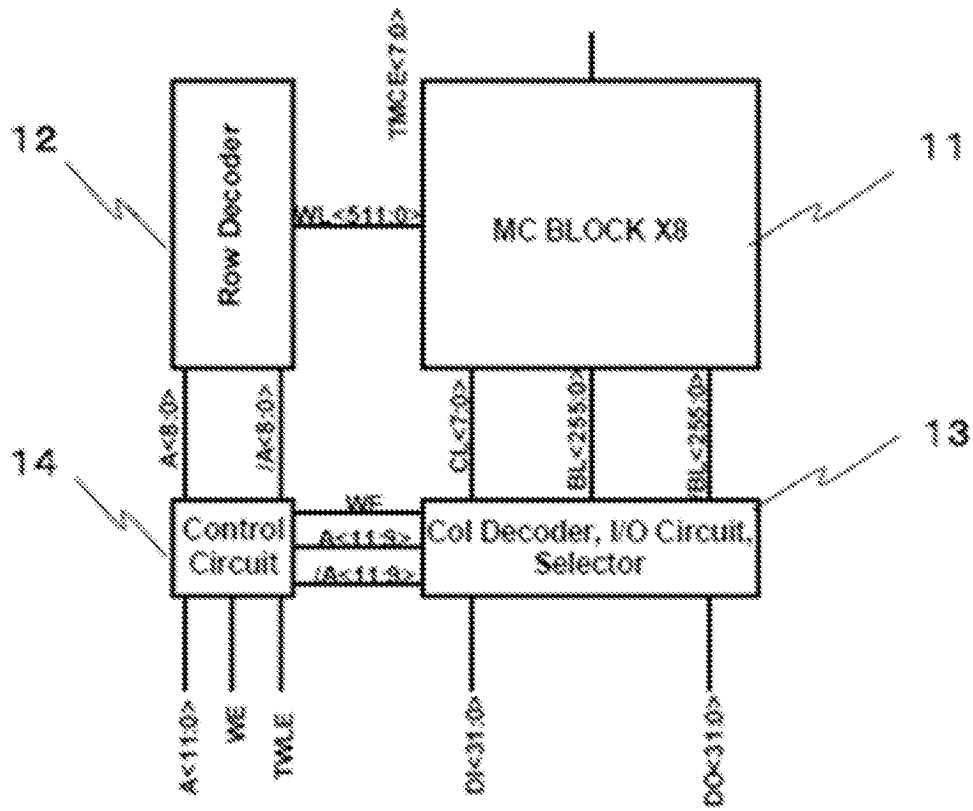
[図15]



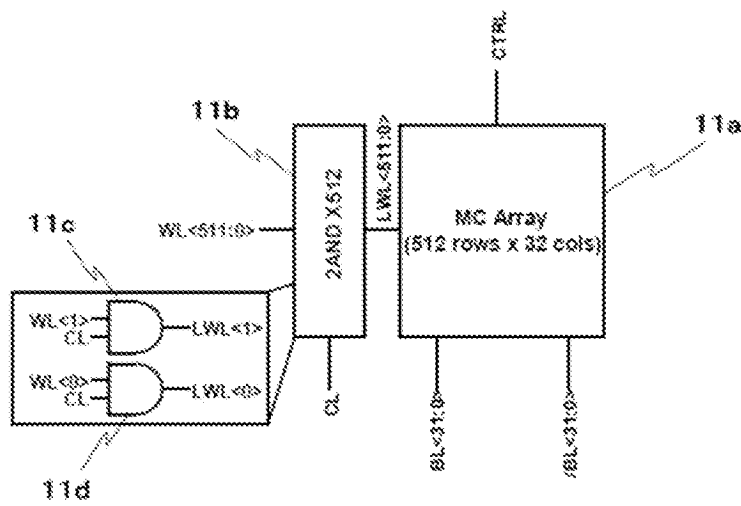
[図16]



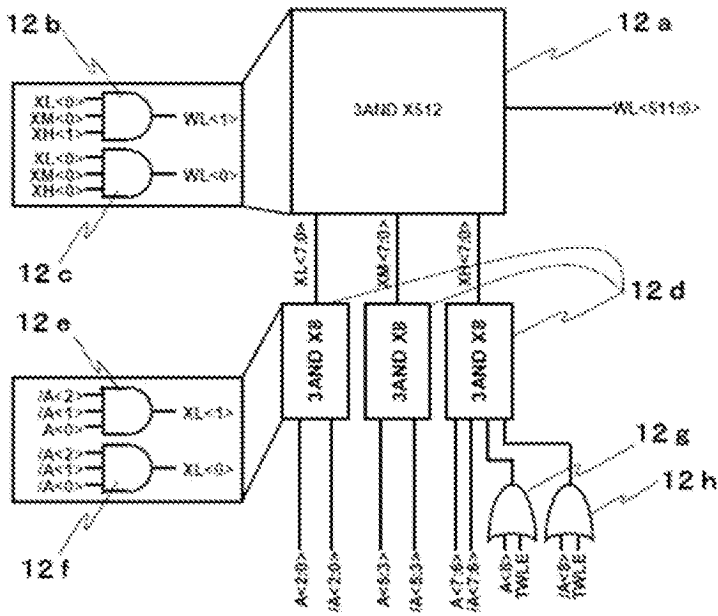
[図17]



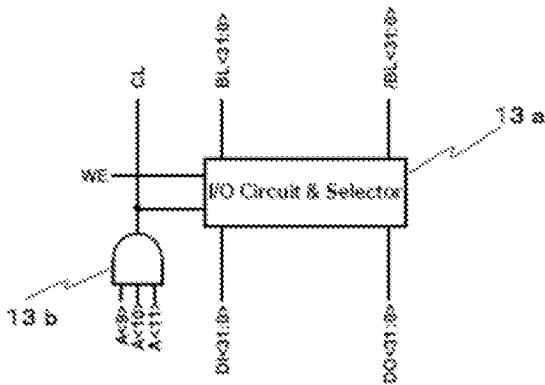
[図18]



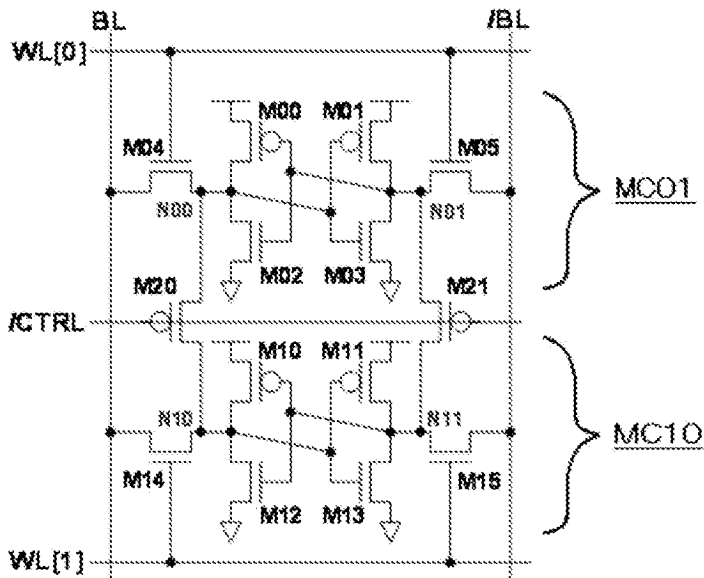
[図19]



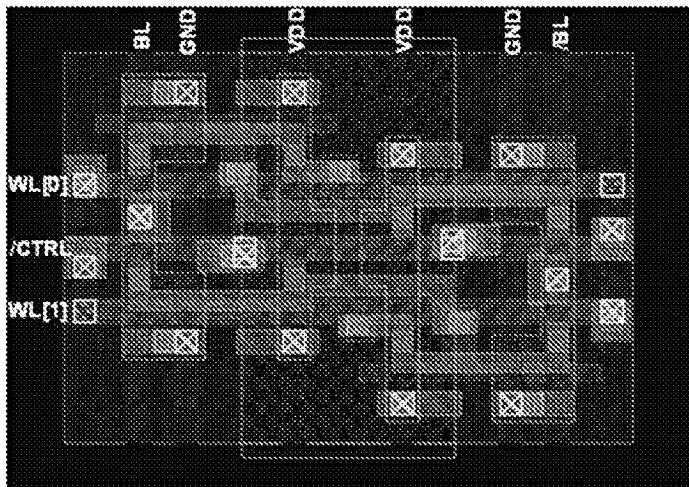
[図20]



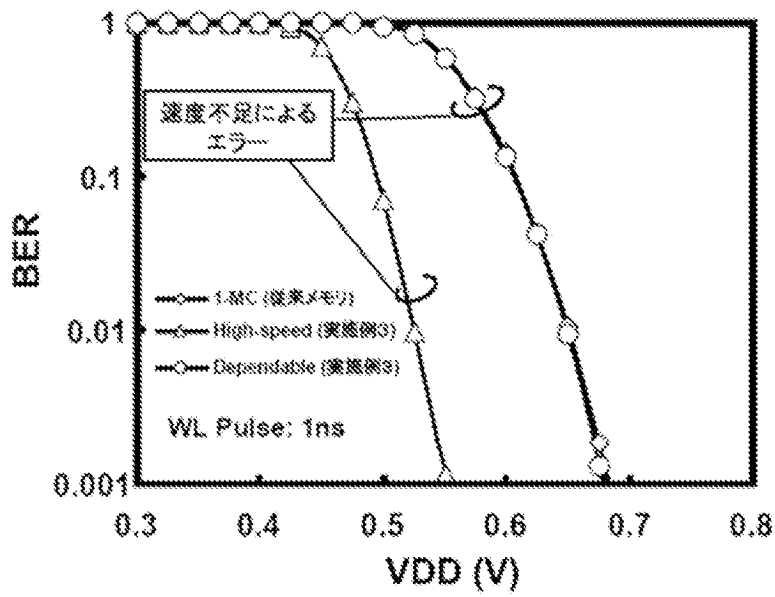
[図21]



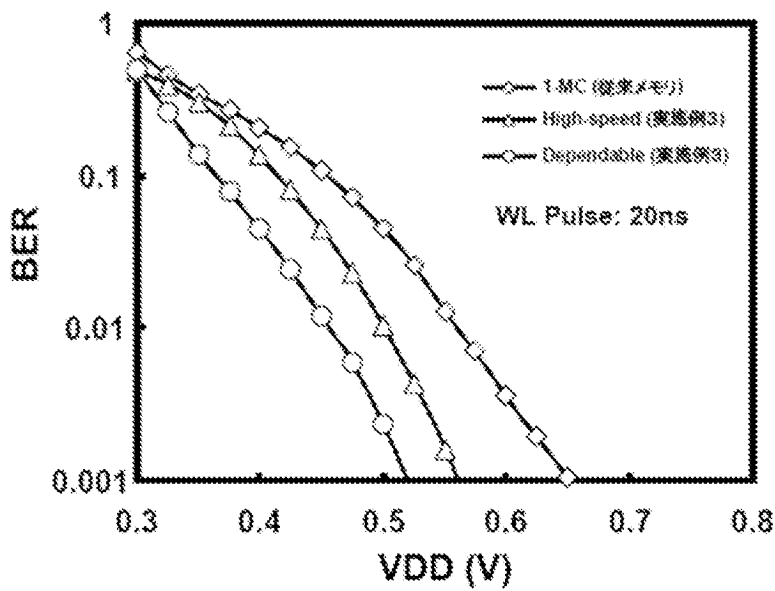
[図22]



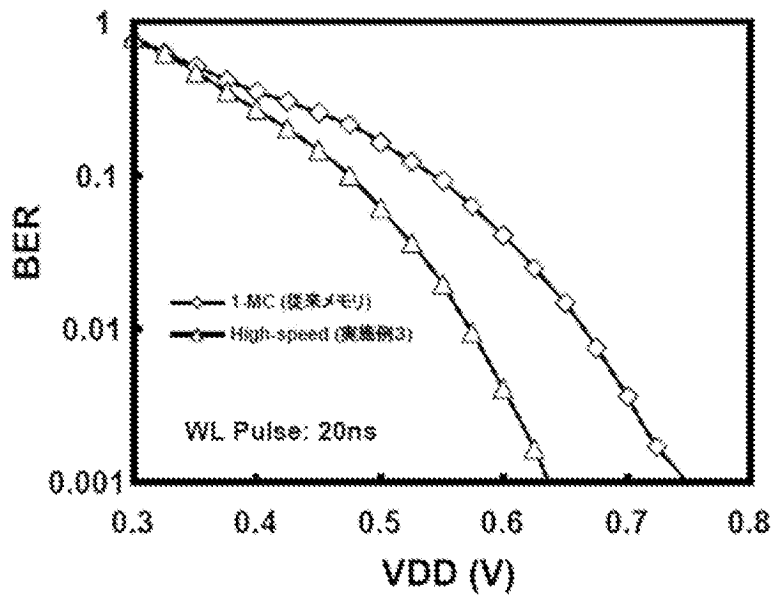
[図23]



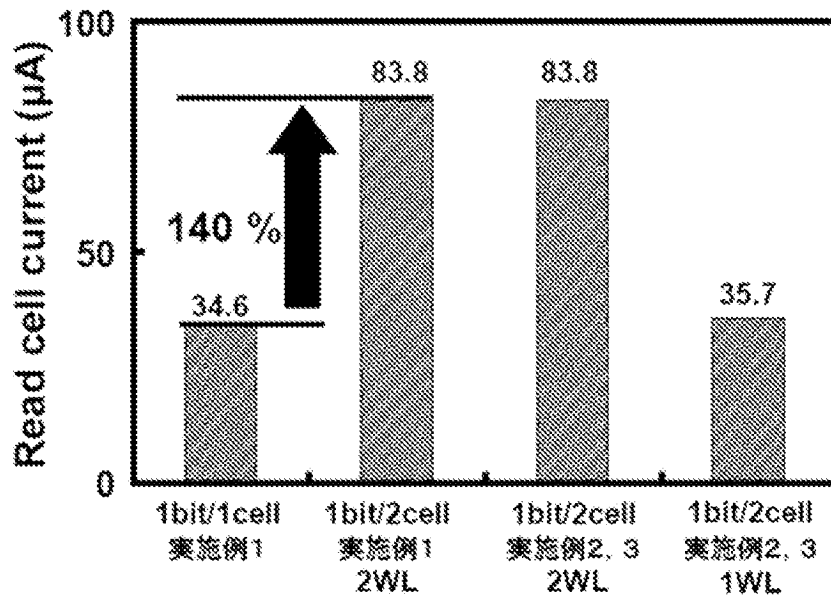
[図24]



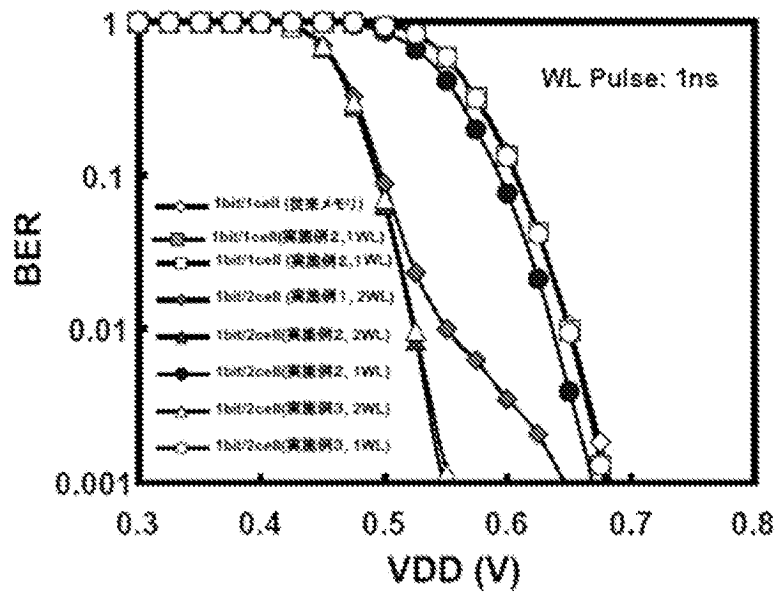
[図25]



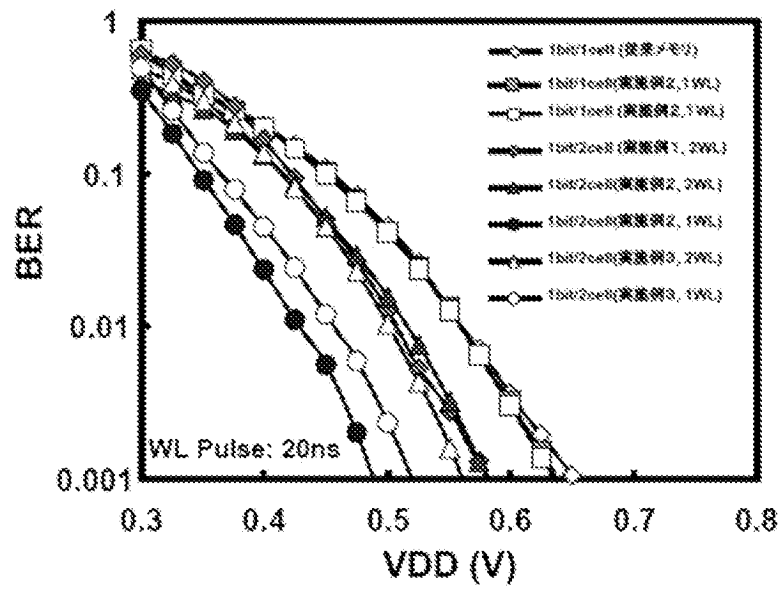
[図26]



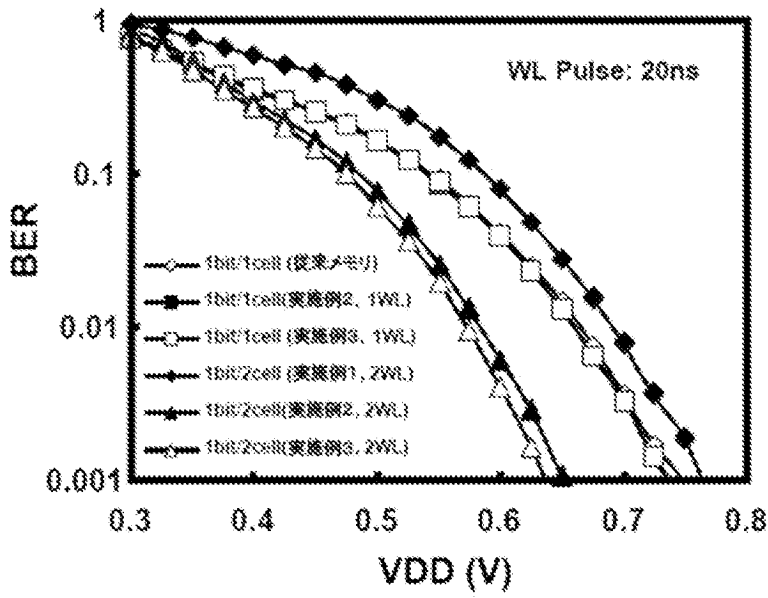
[図27]



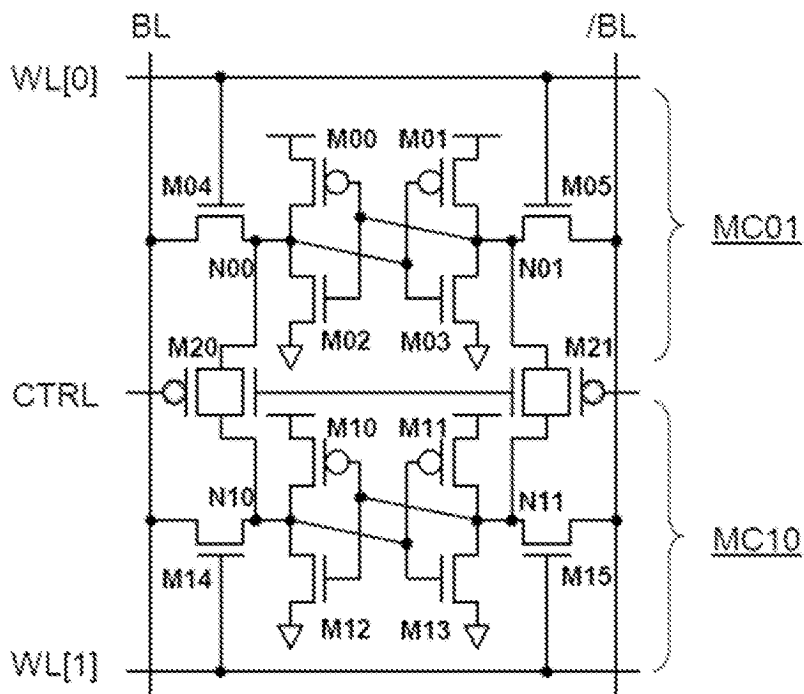
[図28]



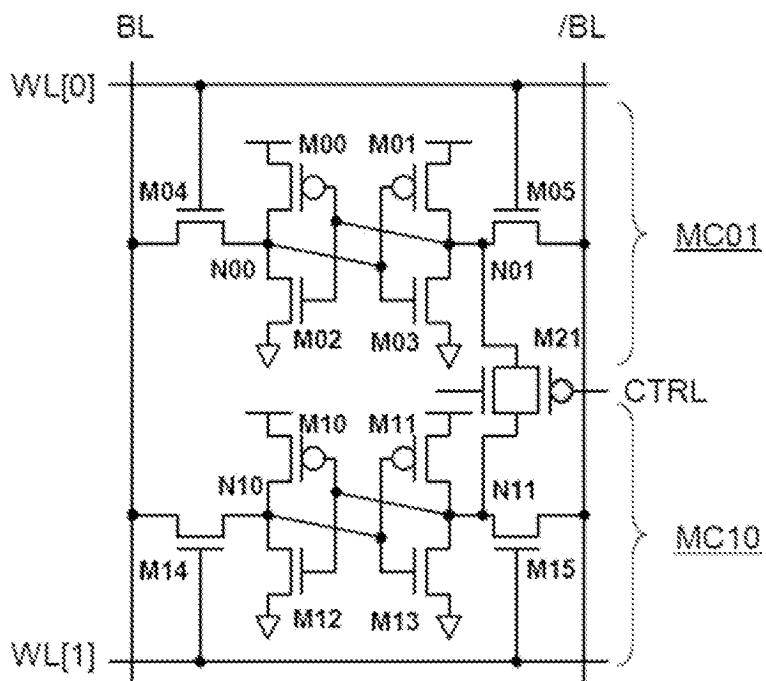
[図29]



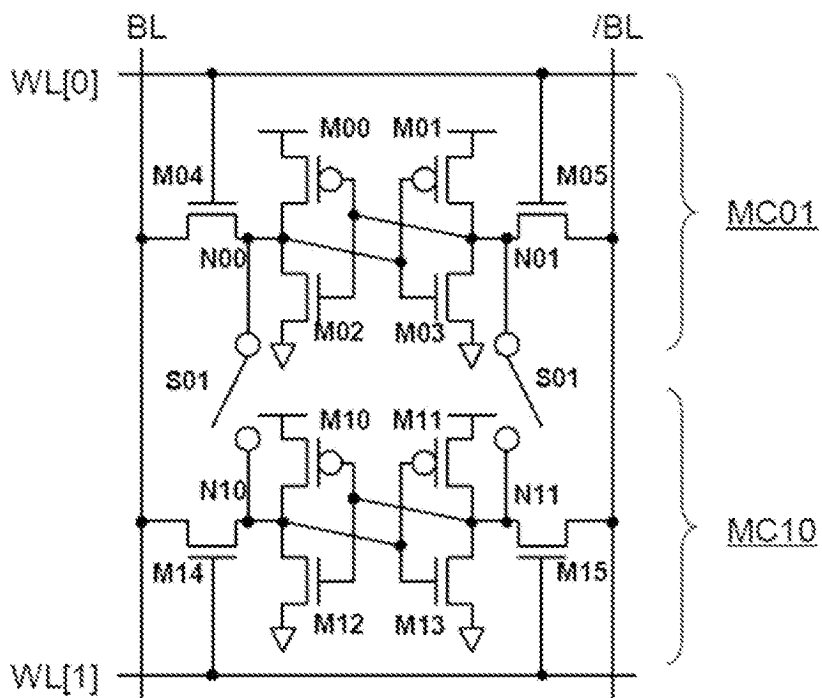
[図30]



[図31]

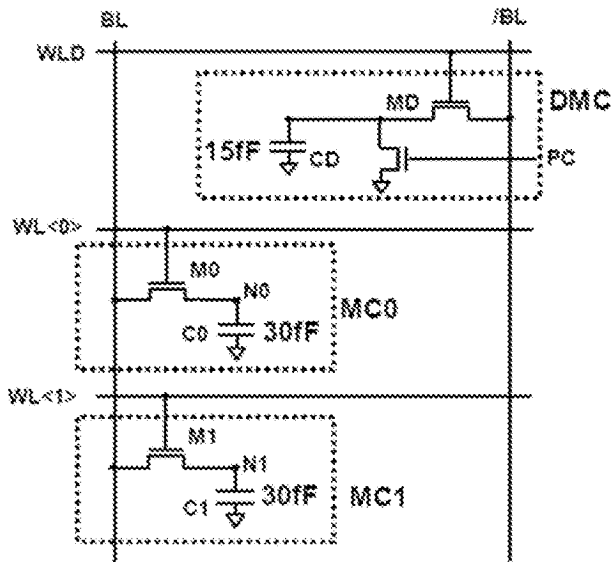


[図32]

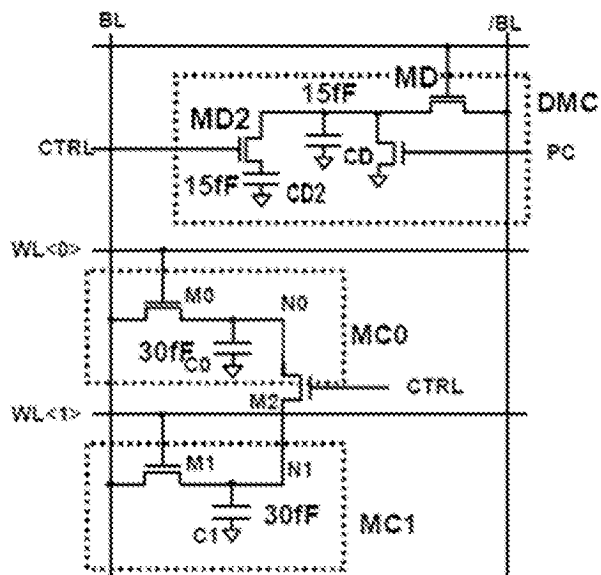




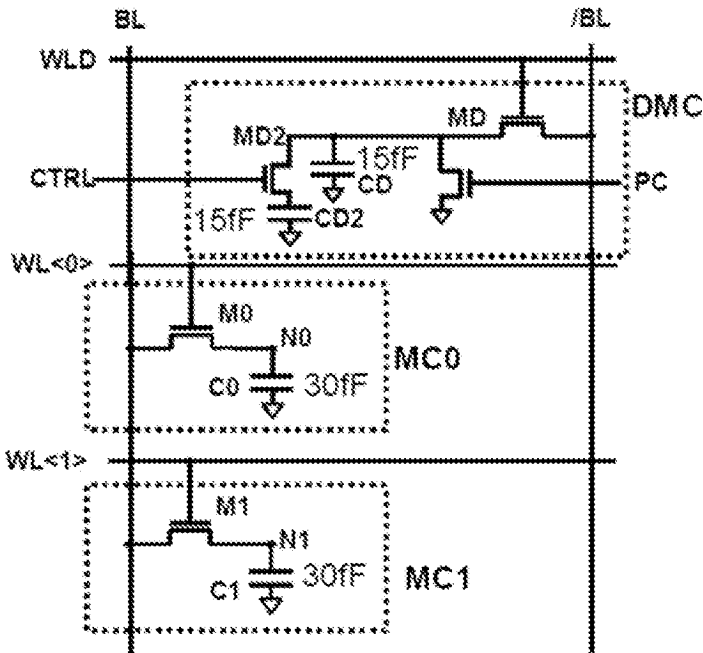
[図33]



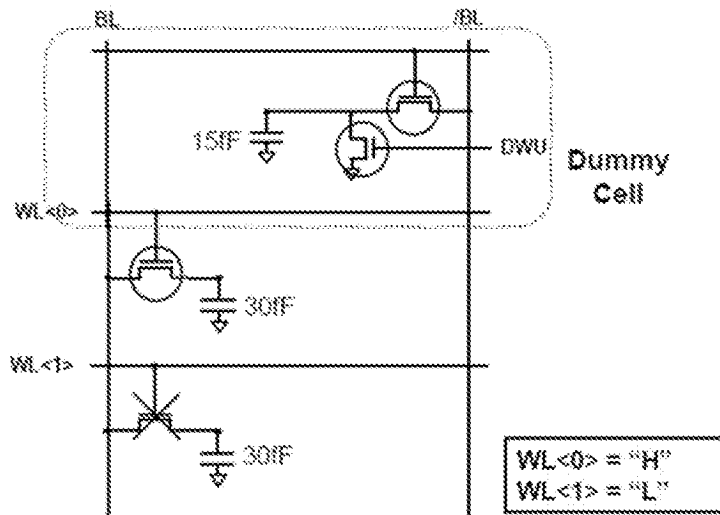
[図34]



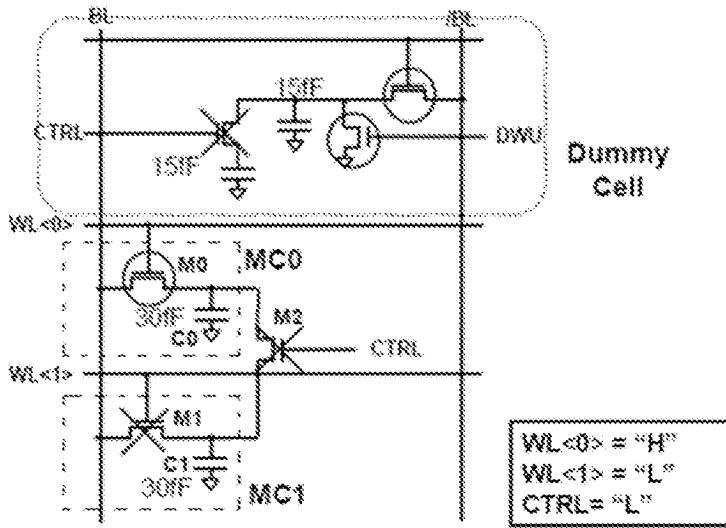
[図35]



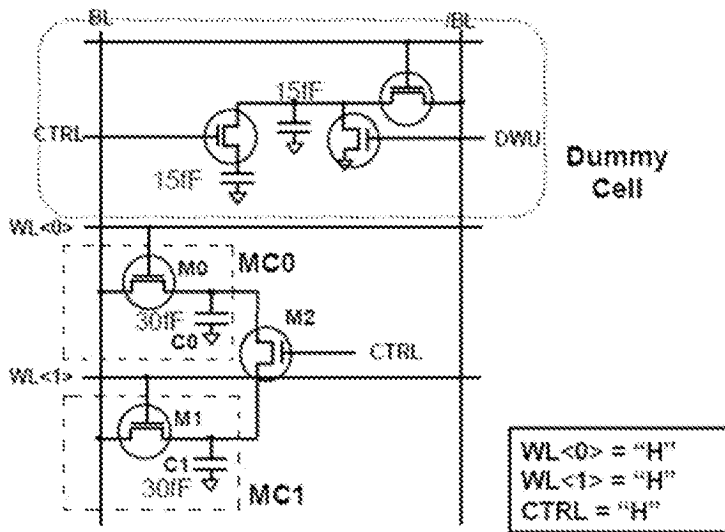
[図36]



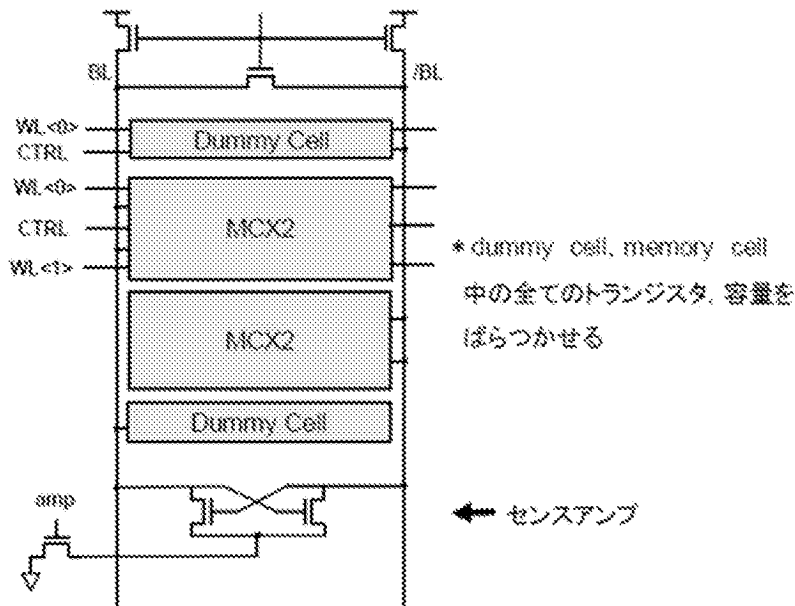
[図37]



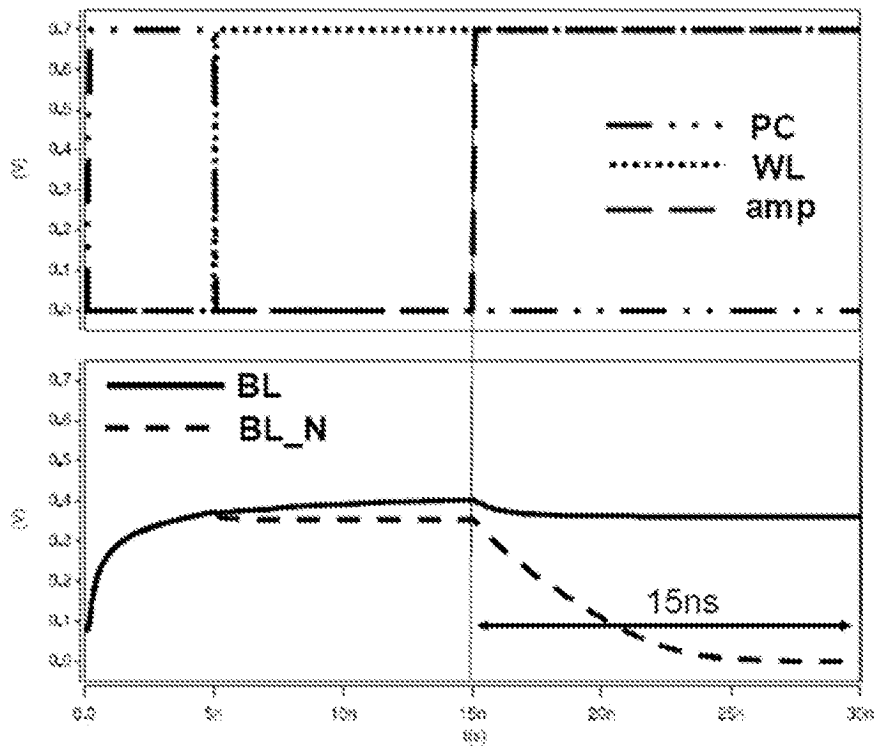
[図38]



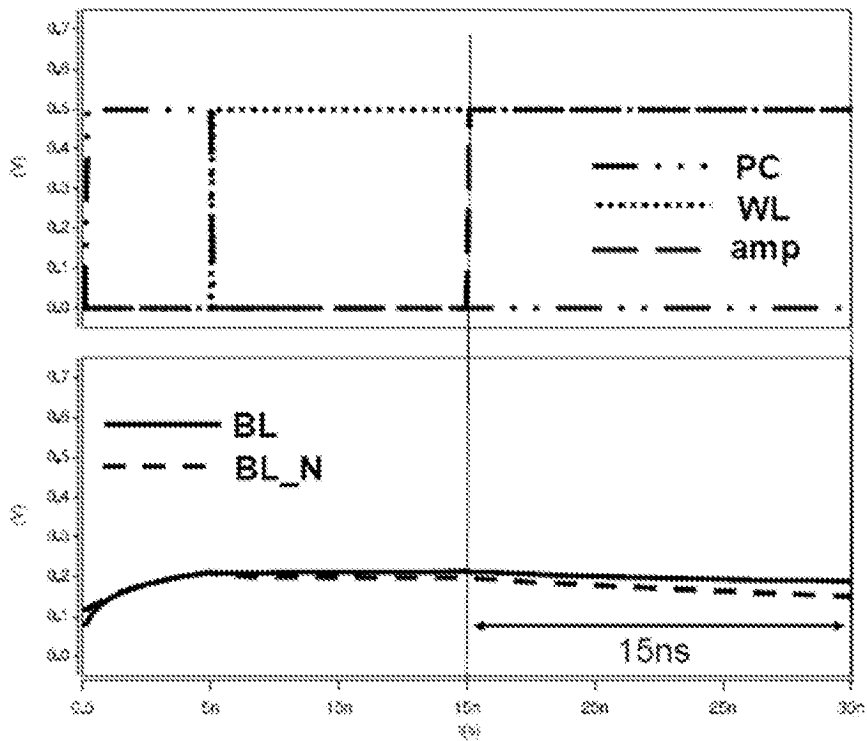
[図39]



[図40]



[図41]



[図42]

