

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年8月12日(12.08.2010)

PCT

(10) 国際公開番号
WO 2010/089983 A1

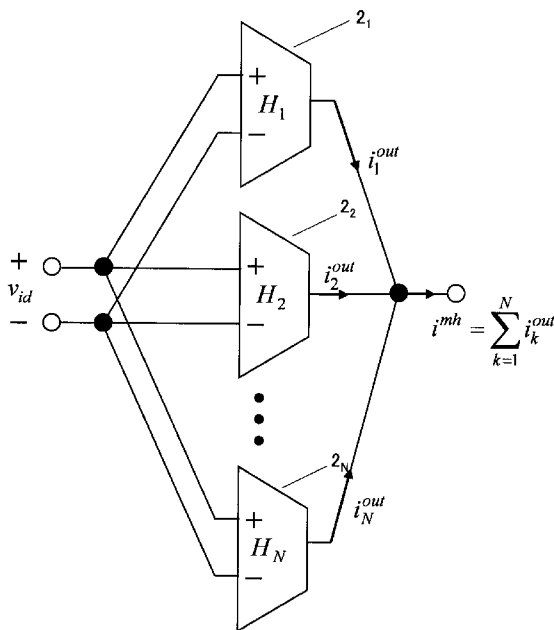
- (51) 国際特許分類:
H03K 5/08 (2006.01) H03K 5/00 (2006.01)
H03K 3/353 (2006.01)
- (21) 国際出願番号: PCT/JP2010/000571
- (22) 国際出願日: 2010年2月1日(01.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-025790 2009年2月6日(06.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀尾喜彦 (HORIO, Yoshihiko) [JP/JP]; 〒3350004 埼玉県蕨市中央一丁目17番40号604 Saitama (JP). 濱田卓矢(HAMADA, Takuya) [JP/JP]; 〒3580054 埼玉県入間市野田472番地1 Saitama (JP). 神野健哉(JINNO, Kenya) [JP/JP]; 〒2260006 神奈川県横浜市緑区白山四丁目18番11号 Kanagawa (JP).
- (74) 代理人: 清水守(SHIMIZU, Mamoru); 〒1010053 東京都千代田区神田美土代町11番地12ニチヨビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: MULTI-HYSTERESIS VOLTAGE CONTROLLED CURRENT SOURCE SYSTEM

(54) 発明の名称: マルチヒステリシス電圧制御電流源システム

[図2]



(57) Abstract: Disclosed is a multi-hysteresis voltage controlled current source system that has diverse multi-hysteresis characteristics. A multi-hysteresis voltage controlled current source system is configured with binary hysteresis voltage controlled current source circuits ($2_1, 2_2, \dots, 2_N$) that comprise the basic constitutional element connected in parallel, and a differential input voltage (v_{id}) applied to the aforementioned binary hysteresis voltage controlled current source circuits ($2_1, 2_2, \dots, 2_N$), so that a multiplicity of individual discrete current values can be output based on the aforementioned binary hysteresis voltage controlled current source circuits ($2_1, 2_2, \dots, 2_N$).

(57) 要約: 多様なマルチヒステリシス特性を有するマルチヒステリシス電圧制御電流源システムを提供する。マルチヒステリシス電圧制御電流源システムにおいて、基本構成要素となる二値ヒステリシス電圧制御電流源回路 $2_1, 2_2, \dots, 2_N$ を並列に接続し、前記二値ヒステリシス電圧制御電流源回路 $2_1, 2_2, \dots, 2_N$ に差動入力電圧 v_{id} を印加し、前記二値ヒステリシス電圧制御電流源回路 $2_1, 2_2, \dots, 2_N$ に基づいて電流の複数個の離散値を出力できるように構成した。



WO 2010/089983 A1

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称： マルチヒステリシス電圧制御電流源システム

技術分野

[0001] 本発明は、マルチヒステリシス電圧制御電流源（VCCS）システムに関するものである。

背景技術

[0002] 近年、連続変数と離散変数とがシステム内に混在する「ハイブリッドダイナミカルシステム」に関する研究が盛んに行われている。現行の計算機システムは二値論理変数を基にした離散システムとして構成されているが、チューリングマシン（Turing machine）と等価なハイブリッドダイナミカルシステムの存在が数学的に証明されており（下記非特許文献1参照）、ハイブリッドダイナミカルシステムを用いることによって、現行のデジタル計算機とは異なるコンピューティングシステムが構築できる可能性がある。さらに、ハイブリッドダイナミカルシステムがカオスのような非常に複雑な現象を呈している際に、その連続値変数のアトラクタを離散値で表現することにより、動的で複雑な情報処理様式を考えることもできる。

[0003] 一方、ヒステリシス素子を用いたカオス発生回路がこれまでに提案されている（下記非特許文献2-11参照）。これらの回路では、非線形素子として区分線形二値ヒステリシス素子が用いられており、様々な興味深いカオスアトラクタが報告されている。さらに、カオスアトラクタをより多彩なものにするため、二値ヒステリシス素子を多値出力が得られるマルチヒステリシス素子に置き換えた方法も提案されている（下記非特許文献12-14）。この方法では、グリッドスクロールカオスアトラクタなどが観測できる。このような複雑なカオスアトラクタの形状は、用いるマルチヒステリシス特性に依存する。

先行技術文献

非特許文献

- [0004] 非特許文献1: Michael S. Branicky, "Universal computation and other capabilities of hybrid and continuous dynamical systems", *Theoretical Computer Science*, vol. 138, pp. 67-100, 1995
- 非特許文献2: R. W. Newcomb, and S. Sathyan, "An RC op amp chaos generator", *IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl.*, vol. 30, no. 1, pp. 54-56, 1983
- 非特許文献3: R. W. Newcomb, and N. El-Leithy, "A binary hysteresis chaos generator", in *Proc. of 1984 IEEE Int'l Symp. on Circuits and Systems*, pp. 856-859, 1984
- 非特許文献4: Toshimichi Saito, "On a hysteresis chaos generator", in *Proc. of 1985 IEEE Int'l Symp. on Circuits and Systems*, pp. 847-849, 1985
- 非特許文献5: Takashi Suzuki, and Toshimichi Saito, "On fundamental bifurcations from a hysteresis hyperchaos generator", *IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl.*, vol. 41, no. 12, pp. 876-884, 1994
- 非特許文献6: Toshimichi Saito, and Shinji Nakagawa, "Chaos from a hysteresis and switched circuit", *Phil. Trans. R*

. Soc. Lond. A, vol. 353, no. 1701, pp. 47–57, 1995

非特許文献7: Toshimichi Saito, and Kunihiro Mitsubori, “Control of chaos from a piecewise linear hysteresis circuit”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 42, no. 3, pp. 168–172, 1995

非特許文献8: J. E. Varrientos, and E. Sanchez-Sinencio, “A 4-D chaotic oscillator based on a differential hysteresis comparator”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 45, no. 1, pp. 3–10, 1998

非特許文献9: A. S. Elwakil, and M. P. Kennedy, “Chaotic Oscillators derived from Saito’s double-screw hysteresis oscillator”, IEICE Trans. Fundamentals, vol. E82-A, no. 9, pp. 1769–1775, 1999

非特許文献10: Masaki Kataoka, and Toshimichi Saito, “A 2-port VCCS chaotic oscillator and quad screw attractor”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 48, no. 2, pp. 221–225, 2001.

非特許文献11: F. Bizzarri, D. Stellardo, and M. Storace, “Bifurcation analysis and its experimental validation for

a hysteresis circuit oscillator”, IEEE Trans. on Circuits and Systems, Part I, Regular Papers, vol. 53, no. 5, pp. 517–521, 2006.

非特許文献12: Fengling Han, Xinghuo Yu, Yuyue Wang, Yong Feng, and Guanrong Chen, “n-scroll chaotic oscillators by second-order systems and double-hysteresis blocks”, Electronics Letters, vol. 39, no. 23, pp. 1636–1637, 2003.

非特許文献13: Fengling Han, Xinghuo Yu, and Jiankun Hu, “A new way of generating grid-scroll chaos and its application to biometric authentication”, in Proc. of IEEE 2005 Industrial Electronics Society, 31st Annual Conference, pp. 61–66, 2005.

非特許文献14: Fengling Han, Xinghuo Yu, Yong Feng, and Jiankun Hu, “On multiscroll chaotic attractors in hysteresis-based piecewise-linear systems”, IEEE Trans. on Circuits and Systems, Part II, Express Briefs, vol. 54, no. 11, pp. 1004–1008, 2007.

非特許文献15: Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, “An IC implementation of a hysteresis two-port VCCS chaotic oscillator”, in Proc

. of European Conf. on Circuits Theory and Design, pp. 926–929, 2007.

非特許文献16: Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, “Experimental observations from an integrated hysteresis two-port VCCS chaotic oscillator”, in Proc. IEEE Int’l Workshop on Nonlinear Dynamics of Electronic Systems, pp. 237–240, 2007.

非特許文献17: 濱田卓矢, 堀尾喜彦, 合原一幸, 「完全差動ヒステリシス2ポートVCCSカオス発振器」, 信学技報, NLP2007-180, pp. 79–84, 2008.

発明の概要

発明が解決しようとする課題

[0005] 多様なマルチヒステリシス特性を有するシステムは、様々な情報処理機構を創造していくために必要不可欠である。しかしながら、上記非特許文献12–14で提案されているマルチヒステリシスシステムは、二値ヒステリシス特性が直列に結合した形状の特性のみしか有していない。また、このマルチヒステリシス特性は、複数個の二値ヒステリシス特性を有した電圧制御電圧源回路（VCCS回路）を接続することによって構成されている。このVCCS回路は、入力・出力共に電圧であるため、複数個の接続には加算器が必要となり、回路規模が大きくなってしまふ。

[0006] 本発明は、上記状況を鑑みて、多様なマルチヒステリシス特性を有するマルチヒステリシス電圧制御電流源システムを提供することを目的とする。

課題を解決するための手段

[0007] 本発明は、上記目的を達成するために、

〔1〕マルチヒステリシス電圧制御電流源システムにおいて、基本構成要素となる二値ヒステリシス電圧制御電流源回路を並列に接続し、前記二値ヒ

ステリシス電圧制御電流源回路に差動入力電圧を印加し、前記二値ヒステリシス電圧制御電流源回路に基づいて電流の複数個の離散値を出力できるように構成したことを特徴とする。

[0008] [2] 上記〔1〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記二値ヒステリシス電圧制御電流源回路の特性をそれぞれ独立に設定可能にし、これらの特性を変化させることにより、多様なマルチヒステリシス電圧制御電流源特性を得ることを特徴とする。

[0009] [3] 上記〔1〕又は〔2〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記二値ヒステリシス電圧制御電流源回路がN個（Nは任意の正の整数）並列に接続されることを特徴とする。

[0010] [4] 上記〔1〕又は〔2〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路のみを組み合わせるようにしたことを特徴とする。

[0011] [5] 上記〔1〕又は〔2〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、逆ヒステリシス特性を持つ回路のみを組み合わせるようにしたことを特徴とする。

[0012] [6] 上記〔1〕又は〔2〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路と逆ヒステリシス特性を持つ回路を組み合わせるようにしたことを特徴とする。

[0013] [7] 上記〔6〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路と逆ヒステリシス特性を持つ回路を2個組み合わせるようにしたことを特徴とする。

[0014] [8] 上記〔4〕、〔5〕又は〔6〕記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御

電流源回路を3個並列接続するようにしたことを特徴とする。

[0015] [9] 上記 [1] 又は [2] 記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、オペレーショナル・トランスコンダクタンス増幅器 (OTA) と、ラッチ回路を備えることを特徴とする。

[0016] [10] 上記 [9] 記載のマルチヒステリシス電圧制御電流源システムにおいて、前記ラッチ回路の外部制御電圧 (V_{he}) の制御により閾値電圧の幅を変化させることを特徴とする。

[0017] [11] 上記 [1] 又は [2] 記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、完全差動型二値ヒステリシス電圧制御電流源回路を3個組み込むことを特徴とする。

発明の効果

[0018] 本発明のマルチヒステリシス電圧制御電流源システムは、電圧を入力、電流を出力とする、複数の二値ヒステリシスVCCS回路を並列に組み合わせることで、マルチヒステリシスVCCS回路を容易に構成することができる。

[0019] さらに、マルチヒステリシスVCCS回路の構成要素である二値ヒステリシスVCCS回路は、その特性をそれぞれ独立に設定できるため、これらを変化させることにより、多様なマルチヒステリシスVCCS特性を容易に実現することができる。

図面の簡単な説明

[0020] [図1] 二値ヒステリシス電圧制御電流源素子の説明図である。

[図2] 本発明の実施例を示すマルチヒステリシス電圧制御電流源システムの構成図である。

[図3] 本発明の実施例を示すマルチヒステリシス電圧制御電流源素子の回路記号を示す図である。

[図4] 2個の二値ヒステリシスVCCS回路を並列に接続して合成したマルチ

ヒステリシス特性を示す図（その1）である。

[図5] 2個の二値ヒステリシスVCCS回路を並列に接続して合成したマルチヒステリシス特性を示す図（その2）である。

[図6] 2個の二値ヒステリシスVCCS回路を並列に接続して合成したマルチヒステリシス特性を示す図（その3）である。

[図7] 逆特性の二値ヒステリシスVCCS特性図である。

[図8] 順ヒステリシス特性と逆ヒステリシス特性の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その1）である。

[図9] 順ヒステリシス特性と逆ヒステリシス特性の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その2）である。

[図10] 順ヒステリシス特性と逆ヒステリシス特性の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その3）である。

[図11] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その1）である。

[図12] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その2）である。

[図13] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その3）である。

[図14] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その4）である。

[図15] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その5）である。

[図16] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その6）である。

[図17] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチ

ヒステリシス特性を示す図（その 7）である。

[図18] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 8）である。

[図19] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 9）である。

[図20] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 10）である。

[図21] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 11）である。

[図22] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 12）である。

[図23] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 13）である。

[図24] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 14）である。

[図25] 3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 15）である。

[図26] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 1）である。

[図27] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 2）である。

[図28] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 3）である。

[図29] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 4）である。

[図30] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その 5）である。

[図31] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並

列接続して合成したマルチヒステリシス特性を示す図（その6）である。

[図32] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その7）である。

[図33] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その8）である。

[図34] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その9）である。

[図35] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その10）である。

[図36] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その11）である。

[図37] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その12）である。

[図38] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その13）である。

[図39] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その14）である。

[図40] 逆ヒステリシス特性を含む3個の二値ヒステリシスVCCS回路を並列接続して合成したマルチヒステリシス特性を示す図（その15）である。

[図41] 完全差動型二値ヒステリシスVCCS回路図である。

[図42] 完全差動型二値ヒステリシスVCCS回路の外部制御電圧 V_{he} を変化させた場合の $v_{id} - i_{o+}$ 特性図である。

[図43] 外部制御電圧 V_{he} に対する閾値電圧 E^R の変化を示す図である。

[図44] 完全差動型マルチヒステリシスVCCSシステム（ $N=3$ ）構成図である。

[図45] 完全差動型マルチヒステリシスVCCSシステムの $v_{id} - i_{o+}$ 特性図である。

[図46] SPICEシミュレーションにより得られた完全差動型マルチヒステ

リシスVCCSシステムの特徴図である。

発明を実施するための形態

[0021] 本発明のマルチヒステリシス電圧制御電流源システムは、構成要素となる二値ヒステリシス電圧制御電流源回路を並列に接続し、これらの二値ヒステリシス電圧制御電流源回路に基づいて電流の複数個の離散値を出力できるように構成した。

実施例

[0022] 以下、本発明の実施の形態について詳細に説明する。

[0023] 本発明のマルチヒステリシスVCCS特性の実現法について説明する。

[0024] 図1は二値ヒステリシス電圧制御電流源素子の説明図であり、マルチヒステリシス特性を合成するための基本となる二値ヒステリシス素子の回路記号を図1(a)に、その入出力特性を図1(b)に示す。

[0025] この二値ヒステリシス素子1は、差動入力電圧 v_{id} に対して出力電流 i_{out} が図1(b)に示すようなヒステリシス特性を呈する電圧制御電流源(VCCS)回路である。図1(b)中に示す2種類の飽和出力電流のうち、差動入力電圧 v_{id} がヒステリシスの閾値電圧 E^R より小さい時の出力として定義される出力飽和電流を I^U 、差動入力電圧 v_{id} がヒステリシスの閾値電圧 E^L よりも大きい時の出力飽和電流を I^D とする。ただし、 $E^L < E^R$ である。出力電流 i_{out} が I^U である時、差動入力電圧 v_{id} が E^R となると、出力電流 i_{out} は I^D に切り替わる。同様に、出力電流 i_{out} が I^D である時、差動入力電圧 v_{id} が E^L となると、出力電流 i_{out} は I^U に切り替わる。したがって、この回路の $v_{id}-i_{out}$ 特性は下記式(1)のように示される。

[0026] [数1]

$$i^{out} = H(v_{id}) = \begin{cases} I^U & \text{for } v_{id} \leq E^R \\ I^D & \text{for } v_{id} \geq E^L \end{cases} \quad \dots(1)$$

ここで、 $H(v_{id})$ は二値ヒステリシス特性を表す。

[0027] 図2は本発明の実施例を示すマルチヒステリシス電圧制御電流源システム

の構成図である。

[0028] 上記した二値ヒステリシスVCCS回路は電流出力であるため、図2のようにN個（Nは任意の正の整数）の二値ヒステリシスVCCS回路 $2_1 \sim 2_N$ を容易に並列に接続することができる。この時、合計出力電流 i^{mh} は下記式（2）のように表すことができる。

[0029] [数2]

$$i^{mh} = MH(v_{id}) = \sum_{k=1}^N H_k(v_{id}) = \sum_{k=1}^N i_k^{out} \quad \dots(2)$$

ここで、kはk番目の二値ヒステリシスVCCS回路を示す。図2において、各二値ヒステリシス特性 $H_k(v_{id})$ の閾値が異なる値の場合、合計出力電流 i^{mh} は多値出力のヒステリシス特性、すなわち、マルチヒステリシス特性を有する。このように、差動入力電圧 v_{id} に対して合計出力電流 i^{mh} がマルチヒステリシス特性を有する素子を、以下では図3に示す記号で表す。

[0030] ここで、k番目の二値ヒステリシス特性 $H_k(v_{id})$ の閾値電圧を E^R_k および E^L_k （ただし $E^R_k > E^L_k$ ）とする。また、 $v_{id} \leq E^R_k$ で定義される飽和出力電流値を I^U_k 、 $v_{id} \geq E^L_k$ で定義される飽和出力電流値を I^D_k とする。さらに、下記式（3）に示すように、k番目の二値ヒステリシスVCCS回路の出力が飽和出力電流値 I^U_k である時“1”、そうでない時“0”となる二値変数 b_k を導入する。

[0031] [数3]

$$b_k = B(i_k^{out}) = \begin{cases} 1, & \text{for } i_k^{out} = I^U_k \\ 0, & \text{otherwise} \end{cases} \quad \dots(3)$$

ここで、 $B(i_k^{out})$ は、連続値変数 i_k^{out} から二値変数 b_k への変換を与える関数である。この時、マルチヒステリシスVCCS回路の合計出力電流 i^{mh} は下記式（4）で表すことができる。

[0032]

[数4]

$$i^{mh} = MH(v_{id}) = \sum_{k=1}^N (I_k^U b_k + I_k^D \bar{b}_k) \text{ for } \max_{b_n=0} (E_n^L) \leq v_{id} \leq \min_{b_p=1} (E_p^R) \quad \dots (4)$$

ここで、 \bar{b}_k は b_k の反転を表す。さらに、 $\max_{b_n=0} (E_n^L)$ は、出力が $i^{out}_k \neq I_k^U$ (すなわち $b_k = 0$)である二値ヒステリシスVCCS回路の2つの閾値のうち、低い電圧のものの中での最大値、また、 $\min_{b_p=1} (E_p^R)$ は出力が $i^{out}_k = I_k^U$ (すなわち $b_k = 1$)である二値ヒステリシスVCCS回路の2つの閾値のうち、高い電圧のものの中での最小値を表す。ここで、 n と p はインデックスであり、 $1 \leq n \leq N$ 、および $1 \leq p \leq N$ である。

[0033] 一方、マルチヒステリシス特性内に含まれる二値ヒステリシス特性の出力状態を

[0034] [数5]

$$m = 1 + \sum_{k=1}^N b_k 2^{k-1} \quad \dots (5)$$

で与えられる整数値 m で表す。さらに、出力状態が m である時のマルチヒステリシスVCCS回路の合計出力電流 i^{mh} の値を I_m とする。

[0035] 本発明のマルチヒステリシスVCCSシステムの最も簡単な構成例として、2個の二値ヒステリシスVCCS回路を組み合わせた場合に得られるマルチヒステリシス特性(その1~その3)を図4から図6に示す。

[0036] これらの図に示すように、基となる2つの二値ヒステリシスVCCS回路のそれぞれの特性間の関係は、(i)ヒステリシス区間が入れ子構造を有している場合($E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2$, 図4)、(ii)ヒステリシス区間が重複しない場合($E^L_1 < E^R_1 \leq E^L_2 < E^R_2$, 図5)、(iii)ヒステリシス区間の一部が重複する場合($E^L_1 \leq E^L_2 < E^R_1 \leq E^R_2$, 図6)の3種類に大別することができる。

[0037] 一般に、 N 個(N は任意の正の整数)の二値ヒステリシスVCCS回路の各ヒステリシス区間の中に他のヒステリシス区間が入れ子状に存在する時〔(i)〕は、全ての閾値電圧が異なっていれば、合成されるマルチヒステリシス特性内に存在する出力電流値の切り替わり点の総数 SW は、

[0038] [数6]

$$SW = \sum_{k=1}^N 2^k = 2^{N+1} - 2 \quad \dots (6)$$

で与えられる。例えば、図4 (b) の場合、6個の出力切り替わり点が存在する。

[0039] 一方、基となる二値ヒステリシス特性の全てのヒステリシス区間が重複しない場合 [(ii)]、もしくは、それらの一部のみが重複するような場合 [(iii)]、全ての閾値電圧が異なっていれば、N個 (Nは任意の正の整数) の二値ヒステリシスVCCS回路により合成されるマルチヒステリシス特性内に存在する出力電流値の切り替わり点の総数SWは、

$$SW = 2N \quad \dots (7)$$

で与えられる。例えば、図5 (b) および図6 (b) の場合には、それぞれ4個の出力切り替わり点が存在する。

[0040] ところで、マルチヒステリシスVCCSシステムを構成する二値ヒステリシスVCCS回路の特性は、図7に示すように、図1 (b) とは逆向きの特性、すなわち、 $I^U_k < I^D_k$ である特性とすることも可能である。このような逆特性を持つ二値ヒステリシスVCCS回路と、通常の特性を持つ二値ヒステリシスVCCS回路を2個組み合わせた時のマルチヒステリシス特性例 (その1~その3) を図8から図10に示す。

[0041] この場合も、マルチヒステリシスVCCSシステムを構成する各二値ヒステリシスVCCS回路の特性間の関係は、(i) ヒステリシス区間が入れ子構造を有する場合 ($E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2$, 図8)、(ii) 全てのヒステリシス区間が重複しない場合 ($E^L_1 < E^R_1 \leq E^L_2 < E^R_2$, 図9)、(iii) ヒステリシス区間の一部が重複する場合 ($E^L_1 \leq E^L_2 < E^R_1 \leq E^R_2$, 図10) の3種類に大別できる。また、マルチヒステリシス特性の出力飽和電流の切り替わり点の総数SWは、各ヒステリシス区間が入れ子構造を有している場合 [(i)] は上記式(6)となり、その他の場合 [(ii), (iii)] は、上記式(7)で与えられる。

- [0042] 次に、二値ヒステリシスVCCS回路を3個並列接続した場合のマルチヒステリシス特性の例を挙げる。
- [0043] まず、図4に示したようにヒステリシス特性が入れ子になっている2個の二値ヒステリシスVCCS回路に、もう1個の二値ヒステリシスVCCS回路を追加接続した場合（その1～その5）を図11から図15に示す。図11は3個の二値ヒステリシスVCCS回路のヒステリシス特性が入れ子構造を有する場合（ $E^L_3 \leq E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^R_3$ ）、図12は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値の間に存在する場合（ $E^L_2 \leq E^L_3 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^R_3$ ）、図13は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目の二値ヒステリシスVCCS回路のヒステリシス特性の閾値の内側に存在する場合（ $E^L_2 \leq E^L_1 \leq E^L_3 < E^R_1 \leq E^R_2 \leq E^R_3$ ）、図14は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が2個目の二値ヒステリシスVCCS回路のヒステリシス特性の閾値よりも内側で、さらに、3個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値が1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値の間に存在する場合（ $E^L_2 \leq E^L_1 \leq E^L_3 < E^R_1 \leq E^R_3 \leq E^R_2$ ）、図15は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が他の二値ヒステリシスVCCS回路のヒステリシス特性と重複しない場合（ $E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^L_3 < E^R_3$ ）である。
- [0044] さらに、図16から図20は、図5に示したようなヒステリシス特性のヒステリシス区間が重複しない2個の二値ヒステリシスVCCS回路に加えて、もう1個の二値ヒステリシスVCCS回路を接続する場合（その6～その10）である。図16は3個目の二値ヒステリシスVCCS回路の左右両方の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の閾値よりもそれぞれ外側にある場合（ $E^L_3 \leq E^L_1 < E^R_1 \leq E^L_2 < E^R_2 \leq E^R_3$ ）

、図17は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^{L_1} \leq E^{L_3} < E^{R_1} \leq E^{L_2} < E^{R_2} \leq E^{R_3}$)、図18は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、2個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^{L_1} < E^{R_1} \leq E^{L_2} \leq E^{L_3} < E^{R_2} \leq E^{R_3}$)、図19は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が1個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に、さらに、右側の閾値が2個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^{L_1} \leq E^{L_3} < E^{R_1} \leq E^{L_2} \leq E^{R_3} < E^{R_2}$)、図20は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間と他の2つの二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が重複しない場合 ($E^{L_1} < E^{R_1} \leq E^{L_2} < E^{R_2} \leq E^{L_3} < E^{R_3}$) である。

[0045] 以上に述べた特性のうち、図5(b)および図20(b)の特性は上記非特許文献12, 13, 14で用いられているマルチヒステリシス特性と同等であり、本発明のマルチヒステリシスVCCS回路によっても同様な特性がより簡単に実現できる。

[0046] さらに、図21から図25に、図6に示したようなヒステリシス区間の一部が重複している2個の二値ヒステリシスVCCS回路に加えて、もう1個二値ヒステリシスVCCS回路を接続した場合に得られるマルチヒステリシス特性(その11~その15)を挙げる。図21は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左右両方の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の閾値よりもそれぞれ外側にある場合 ($E^{L_3} \leq E^{L_1} \leq E^{L_2} < E^{R_1} \leq E^{R_2} \leq E^{R_3}$)、図22は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値の間に存在する場合 ($E^{L_1} \leq E^{L_3} \leq E^{L_2} < E^{R_1} \leq E^{R_2} \leq E^{R_3}$)、図23は3個目の二

値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の重複したヒステリシス区間内に存在する場合 ($E^L_1 \leq E^L_2 \leq E^L_3 < E^R_1 \leq E^R_2 \leq E^R_3$)、図24は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の重複したヒステリシス区間内に存在し、さらに、3個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値が1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値の間に存在する場合 ($E^L_1 \leq E^L_2 \leq E^L_3 < E^R_1 \leq E^R_3 \leq E^R_2$)、図25は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間と他の2つの二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が重複しない場合 ($E^L_1 \leq E^L_2 < E^R_1 \leq E^R_2 \leq E^L_3 < E^R_3$) である。

[0047] 次に、互いに逆特性を有した二値ヒステリシスVCCS回路を2個接続し、さらに、3個目の二値ヒステリシスVCCS回路を接続する場合について述べる。

[0048] まず、図8に示したような2個のヒステリシス区間が入れ子構造を有している場合に加えてもう1個接続した場合のマルチヒステリシス特性（その1～その5）を図26から図30に示す。図26は3個の二値ヒステリシスVCCS回路のヒステリシス特性が入れ子構造を有している場合 ($E^L_3 \leq E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^R_3$)、図27は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値の間に存在する場合 ($E^L_2 \leq E^L_3 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^R_3$)、図28は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値のさらに内側に存在する場合 ($E^L_2 \leq E^L_1 \leq E^L_3 < E^R_1 \leq E^R_2 \leq E^R_3$)、図29は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値よりも内側で

、さらに3個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値が1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値の間に存在する場合 ($E^L_2 \leq E^L_1 \leq E^L_3 < E^R_1 \leq E^R_3 \leq E^R_2$)、図30は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が他の2つの二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間と重複しない場合 ($E^L_2 \leq E^L_1 < E^R_1 \leq E^R_2 \leq E^L_3 < E^R_3$) である。

[0049] さらに、図31から図35は、図9に示したようなヒステリシス区間が重複していない逆向きの二値ヒステリシス特性を持つ2個の二値ヒステリシスVCCS回路を並列接続し、さらにもう1個の二値ヒステリシスVCCS回路を接続した場合のマルチヒステリシス特性（その6～その10）である。図31は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左右両方の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の閾値よりもそれぞれ外側にある場合 ($E^L_3 \leq E^L_1 < E^R_1 \leq E^L_2 \leq E^R_2 \leq E^R_3$)、図32は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^L_1 \leq E^L_3 < E^R_1 \leq E^L_2 < E^R_2 \leq E^R_3$)、図33は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、2個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^L_1 < E^R_1 \leq E^L_2 \leq E^L_3 < E^R_2 \leq E^R_3$)、図34は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が1個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に、さらに、3個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値が2個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間内に存在する場合 ($E^L_1 \leq E^L_3 < E^R_1 \leq E^L_2 \leq E^R_3 < E^R_2$)、図35は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間と他の2つの二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が重複しない場合 ($E^L_1 < E^R$

$E^L_1 \leq E^L_2 < E^R_2 \leq E^L_3 < E^R_3$) である。

[0050] また、図36から図40は、図10に示したようなヒステリシス特性のヒステリシス区間の一部が重複している2個の二値ヒステリシスVCCS回路を接続し、それに加えてもう1個の二値ヒステリシスVCCS回路を接続する場合の特性（その11～その15）である。図36は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左右両方の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の閾値よりもそれぞれ外側にある場合（ $E^L_3 \leq E^L_1 \leq E^L_2 < E^R_1 \leq E^R_2 < E^R_3$ ）、図37は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が、1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値の間に存在する場合（ $E^L_1 \leq E^L_3 \leq E^L_2 < E^R_1 \leq E^R_2 < E^R_3$ ）、図38は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の重複したヒステリシス区間に存在する場合（ $E^L_1 \leq E^L_2 \leq E^L_3 < E^R_1 \leq E^R_2 < E^R_3$ ）、図39は3個目の二値ヒステリシスVCCS回路のヒステリシス特性の左側の閾値が他の2個の二値ヒステリシスVCCS回路のヒステリシス特性の重複したヒステリシス区間に存在し、さらに、3個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値が1個目と2個目の二値ヒステリシスVCCS回路のヒステリシス特性の右側の閾値の間に存在する場合（ $E^L_1 \leq E^L_2 \leq E^L_3 < E^R_1 \leq E^R_3 < E^R_2$ ）、図40は3個目の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間と他の2個の二値ヒステリシスVCCS回路のヒステリシス特性のヒステリシス区間が重複しない場合（ $E^L_1 \leq E^L_2 < E^R_1 \leq E^R_2 \leq E^L_3 < E^R_3$ ）である。

[0051] 以上に示したように、3個の二値ヒステリシスVCCS回路を結合させることによって、非常に複雑で多様なマルチヒステリシス特性を実現できる。したがって、一般にN個（Nは任意の正の整数）の二値ヒステリシスVCCS回路を本発明の手法を用いて結合させることにより、非常に多様なマルチヒステリシス特性が容易に実現できる。また、回路を構成するそれぞれの二

値ヒステリシスVCCS回路の特性は互いに独立に設定できるため、一旦マルチヒステリシス回路を構成してからも、その特性を自由に変更することが可能である。

[0052] 次に、マルチヒステリシス回路の実装例について説明する。

[0053] 上記したように、本発明のマルチヒステリシスVCCSシステムは、並列接続された複数の二値ヒステリシスVCCS回路より構成される。まず、基本構成要素となる二値ヒステリシス回路の完全差動回路による実装例を図4-1に示す（本発明者らによって提案されている上記非特許文献15、16、17参照）。この回路は、主にOperational Transconductance Amplifier (OTA) とラッチ回路から構成される。OTA (M_7 から M_{19}) の出力電圧値がラッチ回路 (M_1 から M_6) の入力電圧となっている。ラッチ回路は、差動対 (M_1 , M_2) と、電流源 (M_5 , M_6) と、二つのクロスカップルされたMOSFET (M_3 , M_4) で構成されている。MOSFET M_2 のゲート電圧が高くなると、MOSFET M_2 に多くの電流が流れるようになるため、MOSFET M_2 のドレイン電圧、すなわち、MOSFET M_4 のソース電圧が低下する。それにより、MOSFET M_4 のドレイン電圧、すなわち、MOSFET M_3 のゲート電圧が低下する。そのため、MOSFET M_3 に流れる電流が減少し、MOSFET M_3 のドレイン電圧、すなわち、MOSFET M_4 のゲート電圧が上昇する。これにより、さらにMOSFET M_4 のドレイン電流が増加し、MOSFET M_4 のドレイン電圧、すなわち、MOSFET M_3 のゲート電圧がさらに低下する。このように、正帰還がかかり、MOSFET M_4 のドレイン電圧の急峻な立ち下がり特性が得られる。一方、この状態から逆にMOSFET M_2 のゲート電圧が低下すると、MOSFET M_2 に流れる電流は減少しようとするが、正帰還により、MOSFET M_4 のゲートは高電位に保たれているので、MOSFET M_2 の電流は急激には減少できない。その結果、MOSFET M_2 のドレイン電圧、すなわちMOSFET M_4 のソース電圧が上昇し、MOSFET M_4 のゲート・ソース間電圧が減少する

。MOSFET M_4 のゲート・ソース間電圧がある値まで減少すると、MOSFET M_4 のドレイン電圧が上昇して、正帰還により、今度はMOSFET M_3 が一気にONとなり、MOSFET M_4 がOFFになるので、MOSFET M_4 のドレイン電圧の急峻な立ち上がり特性が得られる。これら一連の過程で、MOSFET M_2 のゲート電圧が上昇する時にMOSFET M_4 がONになる入力電圧値と、MOSFET M_2 のゲート電圧が下降する時にMOSFET M_4 がOFFになる入力電圧値とに差が生じるため、ヒステリシス特性が実現できる。また、外部制御電圧 V_{he} により、MOSFET M_5 , M_6 の電流源の電流値を調節すると、MOSFET M_5 , M_6 のドレインソース電圧の大きさを変化させることができる。MOSFET M_5 , M_6 のドレインソース電圧が大きくなると、MOSFET M_1 からMOSFET M_4 の駆動範囲が狭くなり、ヒステリシス特性の閾値電圧の幅が小さくなる。また、MOSFET M_5 , M_6 の電流源のゲート電圧を下げると、ヒステリシス特性の閾値電圧の幅が広がる。以上により、 V_{he} の電圧値を調節することでヒステリシス特性の閾値電圧の幅が調整できる。

[0054] 図41に示した完全差動型二値ヒステリシスVCCS回路で、外部制御電圧 V_{he} を、1.2V, 1.24V, 1.29Vにそれぞれ設定した場合に、SPICEシミュレーションから得られた $v_{id} - i_0^+$ 特性を図42に示す。また、この時用いた図41中の各トランジスタのサイズを表1に示す。

[0055] [表1]

素子	W/L	素子	W/L
$M_{1,2}$	1.2 $\mu\text{m}/2\mu\text{m}$	$M_{3,4}$	4 $\mu\text{m}/1\mu\text{m}$
$M_{5,6}$	13 $\mu\text{m}/1\mu\text{m}$	$M_{7,9}$	0.5 $\mu\text{m}/1\mu\text{m}$
M_8	4.4 $\mu\text{m}/2\mu\text{m}$	$M_{10,11}$	1 $\mu\text{m}/2\mu\text{m}$
$M_{12,14,15,17}$	1.1 $\mu\text{m}/2\mu\text{m}$	$M_{13,16}$	1.05 $\mu\text{m}/2\mu\text{m}$
$M_{18,19}$	0.8 $\mu\text{m}/2\mu\text{m}$	$M_{20,23}$	21.6 $\mu\text{m}/2\mu\text{m}$
$M_{21,22}$	10.8 $\mu\text{m}/2\mu\text{m}$	$M_{28,31}$	3.2 $\mu\text{m}/2\mu\text{m}$
$M_{29,30}$	1.6 $\mu\text{m}/2\mu\text{m}$	$M_{32,35}$	7.2 $\mu\text{m}/2\mu\text{m}$
$M_{33,34}$	3.6 $\mu\text{m}/2\mu\text{m}$	$M_{36,37,38}$	5.4 $\mu\text{m}/1\mu\text{m}$
M_{39}	1 $\mu\text{m}/3.5\mu\text{m}$		

シミュレーション結果より、外部制御電圧 V_{he} が 1.2 V の時の閾値電圧は ± 0.058 V、 V_{he} が 1.24 V の時の閾値電圧は ± 0.237 V、 V_{he} が 1.29 V の時の閾値電圧は ± 0.445 V であった。さらに、外部制御電圧 V_{he} に対する閾値電圧 E^R の変化を図 4 3 に示す。

[0056] 上述の完全差動型二値ヒステリシス VCCS 回路を複数個並列接続させることによってマルチヒステリシスシステムが実現できる。3 個の完全差動型二値ヒステリシス VCCS 回路を組み込んだマルチヒステリシスシステムの例を図 4 4 に示す。この図 4 4 中の三角形の記号 (h_1 , h_2 , h_3) は、図 4 1 中の MOSFET M_1 から M_{19} までのトランジスタからなるコア回路部分を示している。

[0057] 図 4 4 に示したマルチヒステリシス VCCS システムの SPICE シミュレーション結果を図 4 5 に、また、このシミュレーションで用いたトランジスタのサイズを表 2 に示す。

[0058] [表 2]

素子	W/L	素子	W/L
$M_{1,2,3,4,5,6}$	$1.6 \mu\text{m}/1 \mu\text{m}$	$M_{7,8,9,10,11,12}$	$1.6 \mu\text{m}/1 \mu\text{m}$
$M_{13,14,15}$	$10.8 \mu\text{m}/2 \mu\text{m}$	$M_{16,17,18}$	$10.8 \mu\text{m}/2 \mu\text{m}$
$M_{19,20,21}$	$21.6 \mu\text{m}/2 \mu\text{m}$	$M_{22,23,24}$	$21.6 \mu\text{m}/2 \mu\text{m}$
$M_{25,27}$	$1.6 \mu\text{m}/1 \mu\text{m}$	$M_{26,28}$	$3.6 \mu\text{m}/2 \mu\text{m}$
$M_{29,31}$	$3.2 \mu\text{m}/1 \mu\text{m}$	$M_{30,32}$	$7.2 \mu\text{m}/2 \mu\text{m}$
$M_{33,34,36}$	$5.4 \mu\text{m}/2 \mu\text{m}$	M_{35}	$1 \mu\text{m}/3.5 \mu\text{m}$

図 4 5 (a) は、図 4 4 の回路に含まれるそれぞれ閾値電圧が異なる 3 個の二値ヒステリシス VCCS 回路の入出力特性を重ね合わせたものである。図 4 5 (b) は、これらを結合させた時に実現されたマルチヒステリシス特性である。

[0059] また、図 1 2 (b)、図 1 3 (b)、図 1 4 (b) に示したそれぞれの特性と同様の閾値の関係に設定した時に、SPICE により得られた完全差動型マルチヒステリシス VCCS システムの特性を図 4 6 (a)、(b)、(c) に示す。また、表 3 にこれらのシミュレーションで用いた外部制御電圧を示す。

[0060] [表3]

制御電圧	図46(a)	図46(b)	図46(c)
V_{he1}	1.20V	1.20V	1.20V
V_{he2}	1.24V	1.24V	1.24V
V_{he3}	1.29V	1.29V	1.18V
V_{ref1}	-1.25V	-1.25V	-1.25V
V_{ref2}	-1.25V	-1.25V	-1.25V
V_{ref3}	-1.25V	-1.25V	-1.25V
V_{hi1}	1.40V	1.40V	1.40V
V_{hi2}	1.35V	1.35V	1.35V
V_{hi3}	1.29V	1.29V	1.29V
V_{w1}	0.00V	0.00V	0.00V
V_{w2}	0.00V	0.00V	0.00V
V_{w3}	0.28V	0.28V	0.60V

表3において、 V_{hek} 、 V_{refk} 、 V_{hik} 、 V_{wk} ($k=1, 2, 3$) は、それぞれ、マルチヒステリシスVCCSシステム内に含まれる k 番目の二値ヒステリシスVCCS回路の外部制御電圧である。さらに、シミュレーションでは、二値ヒステリシスVCCS回路 (h_1 から h_3) の v_{in}^- 端子は、それぞれ、 V_{w1} から V_{w3} の電圧に固定し、共通の v_{in}^+ の電圧を変化させて特性を測定した。

[0061] このように、本発明によれば、二値ヒステリシスVCCS回路を並列接続することによりマルチヒステリシスVCCS特性を構成するマルチヒステリシス電圧制御電流源システムを実現することができる。さらに、本発明の妥当性を検証するため、マルチヒステリシスVCCS特性を実現するための回路例と、その回路のSPICEシミュレーション結果を示した。本発明のマルチヒステリシス電圧制御電流源システムによれば、容易に多彩なマルチヒステリシスVCCS特性を実現することができる。また、マルチヒステリシス電圧制御電流源回路を構成する二値ヒステリシスVCCS回路の特性は各々独立に設定することができるので、各二値ヒステリシスVCCS回路の特性を制御する外部電圧を用いて、合成されたマルチヒステリシス特性の形状を容易に制御することができる。このため、回路の動作中においても、ヒステリシス特性の段数や形状、さらに、閾値や飽和電流値等のマルチヒステリシス特性を制御することができ、さらに多彩な動作が可能となる。

[0062] このような多彩なマルチヒステリシスVCCS特性は、非常に複雑なアトラクタを呈するマルチヒステリシスカオス発振器の実現や、大規模で複雑なハイブリッドダイナミカルシステムの構築、さらには、多値論理関数回路や多値メモリ回路の実装、また、多値状態を利用するマルチヒステリシスニューラルネットワーク等への応用が期待できる。

[0063] なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

産業上の利用可能性

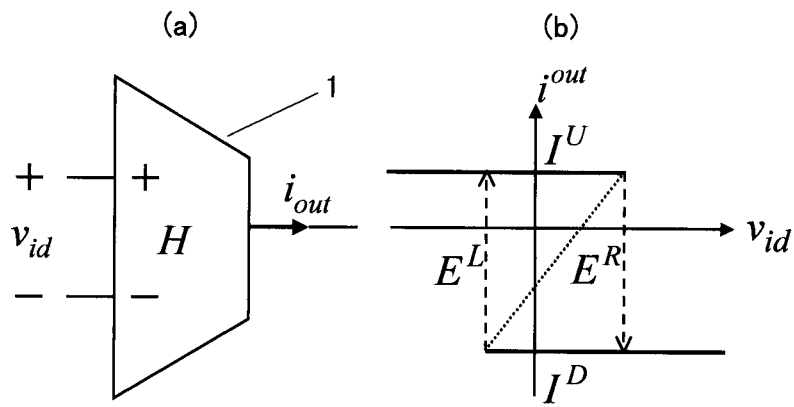
[0064] 本発明のマルチヒステリシス電圧制御電流源システムは、非常に複雑なアトラクタを呈するマルチヒステリシスカオス発振器の実現や、大規模で複雑なハイブリッドダイナミカルシステムの構築、さらには、多値論理関数回路や多値メモリ回路の実装、また、多値状態を利用するマルチヒステリシスニューラルネットワーク等への利用が可能である。

請求の範囲

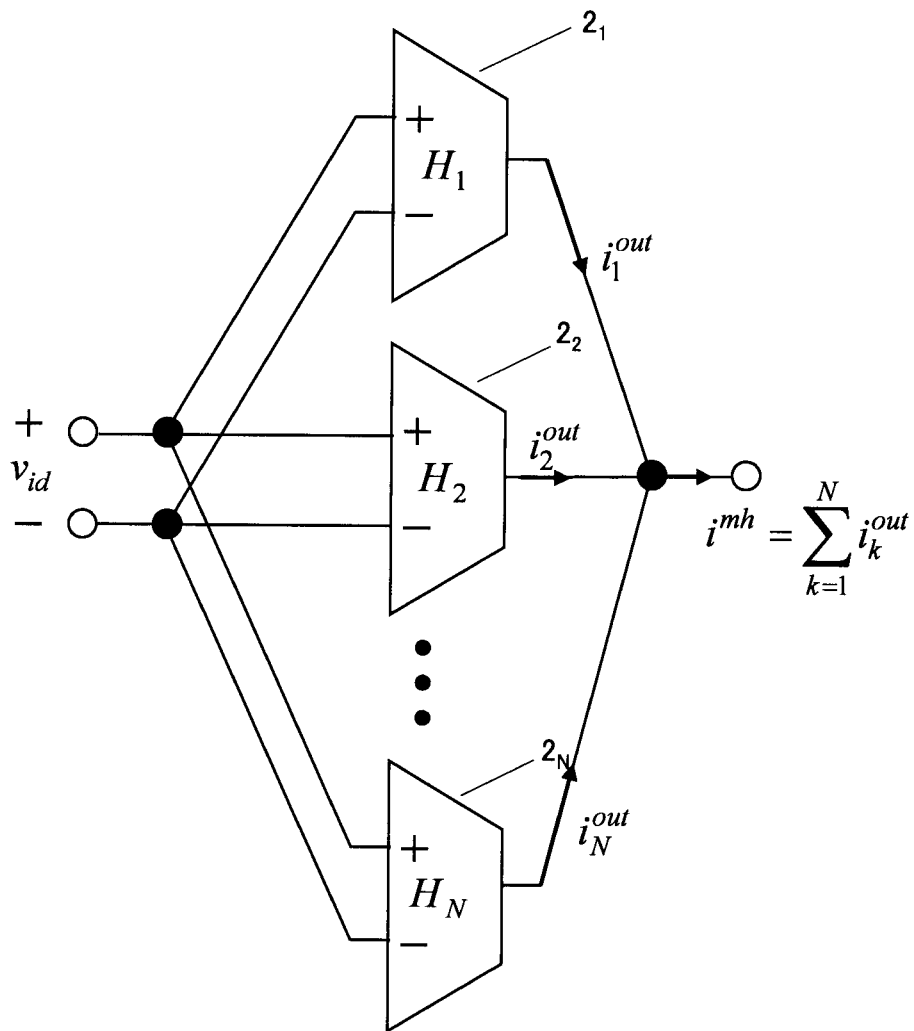
- [請求項1] 基本構成要素となる二値ヒステリシス電圧制御電流源回路を並列に接続し、前記二値ヒステリシス電圧制御電流源回路に差動入力電圧を印加し、前記二値ヒステリシス電圧制御電流源回路に基づいて電流の複数個の離散値を出力できるように構成したことを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項2] 請求項1記載のマルチヒステリシス電圧制御電流源システムにおいて、前記二値ヒステリシス電圧制御電流源回路の特性をそれぞれ独立に設定可能にし、これらの特性を変化させることにより、多様なマルチヒステリシス電圧制御電流源特性を得ることを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項3] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記二値ヒステリシス電圧制御電流源回路がN個（Nは任意の正の整数）並列に接続されることを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項4] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路のみを組み合わせるようにしたことを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項5] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、逆ヒステリシス特性を持つ回路のみを組み合わせるようにしたことを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項6] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路と逆ヒステリシス特性を持つ回路を組み合わせるようにしたことを特徴とするマルチヒステリシス電圧制御電流源システム。

- [請求項7] 請求項6記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、順ヒステリシス特性を持つ回路と逆ヒステリシス特性を持つ回路を2個組み合わせるようにしたことを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項8] 請求項4、5又は6記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路を3個並列接続するようにしたことを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項9] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、オペレーショナル・トランスコンダクタンス増幅器（OTA）と、ラッチ回路を備えることを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項10] 請求項9記載のマルチヒステリシス電圧制御電流源システムにおいて、前記ラッチ回路の外部制御電圧（ V_{he} ）の制御により閾値電圧の幅を変化させることを特徴とするマルチヒステリシス電圧制御電流源システム。
- [請求項11] 請求項1又は2記載のマルチヒステリシス電圧制御電流源システムにおいて、前記並列に接続される二値ヒステリシス電圧制御電流源回路は、完全差動型二値ヒステリシス電圧制御電流源回路を3個組み込むことを特徴とするマルチヒステリシス電圧制御電流源システム。

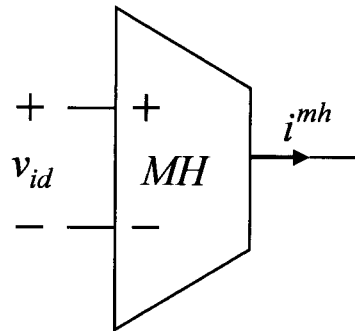
[圖1]



[圖2]

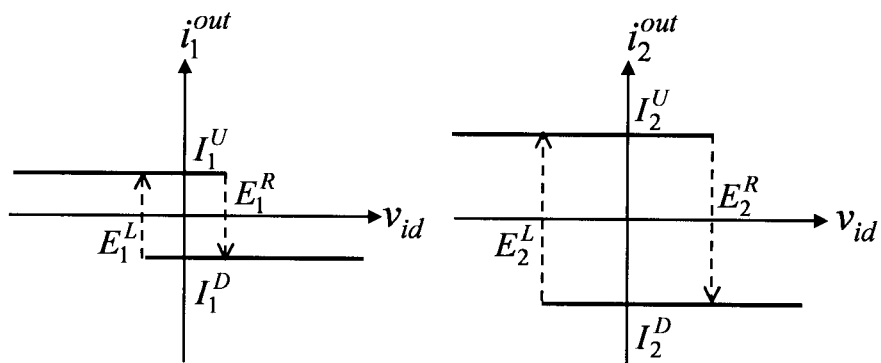


[圖3]

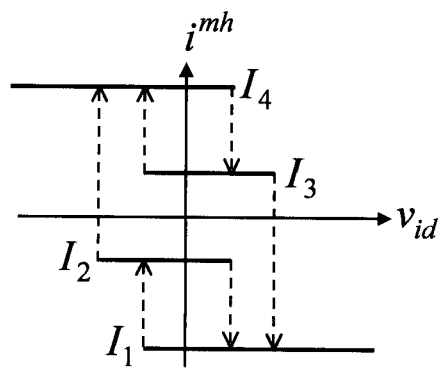


[圖4]

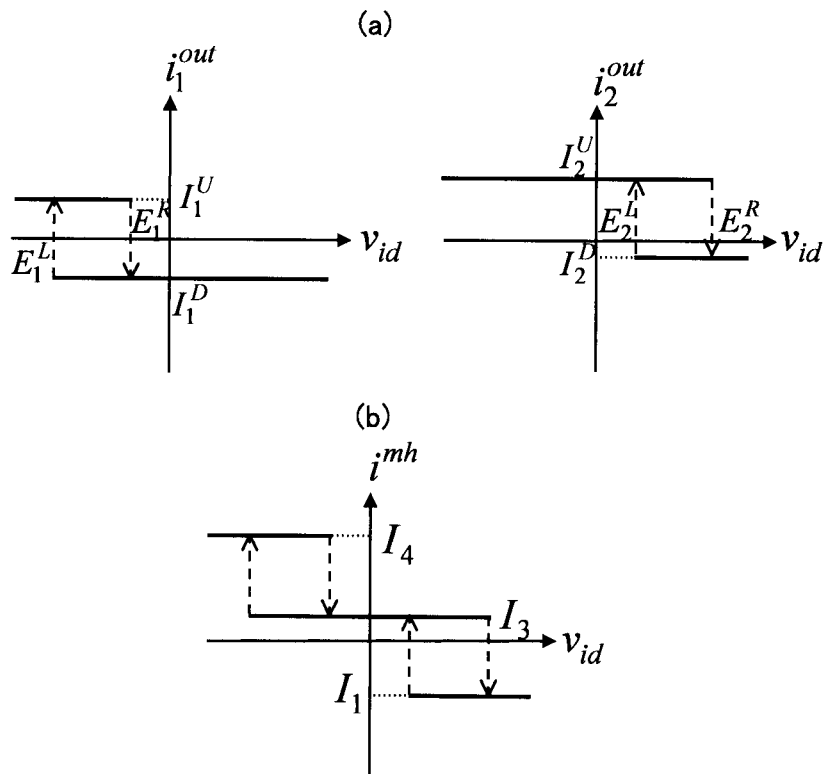
(a)



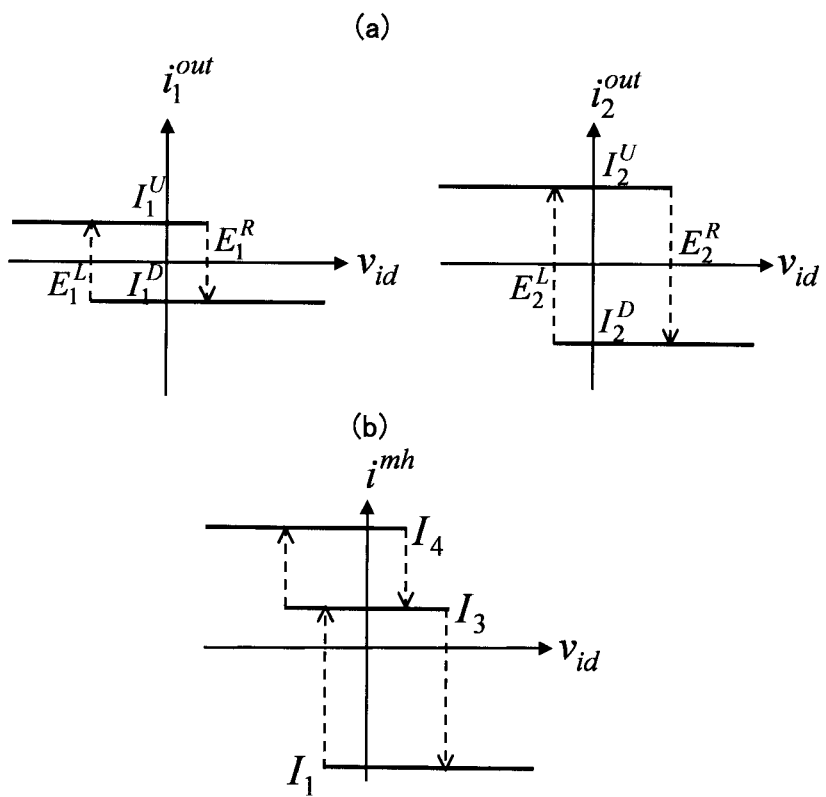
(b)



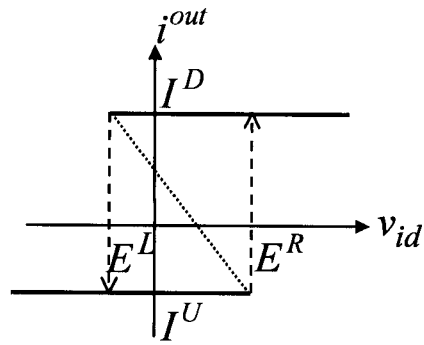
[圖5]



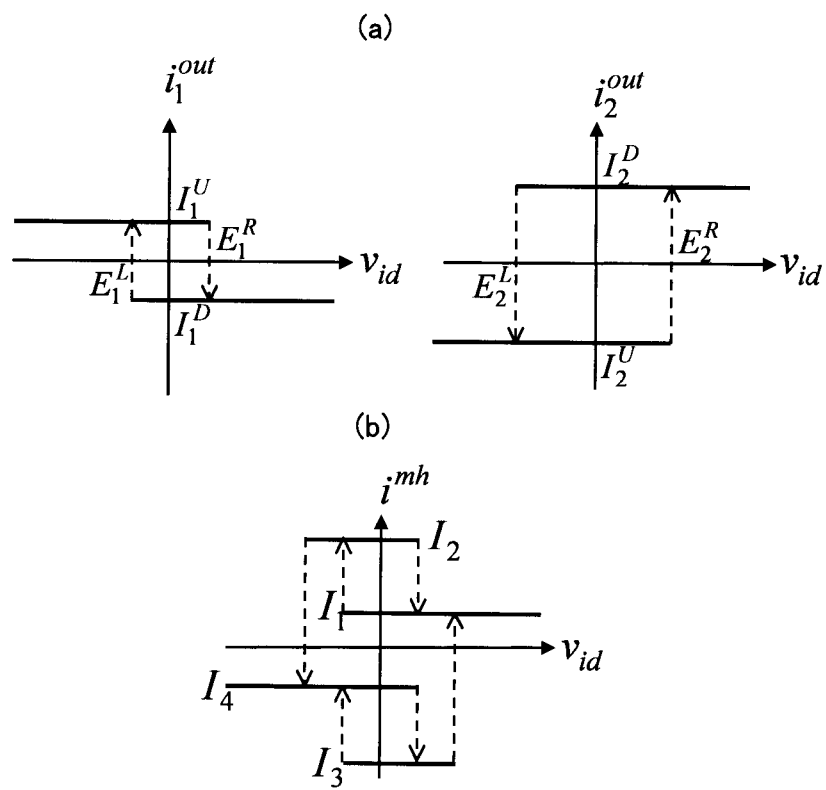
[圖6]



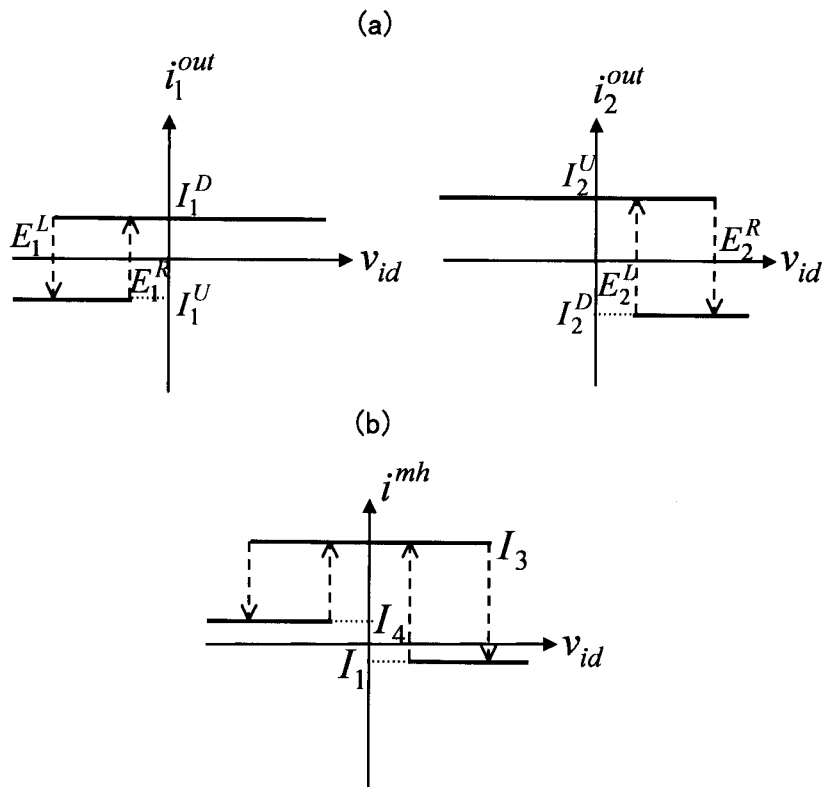
[圖7]



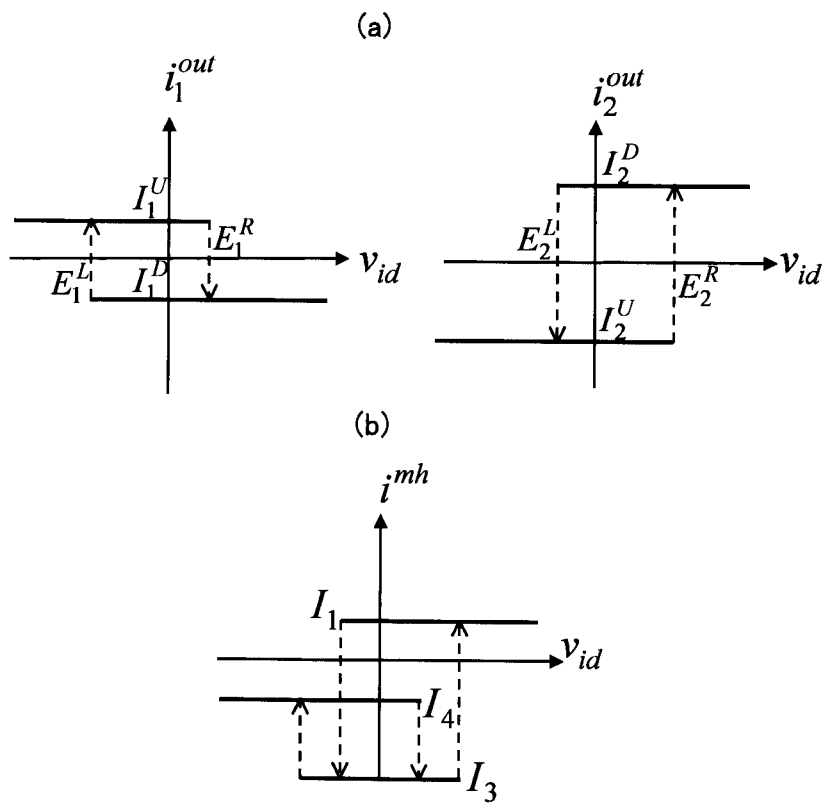
[圖8]



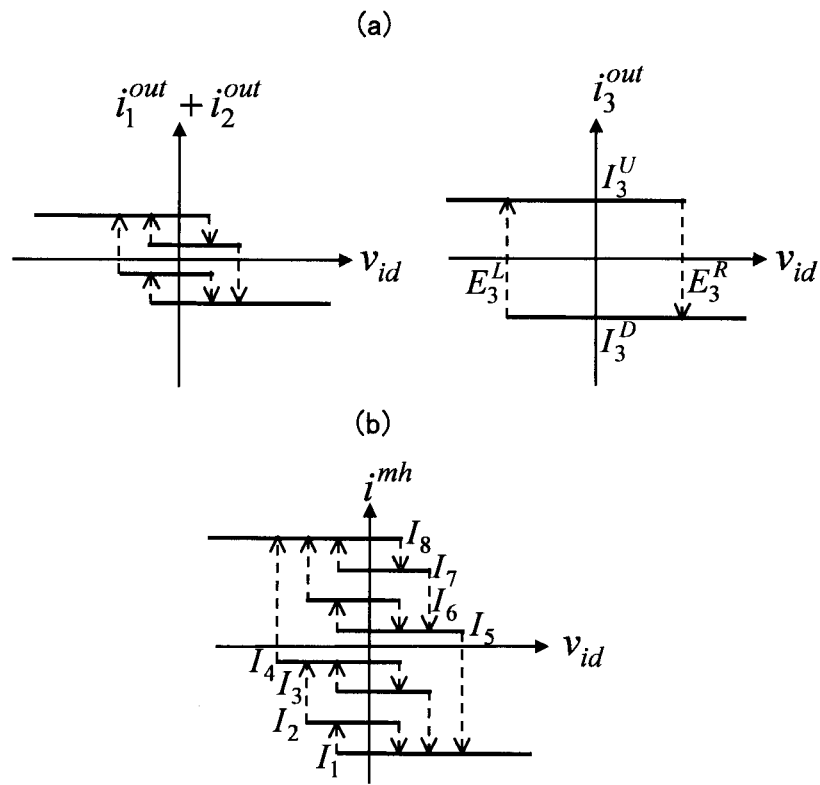
[图9]



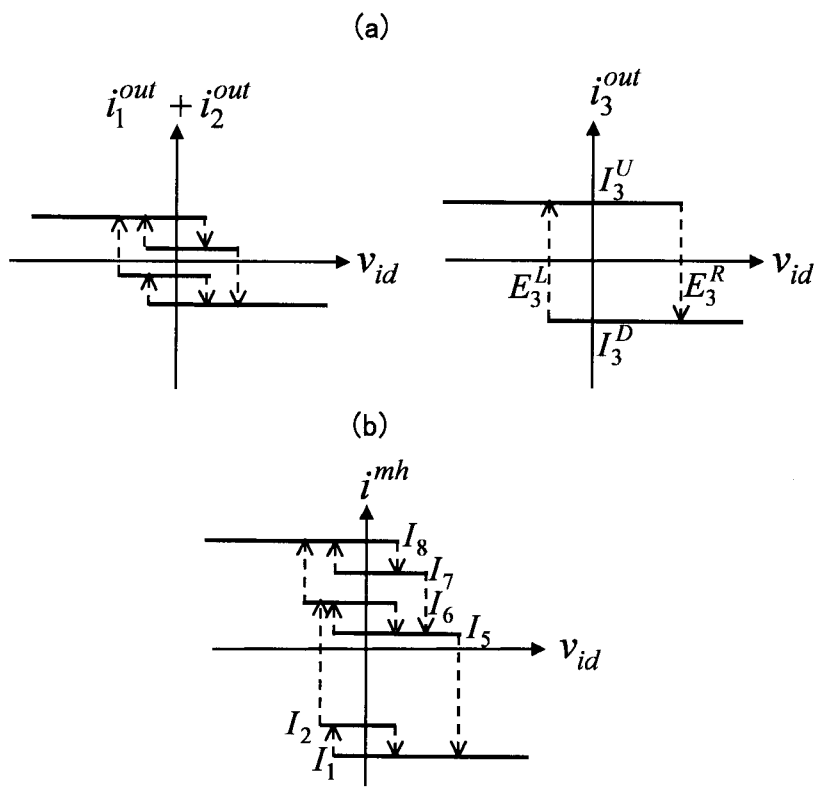
[图10]



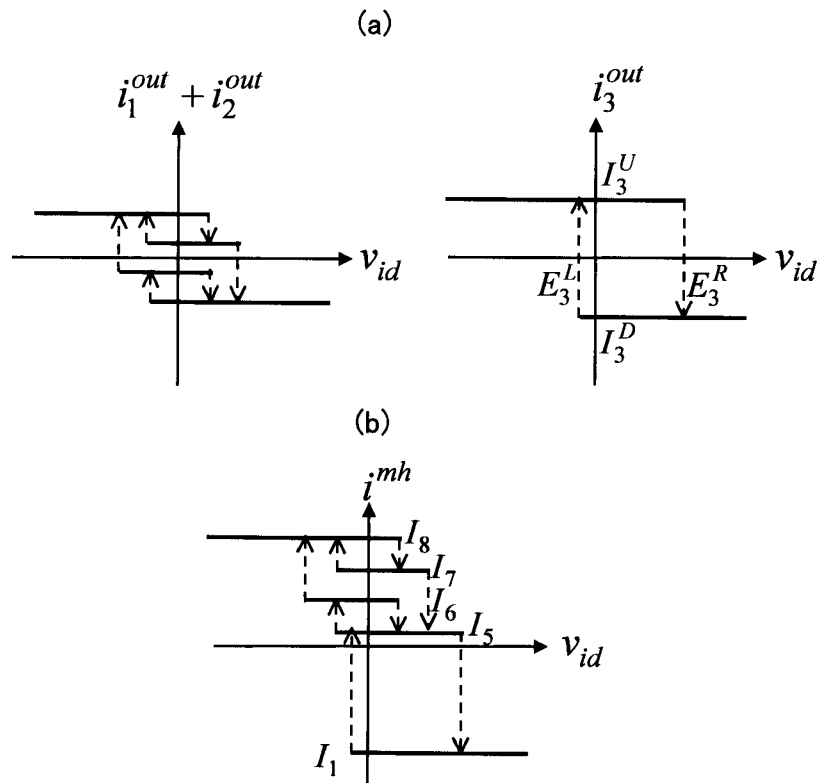
[图11]



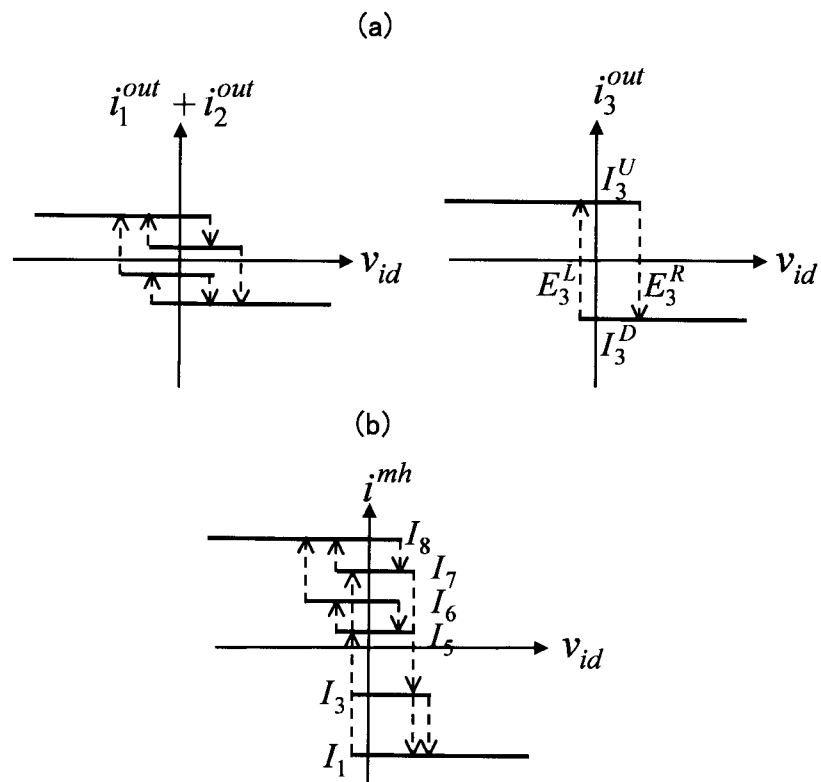
[图12]



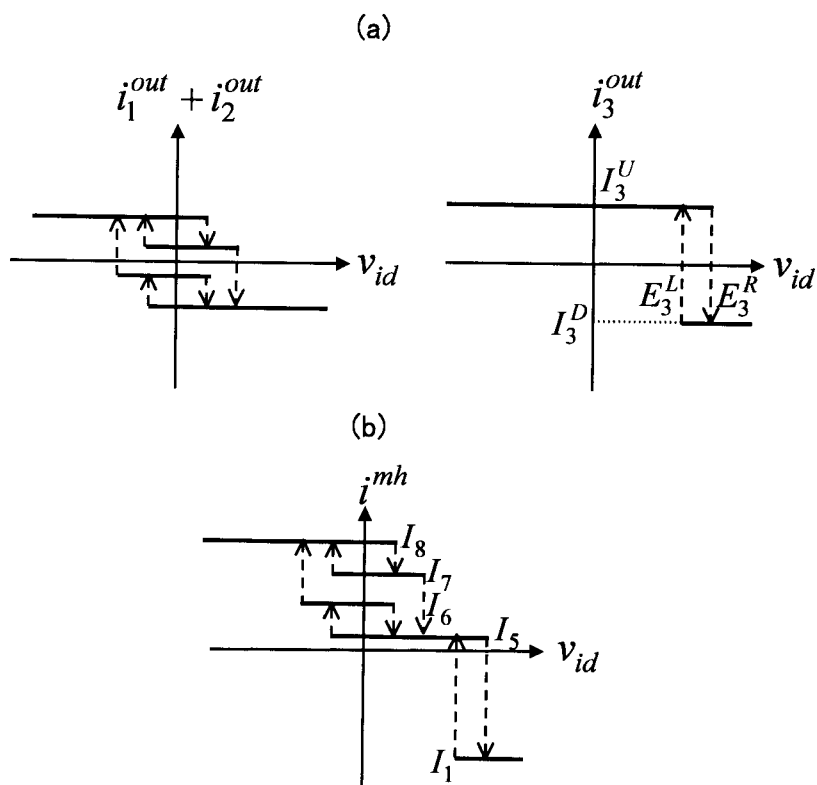
[圖13]



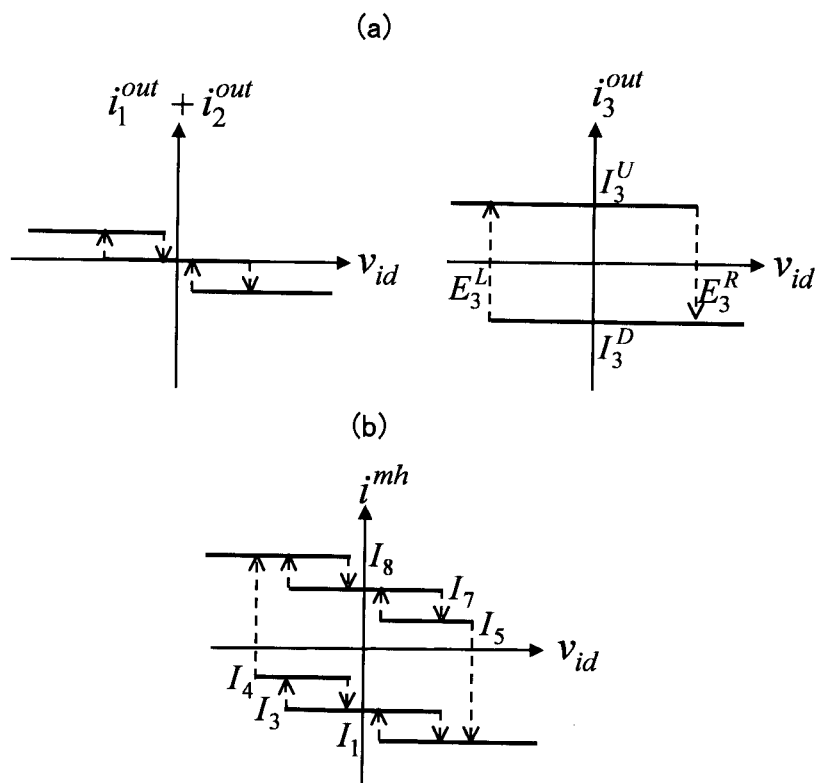
[圖14]



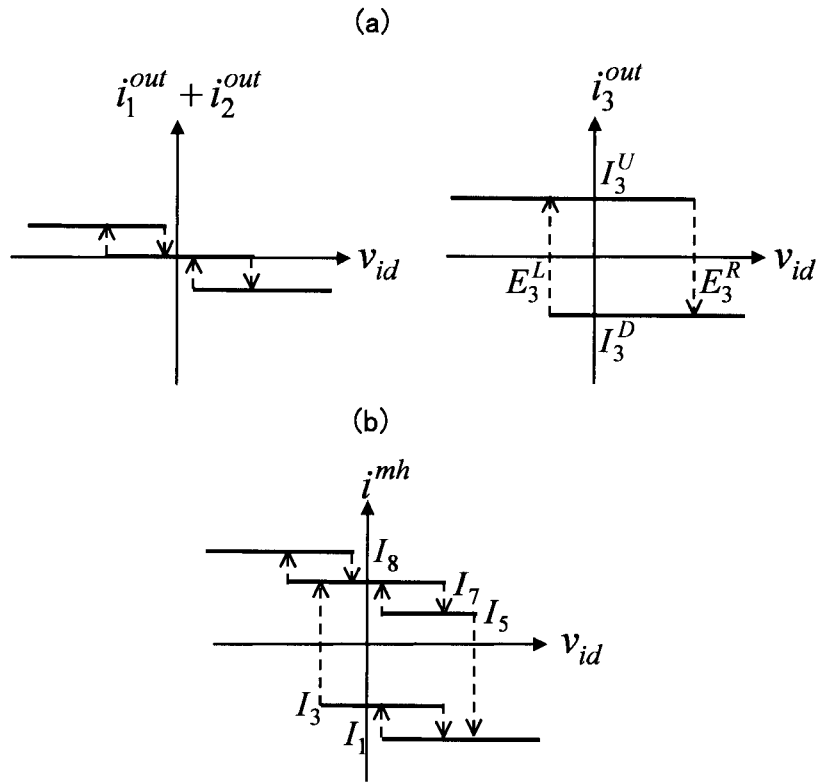
[图15]



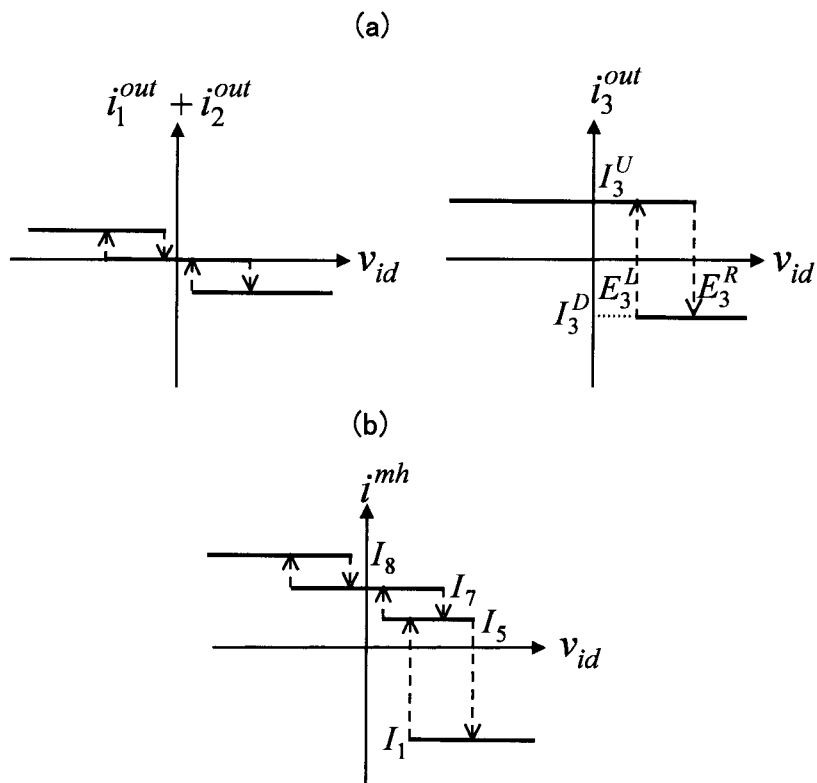
[图16]



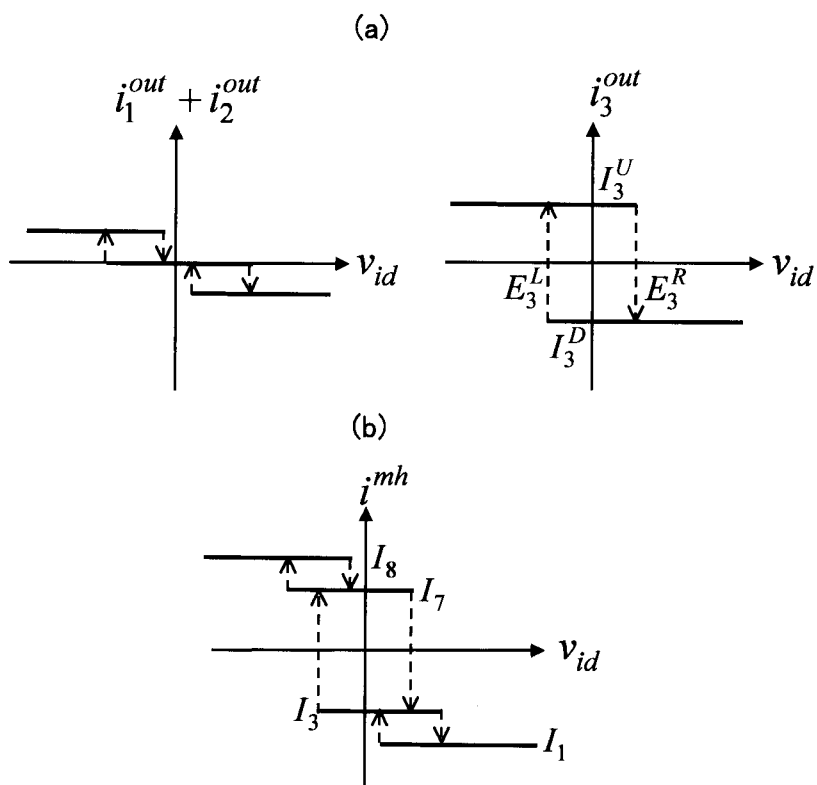
[圖17]



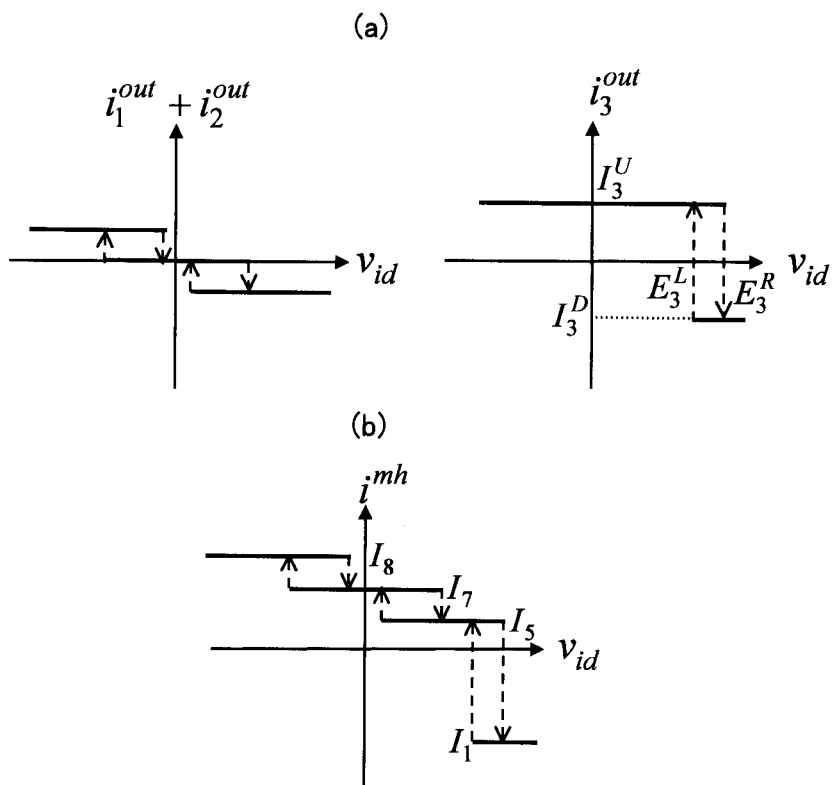
[圖18]



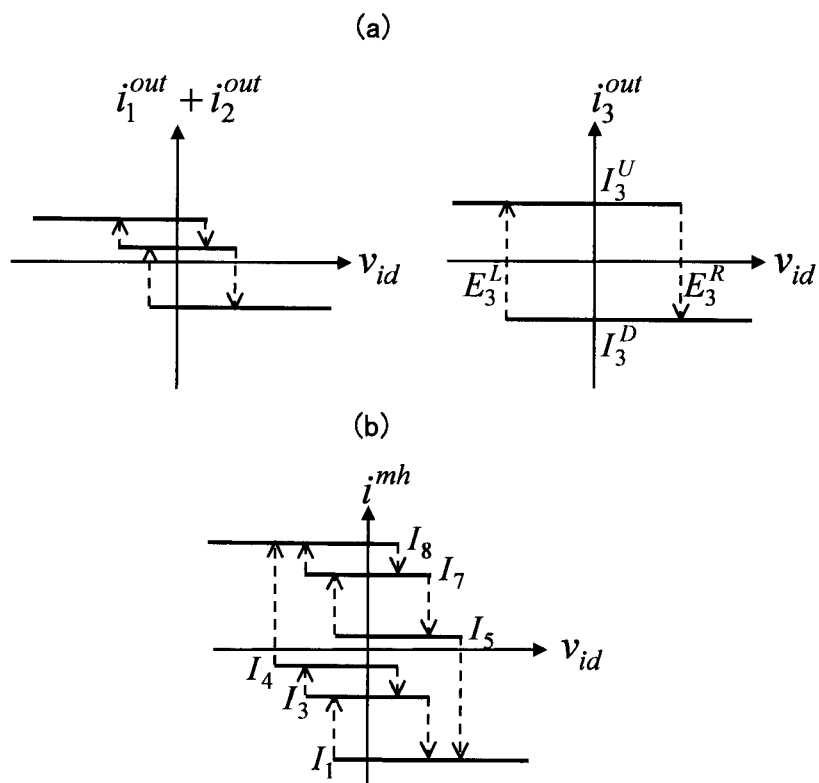
[图19]



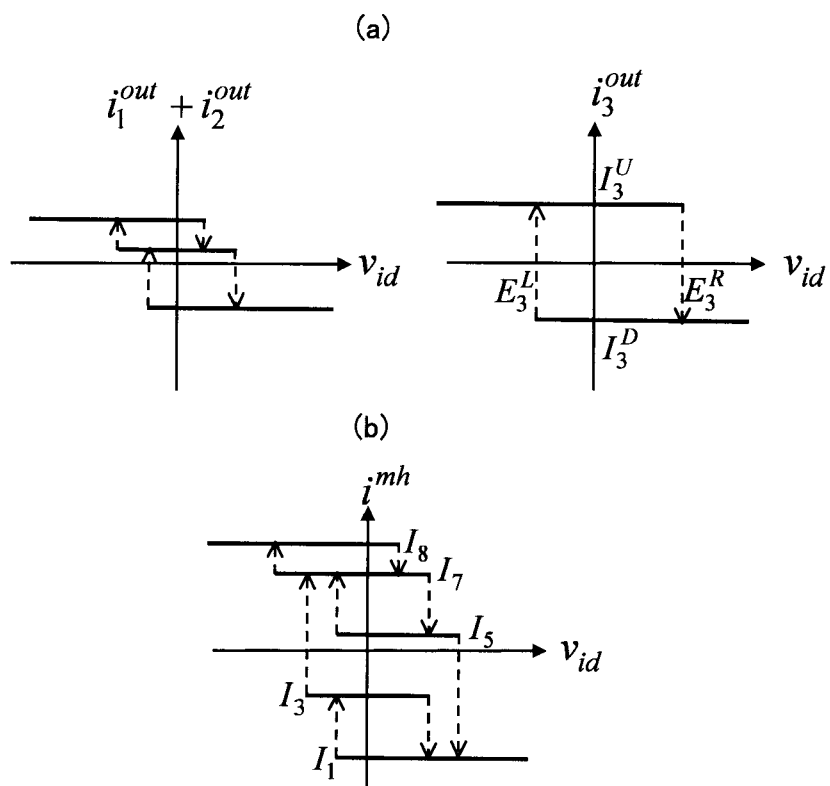
[图20]



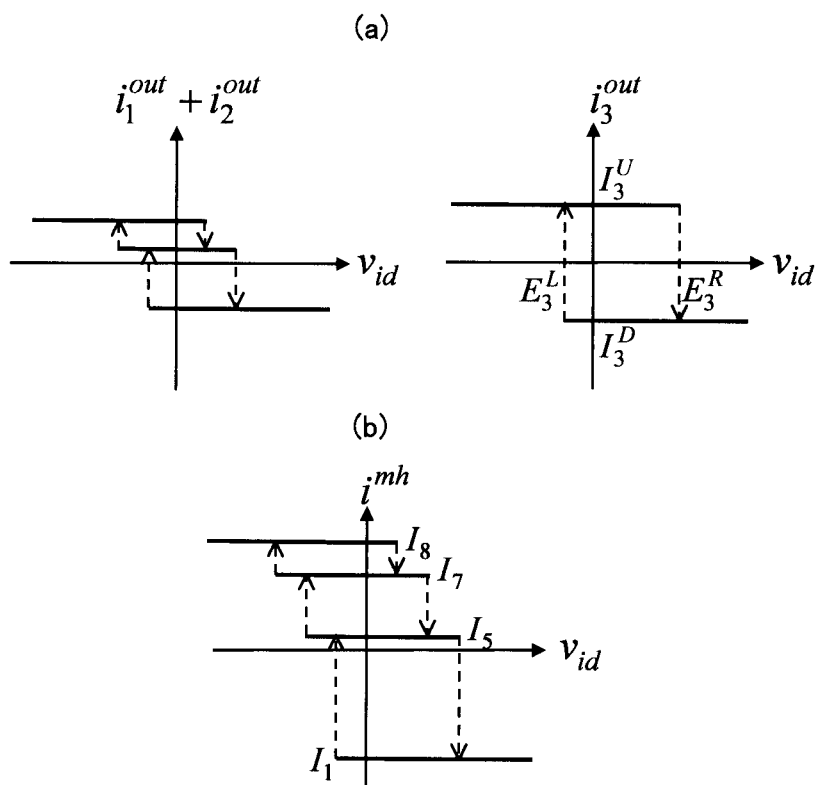
[图21]



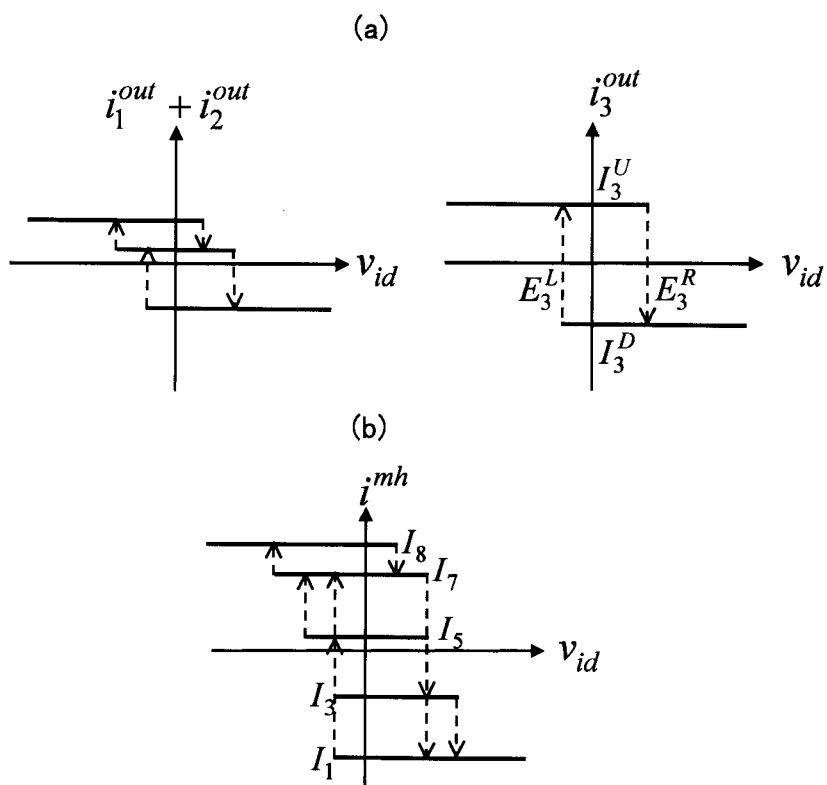
[图22]



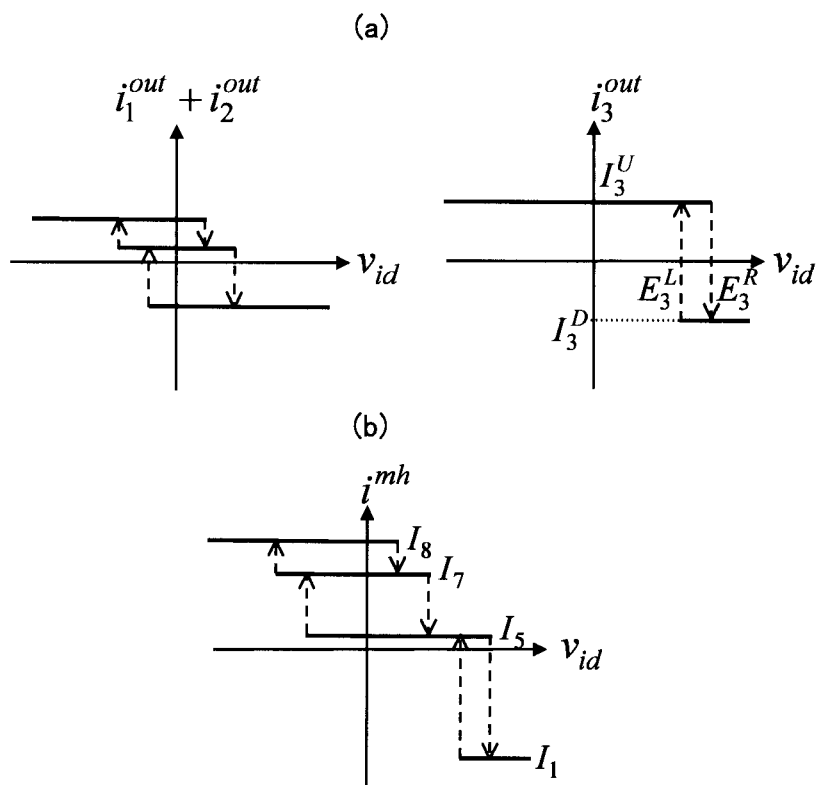
[图23]



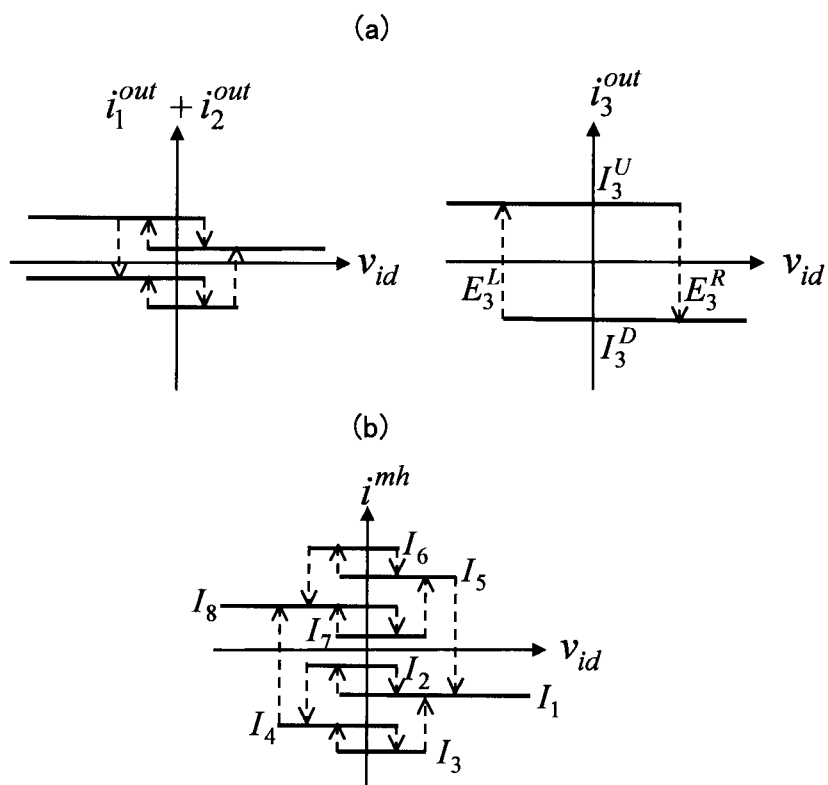
[图24]



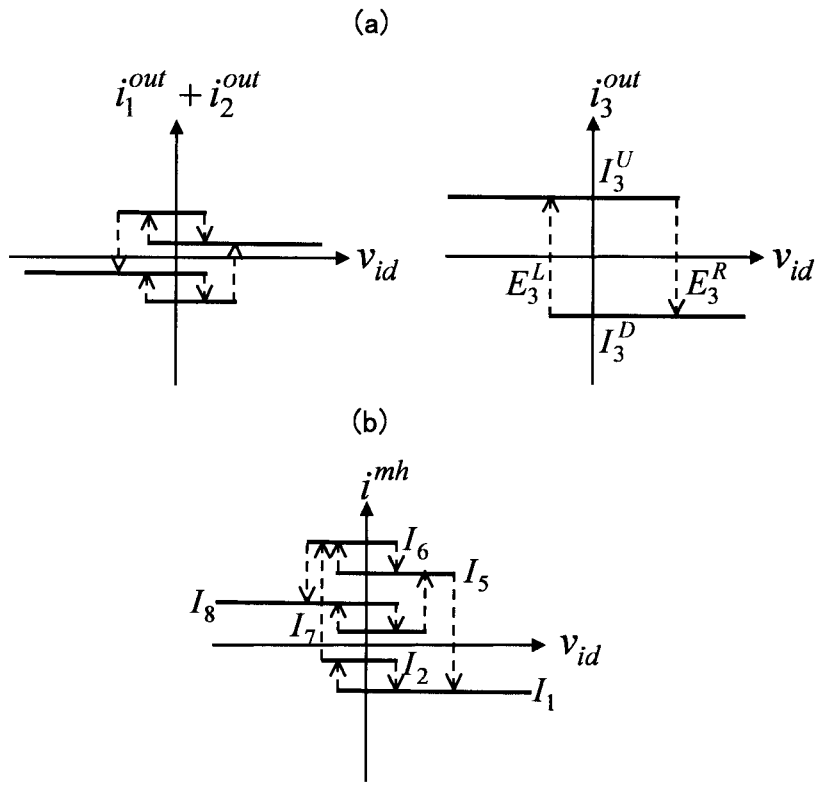
[圖25]



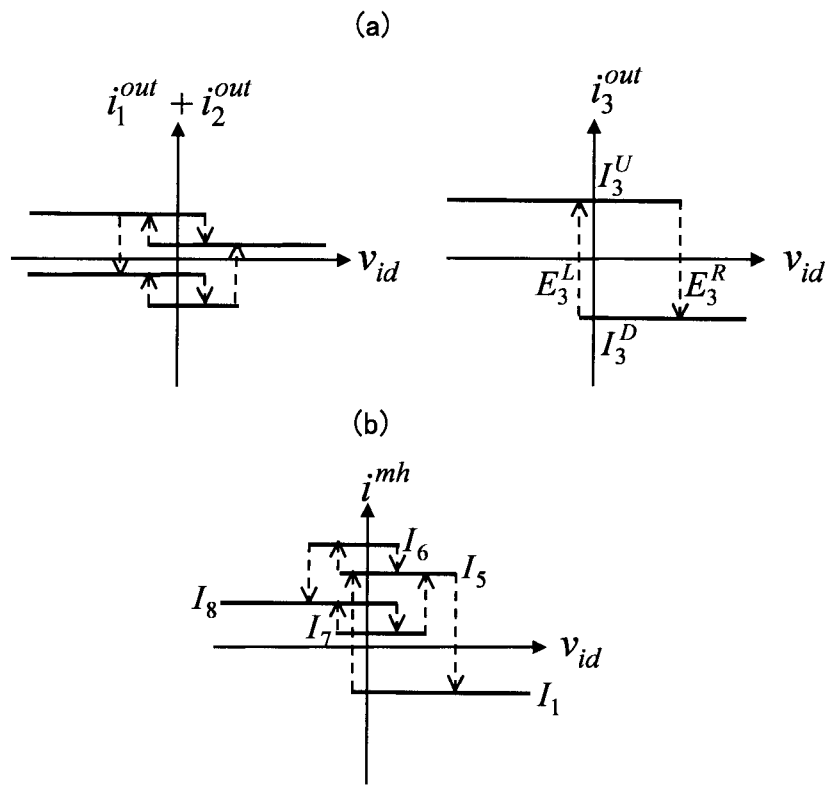
[圖26]



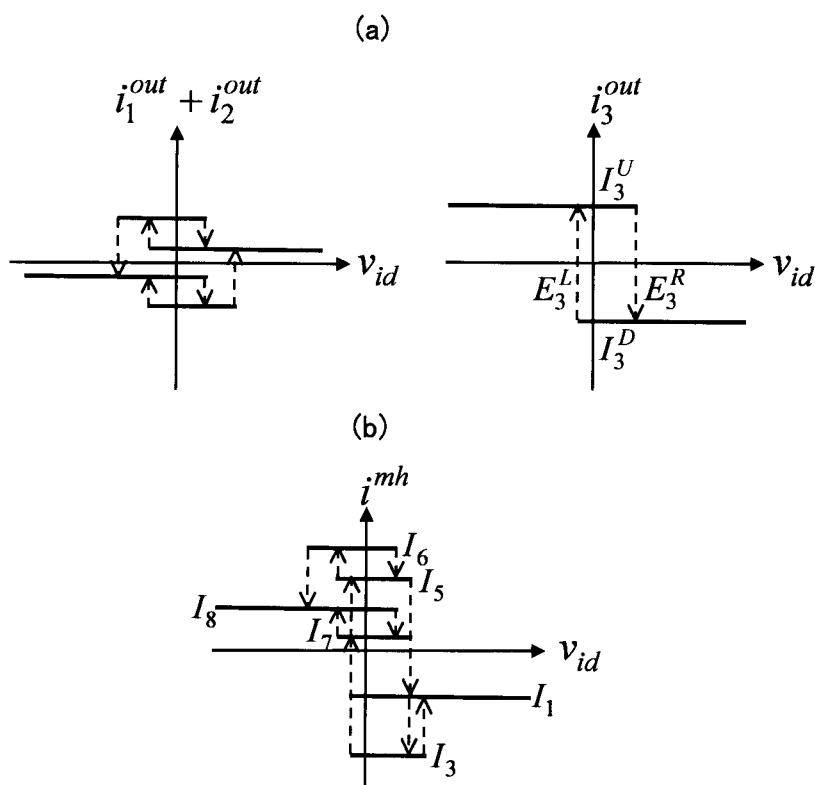
[圖27]



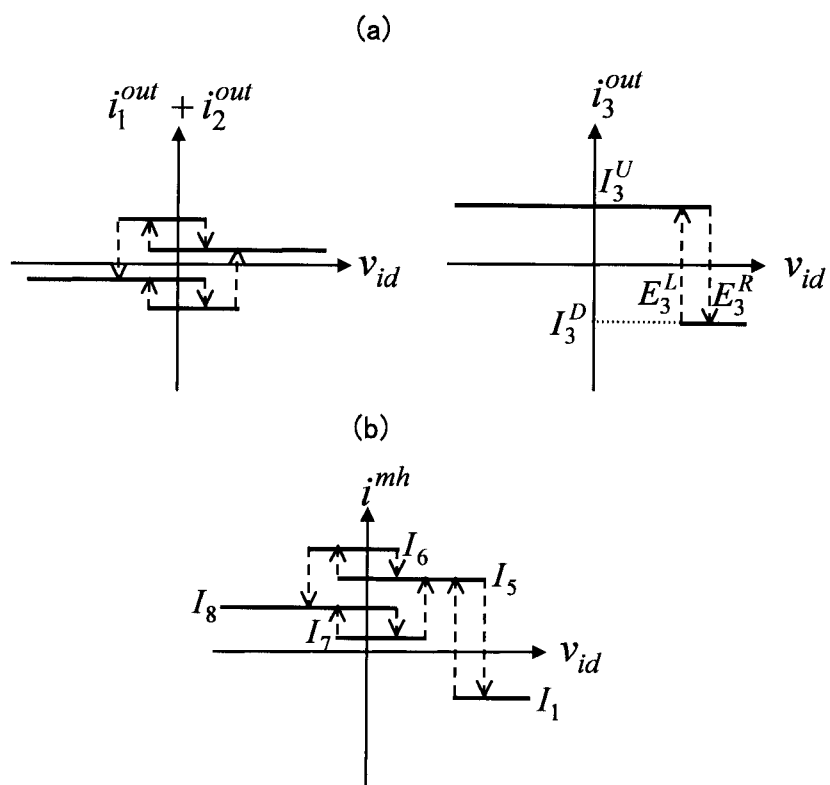
[圖28]



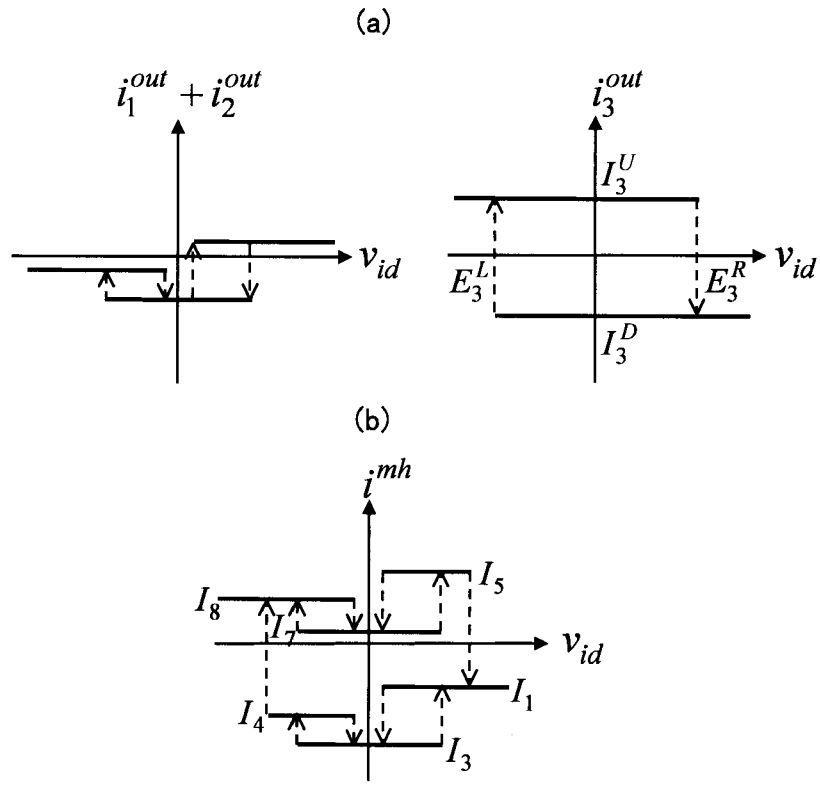
[圖29]



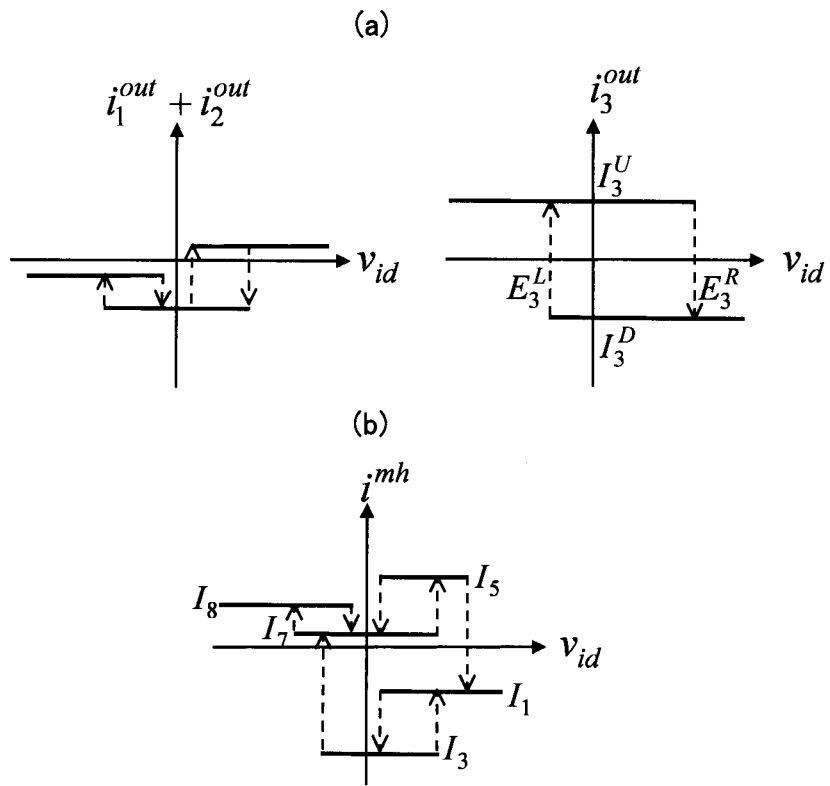
[圖30]



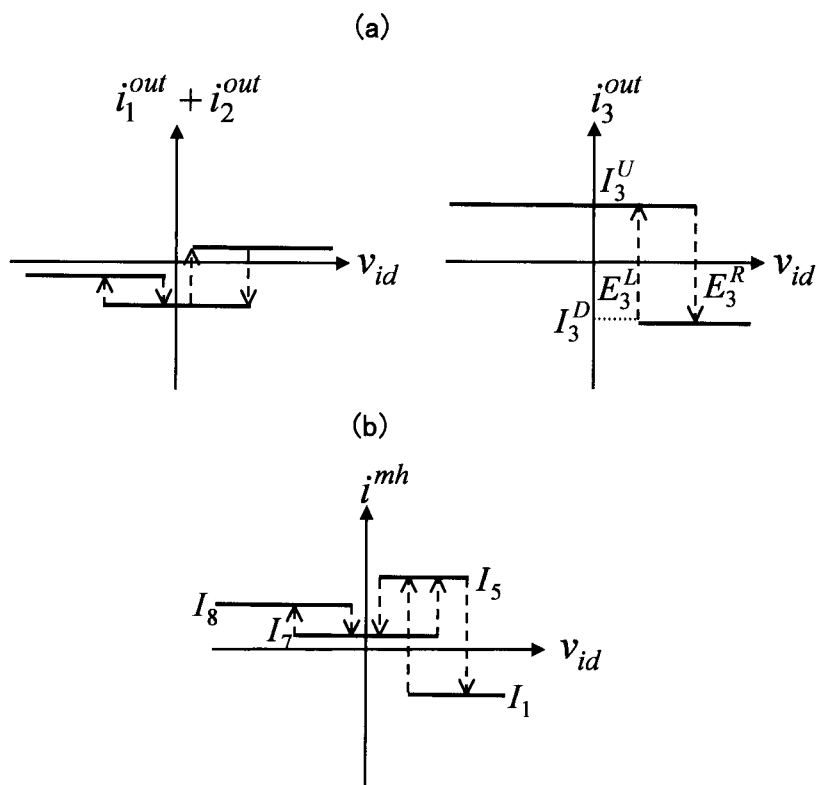
[圖31]



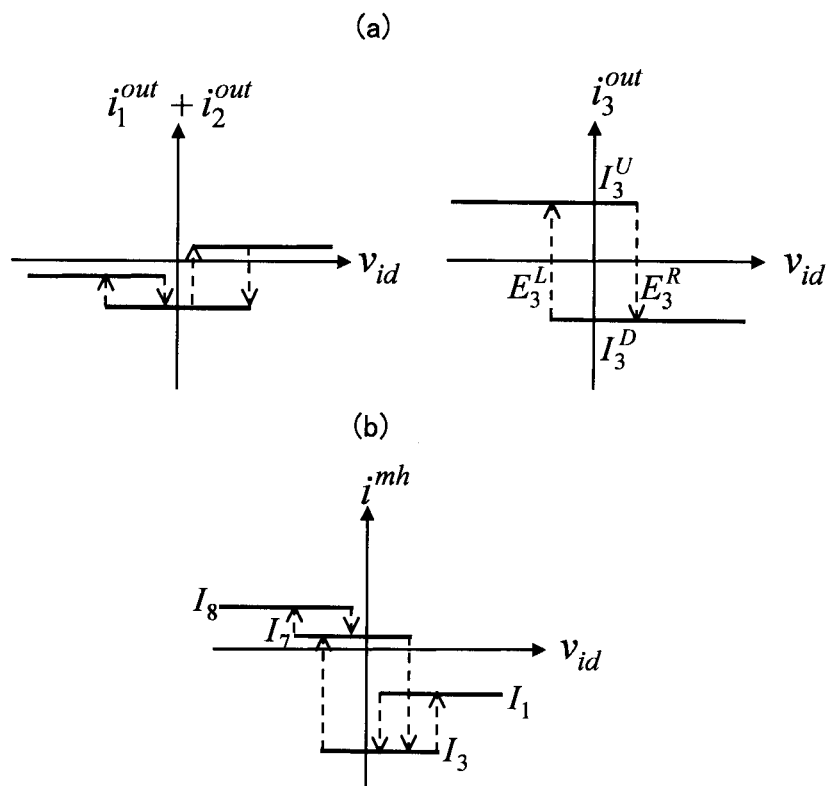
[圖32]



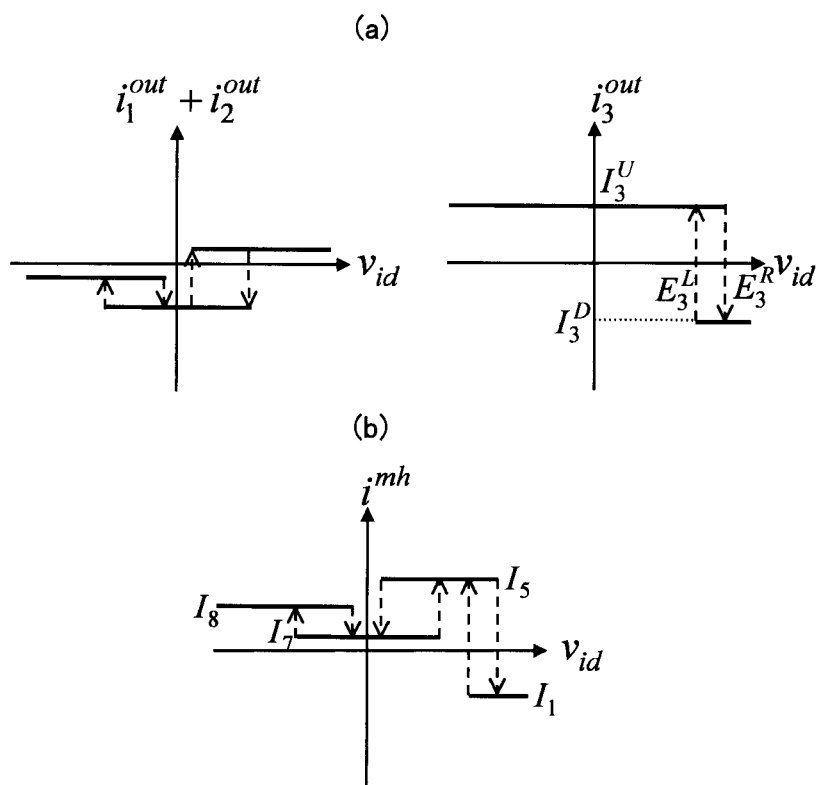
[圖33]



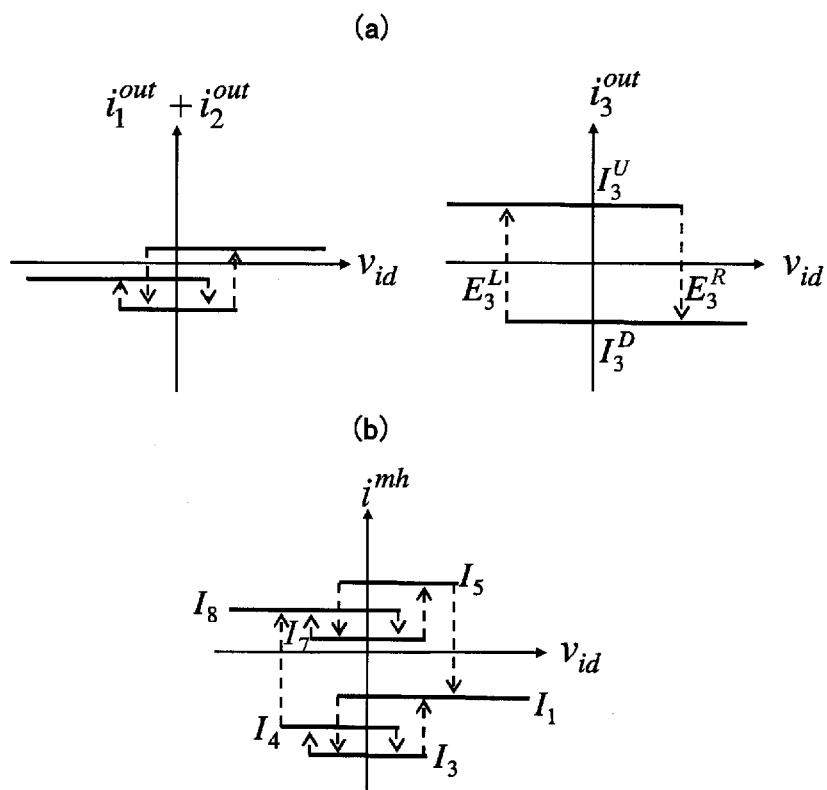
[圖34]



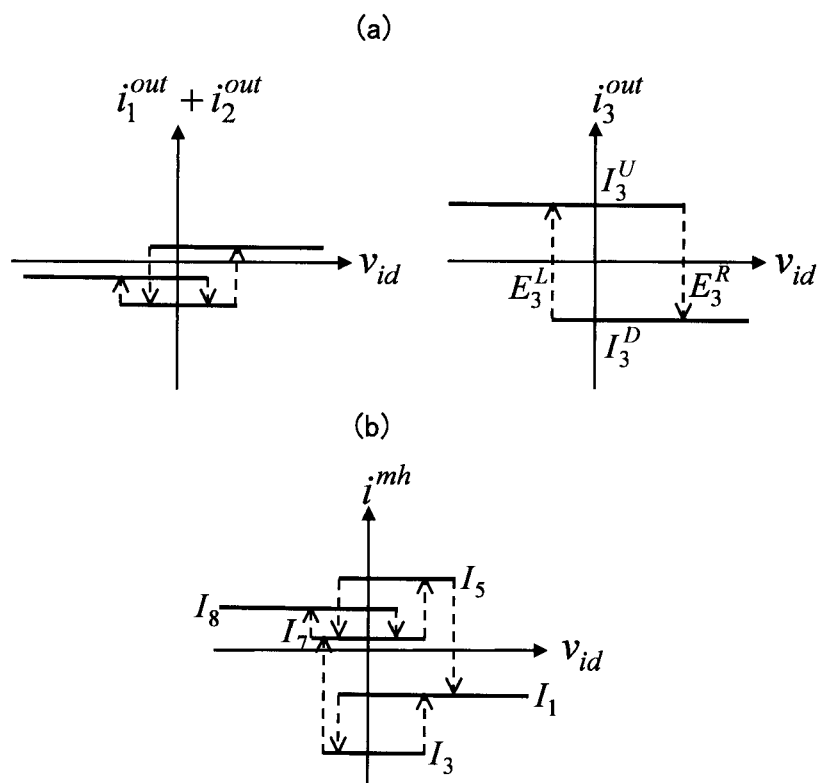
[图35]



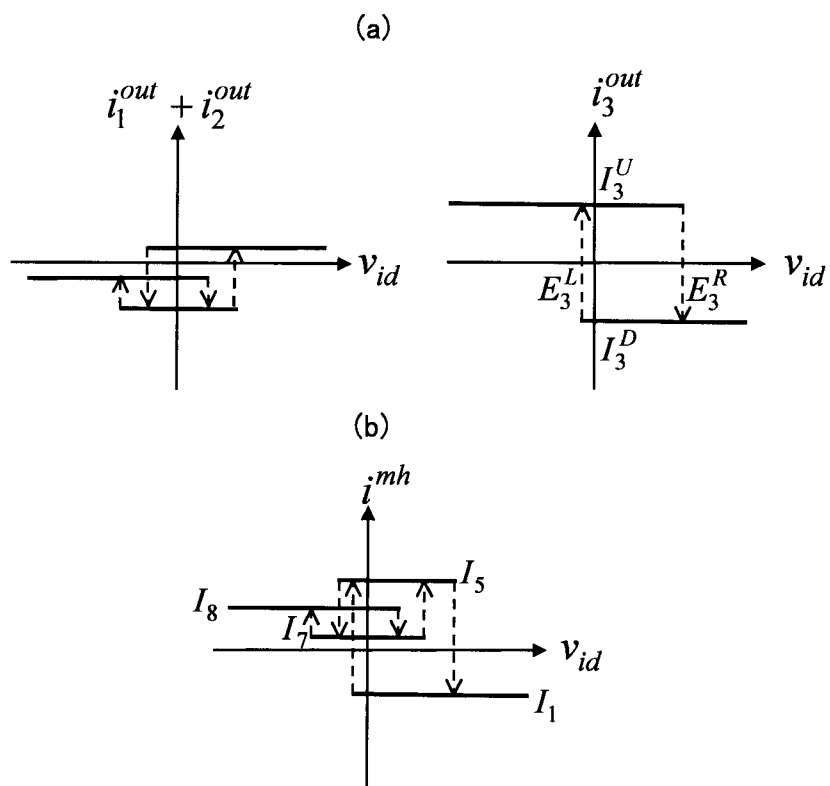
[图36]



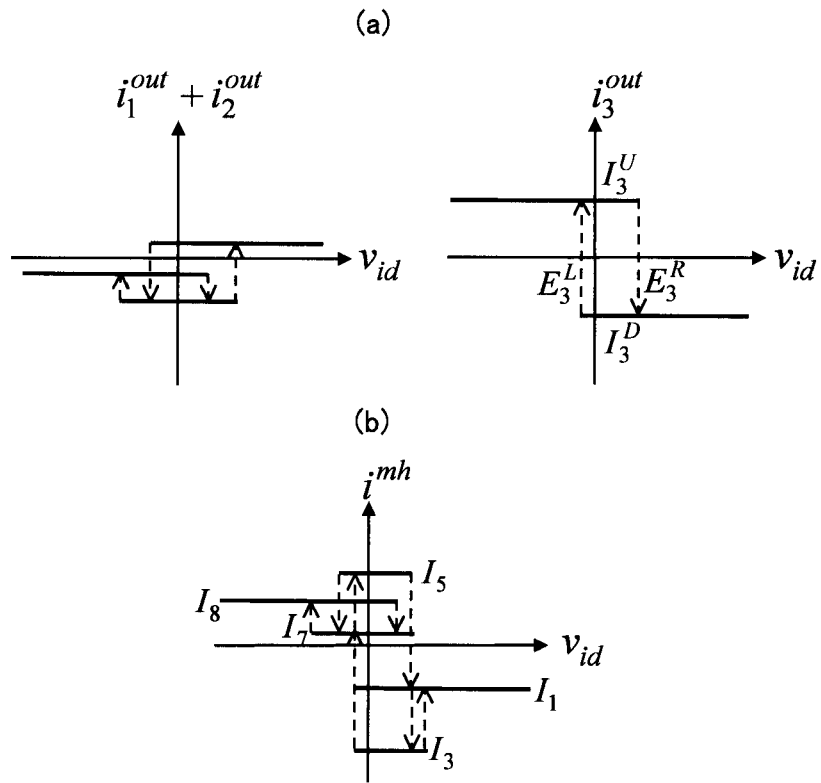
[圖37]



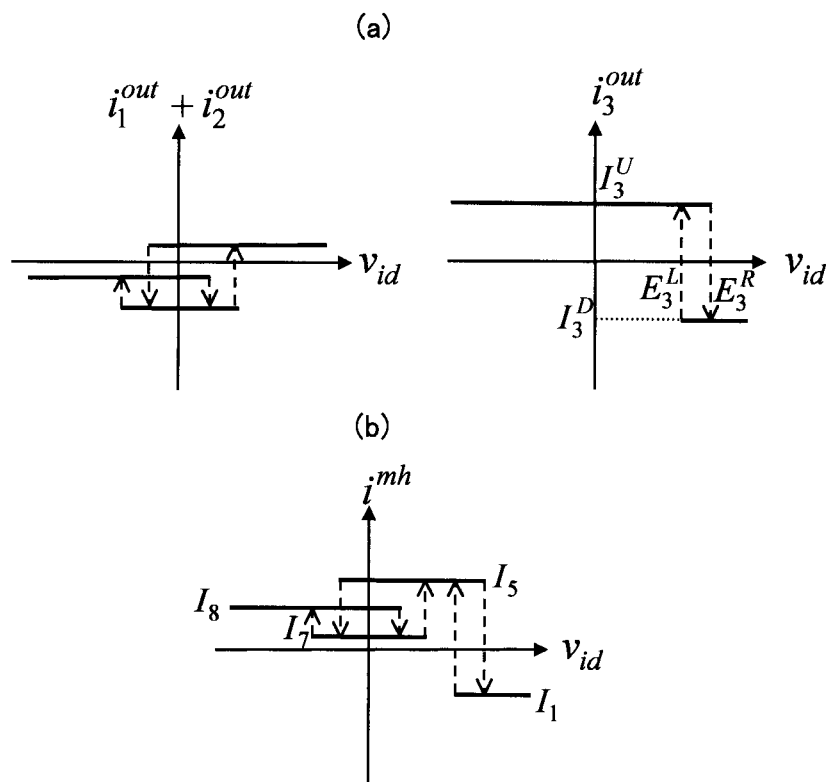
[圖38]



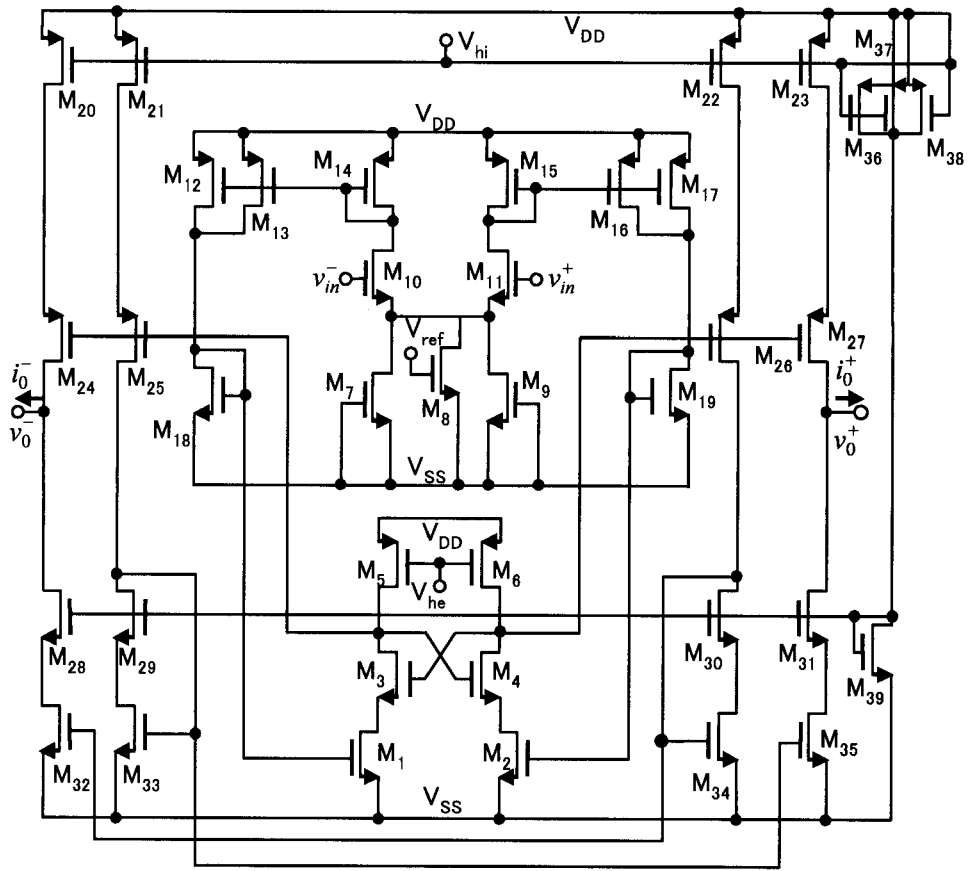
[圖39]



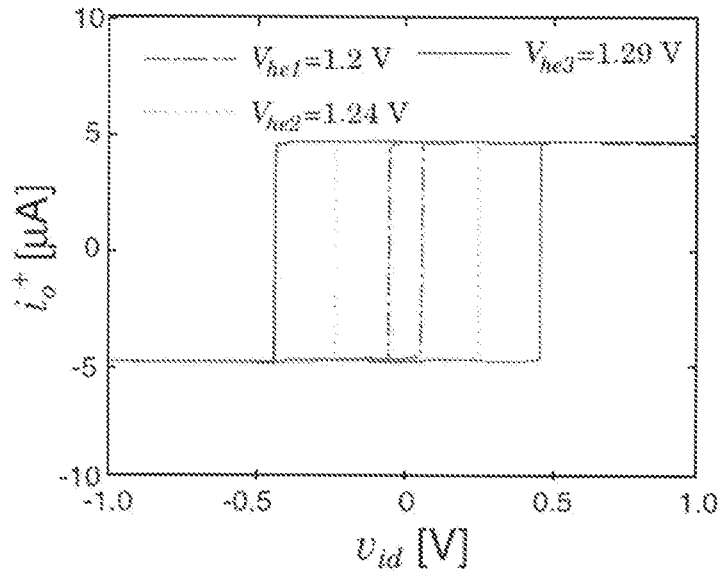
[圖40]



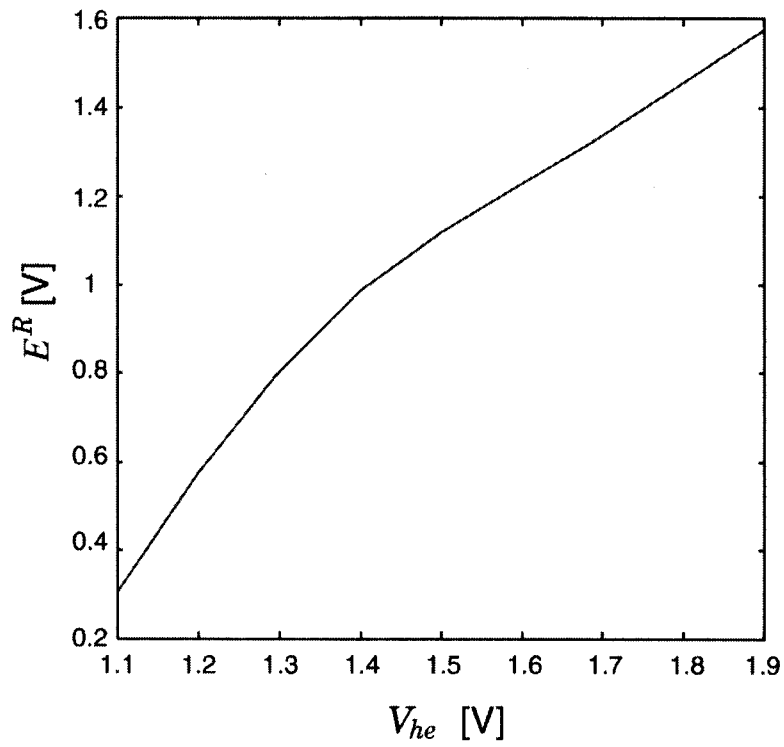
[図41]



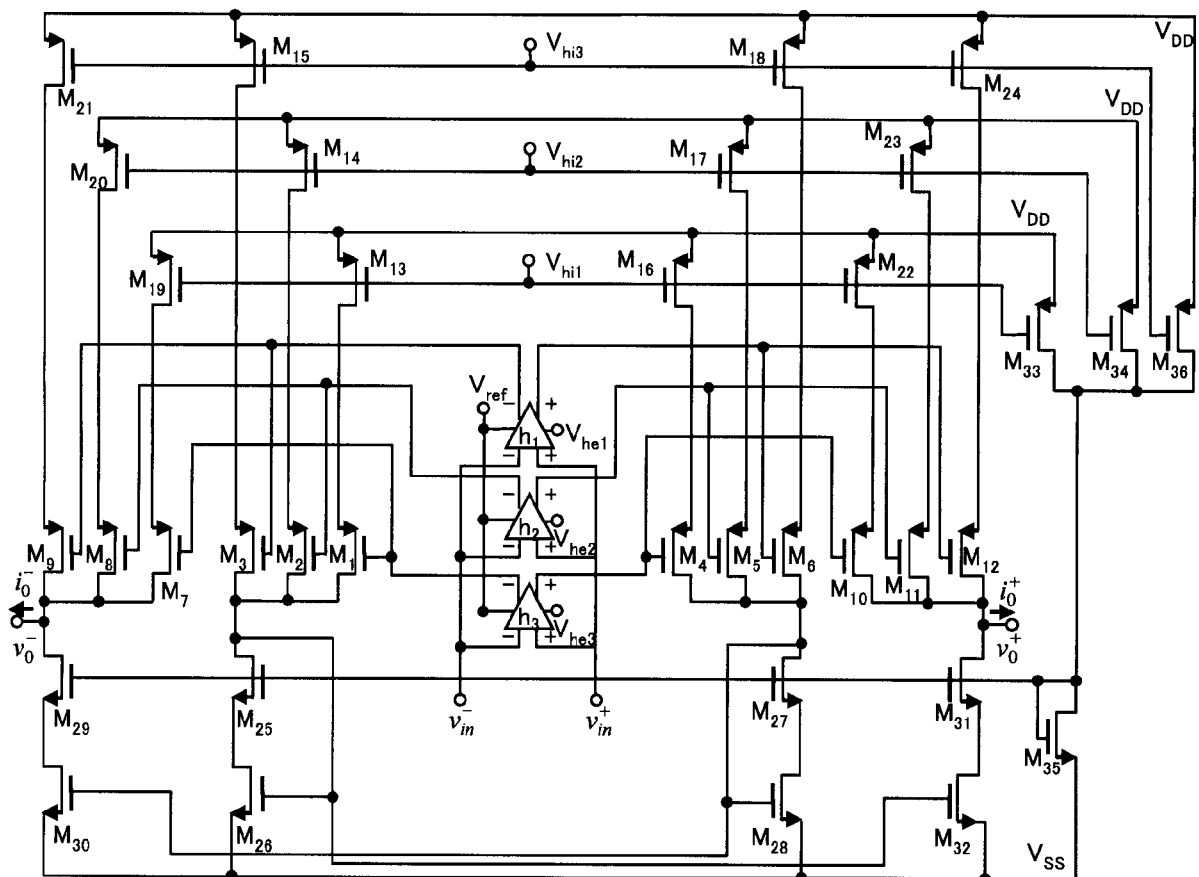
[図42]



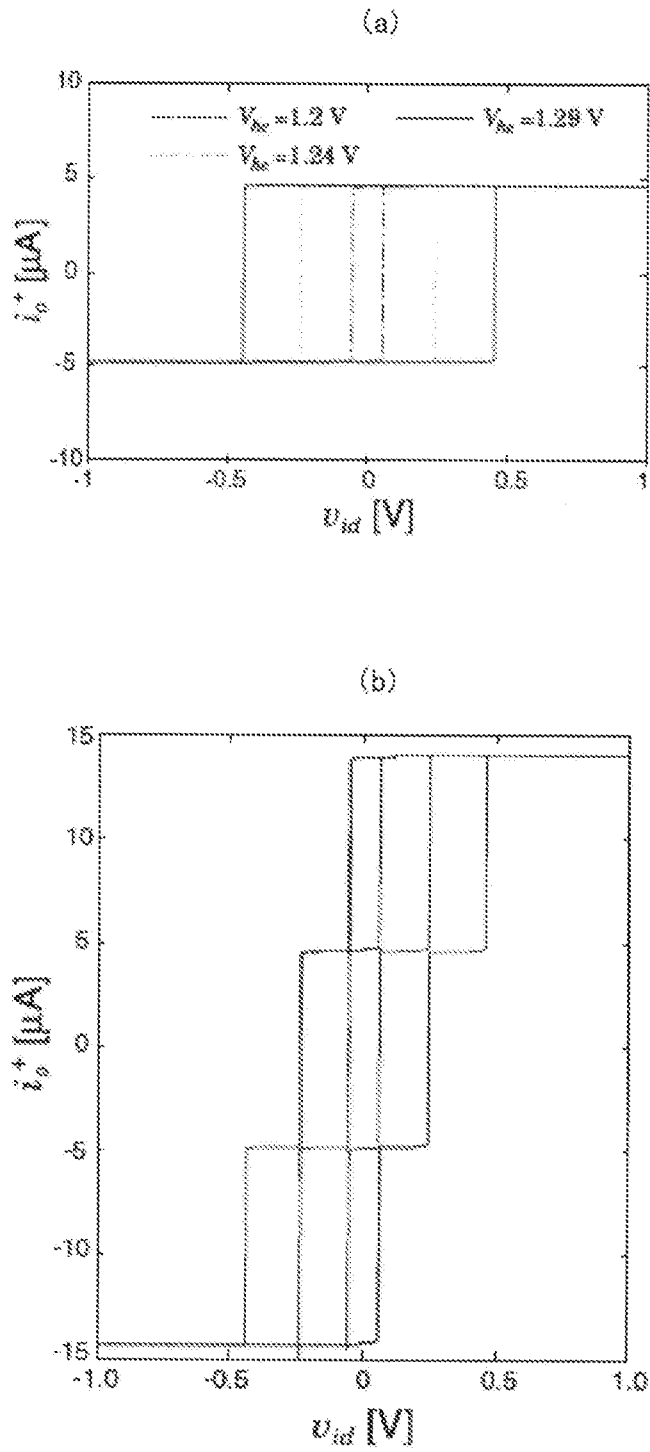
[圖43]



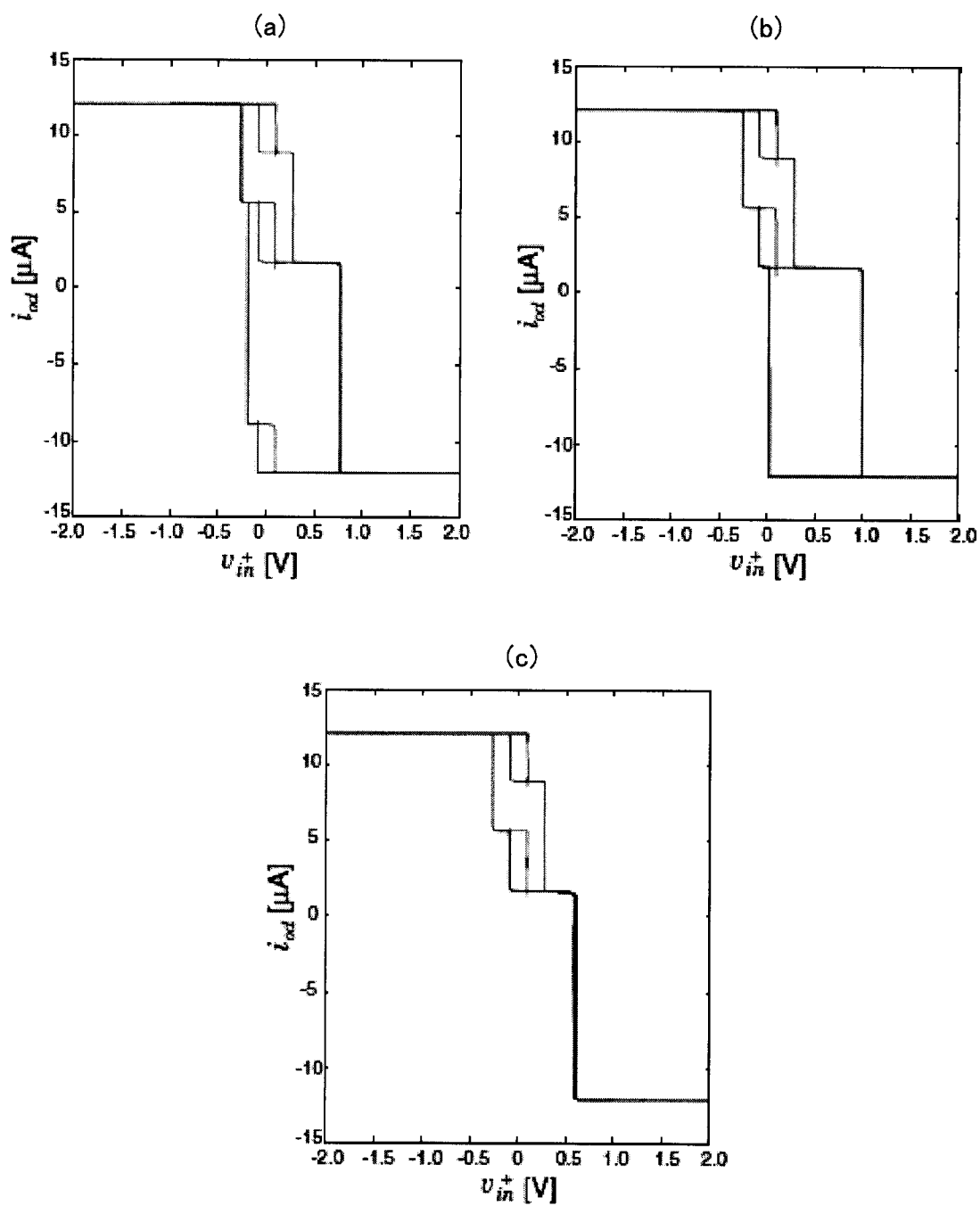
[圖44]



[図45]



[圖46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000571

A. CLASSIFICATION OF SUBJECT MATTER

H03K5/08(2006.01) i, H03K3/353(2006.01) i, H03K5/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/08, H03K3/353, H03K5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 59-212031 A (NEC Corp.), 30 November 1984 (30.11.1984), entire text; fig. 1 (Family: none)	1-11
A	JP 6-69769 A (NEC Corp.), 11 March 1994 (11.03.1994), entire text; fig. 3 (Family: none)	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 February, 2010 (10.02.10)

Date of mailing of the international search report
23 February, 2010 (23.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H03K5/08(2006.01)i, H03K3/353(2006.01)i, H03K5/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H03K5/08, H03K3/353, H03K5/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 59-212031 A (日本電気株式会社) 1984. 11. 30、全文、第1図 (ファミリーなし)	1-11
A	J P 6-69769 A (日本電気株式会社) 1994. 03. 11、全文、図3 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 10.02.2010	国際調査報告の発送日 23.02.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石田 勝 電話番号 03-3581-1101 内線 3596