

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月2日(02.12.2010)

PCT

(10) 国際公開番号
WO 2010/137660 A1

- (51) 国際特許分類:
H03M 1/40 (2006.01) H03M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2010/059022
- (22) 国際出願日: 2010年5月27日(27.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-128155 2009年5月27日(27.05.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷836 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二(KAWAHITO Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 MY PLAZA (明治安

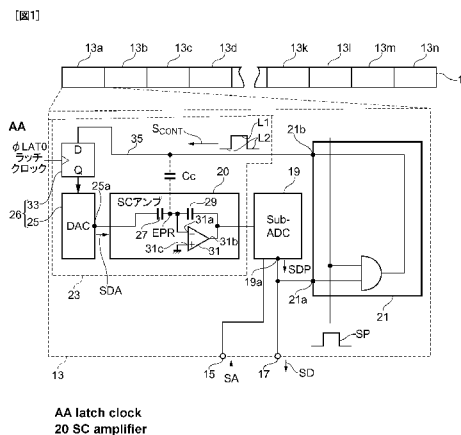
田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: A/D CONVERSION INTEGRATED CIRCUIT

(54) 発明の名称: A/D変換集積回路



(57) Abstract: Disclosed is an A/D conversion integrated circuit which includes a plurality of A/D converters capable of reducing the propagation of noise caused by capacitive coupling from conductors transmitting digital signals. At each A/D converter (13), an input (15) receives an analog signal (SA) to be converted from analog to digital. An output (17) provides at least part of a digital signal (SD) of a predetermined number of bits representing the analog signal (SA). A sub A/D conversion circuit (19) receives the analog signal (SA) and generates a signal (SDP) representing one or a plurality of bit values among the digital signal (SD), and provides the signal (SDP) to the output (17). An input (21a) of a control circuit (21) is connected to an output (19a) of the sub A/D conversion circuit (19), and provides the control signal (SCONT) corresponding to the signal (SDP). The control signal (SCONT) comprises a waveform including the transition from the voltage level L₁ to the voltage level L₂, and the transition from the voltage level L₂ to the voltage level L₁.

(57) 要約:

[続葉有]



WO 2010/137660 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

デジタル信号を伝える導体からの容量結合によるノイズの伝搬を低減可能な複数の A/D 変換器を含む A/D 変換集積回路を提供する。A/D 変換器 13 では、入力 15 は、A/D 変換されるべきアナログ信号 SA を受ける。出力 17 は、該アナログ信号 SA を表す所定ビット数のデジタル信号 SD の少なくとも一部分を提供する。サブ A/D 変換回路 19 は、アナログ信号 SA を受けてデジタル信号 SD のうちの一又は複数のビット値を表す信号 SDP を生成すると共に、信号 SDP を出力 17 に提供する。制御回路 21 の入力 21a は、サブ A/D 変換回路 19 の出力 19a に接続されており、また信号 SDP に応じた制御信号 S_{CONT} を提供する。この制御信号 S_{CONT} は、電圧レベル L1 から電圧レベル L2 への遷移と、電圧レベル L2 から電圧レベル L1 への遷移とを含む波形を有する。

明 細 書

発明の名称 : A/D変換集積回路

技術分野

[0001] 本発明は、複数のA/D変換器を含むA/D変換集積回路に関する。

背景技術

[0002] 特許文献1には、冗長なデジタル/アナログ変換素子を用いてデジタル/アナログ変換を行うデジタル/アナログ変換回路が記載されている。特許文献1の背景技術によれば、デジタル/アナログ変換回路は、デルタ・シグマ型のアナログデジタル変換器に使用される。デジタル/アナログ変換回路の出力波形にはRTZ波形又はNRTZ波形が用いられる。

[0003] 特許文献2には、オーディオ信号（1ビットのデジタル信号）をアナログ信号に変換するD/Aコンバータが記載されている。特許文献2の背景技術によれば、D/Aコンバータの出力にRTZ波形が用いられる。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-92134号公報

特許文献2：特開2004-128637号公報

発明の概要

発明が解決しようとする課題

[0005] 複数のキャパシタと演算増幅回路とを用いて信号処理を行うアナログ回路とデジタル回路とを含む回路では、演算増幅回路の入力が、アナログ回路の他のノードに該キャパシタを介して電氣的に接続されることがある。このとき、演算増幅回路の入力と等電位の導体、即ち、演算増幅回路の入力及び該入力に接続されるキャパシタの一端を含む導体領域にアナログ回路の他のノードとの直流的に接続されない場合、この導体領域は非常に高いインピーダンスを有する。しかしながら、アナログ回路の他の導体と、例えばデジタル信号が伝搬する導体線との容量的な結合が形成される可能性がある。このカ

ップリングを十分に低くするために、高インピーダンスの導体領域をデジタル信号線から物理的に離すことが良い。ところが、A/D変換器のようなデジタル導体線とアナログ導体線が混在する回路では、物理的な距離をとる分離は望めない場合も多い。また、多数のA/D変換器が配列されるような用途ではなおさらである。

[0006] 本発明は、デジタル信号を伝える導体からの、容量結合によるノイズの伝搬を低減可能な複数のA/D変換器を含むA/D変換集積回路を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一側面は、所定の幅に配列された複数のA/D変換器を含むA/D変換集積回路に係る。このA/D変換集積回路における各A/D変換器は、(a) A/D変換されるべきアナログ信号を受け取る入力と、(b) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、(c) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表すサブデジタル信号を生成すると共に、該サブデジタル信号を前記出力に提供するサブA/D変換回路と、(d) 前記サブA/D変換回路の出力に接続され、前記サブデジタル信号を変調したRTZ信号を発生するRTZ波形発生回路と、(e) D/A変換回路と、(f) 複数のキャパシタ、スイッチ素子及び演算増幅回路からなり、少なくとも前記キャパシタの1つが前記演算増幅回路の仮想接地端子に前記スイッチ素子を介して接続されてなるスイッチキャパシタ増幅回路と、(g) 前記RTZ信号をデジタル信号にエンコードした信号を保持する記憶回路を含み、前記記憶回路の出力を前記D/A変換回路に出力するRTZ信号受信回路とを備える。

[0008] このA/D変換集積回路によれば、D/A変換回路はサブA/D変換回路の直前の値により制御される。このための制御信号をD/A変換回路に提供するために、このA/D変換集積回路ではRTZ波形発生回路がサブA/D変換回路の出力からのサブデジタル信号を変調してRTZ信号を生成すると共に、このRTZ信号を信号線に提供する。そして、RTZ信号受信回路が

、このRTZ信号を信号線から受けると共に、受けた信号をデジタル信号に変換してD/A変換回路のための制御信号を生成する。一方、スイッチキャパシタ増幅回路は当該A/D変換されるべきアナログ信号を処理する。RTZ信号は信号線を伝搬しており、この信号線はスイッチキャパシタ増幅回路内のノードと寄生キャパシタを介して結合している。これ故に、この処理の際に、スイッチキャパシタ増幅回路内のノードが、寄生キャパシタを介して信号線から攪乱を受けることがある。このRTZ信号の遷移数はゼロ又は偶数回である。スイッチキャパシタ増幅回路内のノードがRTZ信号の最初の遷移によりノイズを受けるとき、該ノードはRTZ信号の二回目の遷移によるノイズも受ける。上記ノードへの二回目のノイズは、一回目の逆方向の遷移であり且つほぼ同じ大きさである。結果として残留するノイズは2つのノイズの打ち消しにより非常に小さい。

[0009] 本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、前記演算増幅回路の仮想接地端子に接続される前記スイッチ素子の状態が変化しない期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生することが好ましい。また、本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、前記演算増幅回路の仮想接地端子が仮想接地状態にある期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生することが好ましい。さらに、本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、サブA/D変換回路の出力を前記D/A変換回路に戻す巡回動作モードと、前記演算増幅回路が演算処理を行う演算処理モードからなるサイクリック巡回A/D変換動作において、少なくとも前記巡回動作モード期間の間、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生することが好ましい。

[0010] 本発明の一側面は、所定の幅に配列された複数のA/D変換器を含むA/D変換集積回路に係る。このA/D変換集積回路における各A/D変換器は、(a) A/D変換されるべきアナログ信号を受け取る入力と、(b) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、(c) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブA/D変換回路と、(d) 前記サブA/D変換回路の出力に接続され、前記信号に応じた第1の制御信号を提供する制御回路と、(e) D/A変換器、第1のキャパシタ、第2のキャパシタ及び演算増幅回路を有する信号処理回路とを備える。前記D/A変換器は、前記制御回路からの前記第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含むD/A変換回路とを含み、前記信号処理回路は信号処理及び信号保持の少なくともいずれか一方を行い、前記信号処理では、前記D/A変換回路の前記出力と前記演算増幅回路の入力との間に前記第1のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続し、前記信号保持では前記第1のキャパシタが前記演算増幅回路の前記入力から切り離されると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続され、前記第1の制御信号は、第1の電圧レベルから第2の電圧レベルへの遷移の数と前記第2の電圧レベルから前記第1の電圧レベルへの遷移の数とが同数である波形を有する。

[0011] 本発明の一側面は、所定の幅に配列された複数のA/D変換器を含むA/D変換集積回路に係る。このA/D変換集積回路における各A/D変換器は、(a) A/D変換されるべきアナログ信号を受け取る入力と、(b) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、(c) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブA/D変換回路と、(d) 前記サブA/D変換回路の出力に接続され、

前記信号に応じた第1の制御信号を提供する制御回路と、(e) D/A変換器、第1のキャパシタ、第2のキャパシタ及び演算増幅回路を有する信号処理回路とを備える。前記D/A変換器は、前記制御回路からの前記第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含むD/A変換回路とを含み、前記信号処理回路は、前記D/A変換回路の前記出力と前記演算増幅回路の入力との間に前記第1のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続して信号処理を行い、前記第1の制御信号は、前記第1及び第2のキャパシタが接続される前記演算増幅回路の入力が直流的にも交流的にも高インピーダンス状態である期間において第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形を有する。

[0012] このA/D変換集積回路によれば、信号処理回路における信号処理では、D/A変換回路の出力と演算増幅回路の入力との間に第1のキャパシタが接続されると共に演算増幅回路の出力と演算増幅回路の入力との間に第2のキャパシタが接続される。これ故に、演算増幅回路の入力は第1及び第2のキャパシタを介して信号処理回路の他のノードと接続される。従って、演算増幅回路の第1の入力に等電位の導体部は、高インピーダンスを示すノードとなる。

[0013] D/A変換器の動作は制御回路によって制御される。このために、第1の制御信号が制御回路からD/A変換器に与えられる。第1の制御信号は、第1の電圧レベルから第2の電圧レベルへの遷移と、第2の電圧レベルから第1の電圧レベルへの遷移とを含む波形を有する。これ故に、第1の制御信号によってノードに加えられるノイズは、互いに逆向きの2回の遷移に基づく。これ故に、ノイズを受けるノードが高インピーダンスであるとき、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

[0014] D/A変換回路は、第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じた出力値を提供する出力とを含むので、第1及び第2のキャ

パシタが接続される演算増幅回路の入力が直流的に高インピーダンス状態もある期間において、第1の電圧レベルから第2の電圧レベルへの遷移の数と第2の電圧レベルから第1の電圧レベルへの遷移の数とが同数である波形の制御信号によってD/A変換器の動作が可能となる。

[0015] 本発明に係るA/D変換集積回路では、前記第1の制御信号は、前記D/A変換器の前記記憶回路と前記制御回路とを接続する導体を伝播し、前記導体は、前記演算増幅回路の前記第1の入力に前記信号処理の際に接続される導体領域に寄生キャパシタを介して容量的に結合されている。

[0016] このA/D変換集積回路によれば、ノイズを受けるノードが高インピーダンスであるとき、寄生キャパシタを介したこのノードへの容量的な結合の大きさに関係なく、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

[0017] 本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第2の制御信号を提供し、前記記憶回路は、前記第2の制御信号をラッチし、前記第2の制御信号は、第3の電圧レベルから第4の電圧レベルへの遷移と、前記第4の電圧レベルから前記第3の電圧レベルへの遷移とを含む波形を有し、前記第1の制御信号の前記波形における前記第2の電圧レベルの持続時間は、前記第2の制御信号の前記波形における前記第4の電圧レベルの持続時間と異なる。

[0018] このA/D変換集積回路によれば、第1の制御信号に加えて第2の制御信号を用いることによって2値以上のD/A変換を行うことができる。

[0019] 本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第3の制御信号を提供し、前記記憶回路は、前記第3の制御信号をラッチし、前記第3の制御信号は、第5の電圧レベルから第6の電圧レベルへの遷移と、前記第6の電圧レベルから前記第5の電圧レベルへの遷移とを含む波形を有し、前記第3の制御信号の前記波形における前記遷移の間隔は、前記第1の制御信号の前記波形における前記遷移の間隔と異なる。

[0020] このA/D変換集積回路によれば、第1の制御信号に加えて第2の制御信

号を用いることによって3値以上のD/A変換を行うことができる。

- [0021] 本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第4の制御信号を提供し、前記記憶回路は、前記第3の制御信号をラッチし、前記第4の制御信号は、一定の電圧レベルの波形を有する。
- [0022] このA/D変換集積回路によれば、制御信号の一つとして、一定の値を有するものを用いることができる。
- [0023] 本発明に係るA/D変換集積回路では、前記記憶回路は、第1のラッチ信号に応じて動作する第1のラッチ回路と、第2のラッチ信号に応じて動作する第2のラッチ回路とを含み、前記第1のラッチ信号のラッチタイミングは前記第2のラッチ信号のラッチタイミングと異なることができる。
- [0024] このA/D変換集積回路によれば、複数の制御信号をそれぞれ複数のラッチ回路を用いてその値を取り込む際に、各制御信号の最初の遷移からそれぞれ異なるタイミングのラッチ信号を用いることにより電圧レベルの違いを判別できる。
- [0025] 本発明に係るA/D変換集積回路は、前記信号処理回路の出力を介して前記信号処理によって生成された演算値を前記信号処理回路の入力に帰還する帰還経路を更に備えることができる。前記A/D変換器は、巡回A/D変換を行う。
- [0026] このA/D変換集積回路では、サブA/D変換回路はA/D変換器の出力の近くに配置される。制御信号のための導体線は、A/D変換器の出力側から入力側に向けて延在する。
- [0027] 本発明に係るA/D変換集積回路では、前記信号処理回路は、前記アナログ信号を受ける入力と、第3のキャパシタとを含み、前記信号処理において、前記第3のキャパシタは、前記信号処理回路の前記入力と前記演算増幅回路の前記第1の入力との間に接続される。
- [0028] このA/D変換集積回路では、サブA/D変換回路はA/D変換器の入力の近くに配置される。制御信号のための導体線は、A/D変換器の入力側から出力側に向けて延在する。

- [0029] 本発明に係るA/D変換集積回路では、前記信号処理回路は、前記制御回路からの第5の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別のD/A変換回路とを含み、前記第5の制御信号は、第7の電圧レベルから第8の電圧レベルへの遷移と、前記第7の電圧レベルから前記第8の電圧レベルへの遷移とを含む波形を有する。
- [0030] このA/D変換集積回路によれば、2個以上のD/A変換回路を用いて、4以上のD/A変換値を提供することができ、これらのD/A変換回路の制御のための制御信号によるデジタルノイズを低減できる。
- [0031] 本発明に係るA/D変換集積回路は、センサ素子を含むセンサ回路のセンサアレイを備えることができる。前記A/D変換器は、前記センサアレイのカラムに配置され、前記アナログ信号は前記センサアレイによって提供される。
- [0032] このA/D変換集積回路によれば、センサアレイからのアナログ信号をA/D変換器を用いてデジタル値に変換できる。なお、複数のA/D変換器は所定の幅に配列されることができ、この所定の幅はセンサアレイの一辺の長さに対応することができる。
- [0033] 本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

発明の効果

- [0034] 以上説明したように、本発明によれば、デジタル信号を伝える導体からの、容量結合によるノイズの伝搬を低減可能な複数のA/D変換器を含むA/D変換集積回路を提供することを目的とする。

図面の簡単な説明

- [0035] [図1]図1は、本実施の形態に係るA/D変換集積回路を概略的に示す図面である。
- [図2]図2は、A/D変換器とは異なるA/D変換器の構成を概略的に示す図

面である。

[図3] 図3は、本実施の形態に係るA/D変換器を概略的に示す図面である。

[図4] 図4は、RTZ波形発生回路の一回路例を示す図面である。

[図5] 図5は、RTZ信号受信回路の一回路例を示す図面である。

[図6] 図6は、サブA/D変換回路の出力値(0、1、2)、デジタル信号(D_0 、 D_1)、ラッチ信号(B_0 、 B_1)、及び制御信号 ϕ_{D0} 、 ϕ_{D1} 、 ϕ_{D2} の対応の一覧を示す図面である。

[図7] 図7は、上記のA/D変換器を適用する例としてイメージセンサを示す図面である。

[図8] 図8は、本実施の形態に係るA/D変換器の動作のためのタイミングを示す図面である。

[図9] 図9は、巡回型のA/D変換器の構成を概略的に示す図面である。

[図10] 図10は、図9に示される巡回型A/D変換器の動作を示すタイミングチャートである。

[図11] 図11は、2値の信号SDAを提供するD/A変換回路を制御するための制御信号の波形を示す図面である。

[図12] 図12は、2値の信号SDAを提供するD/A変換回路を制御するための制御信号の波形を示す図面である。

[図13] 図13は、巡回型A/D変換器の内部の増幅回路において仮想接地点と寄生キャパシタ C_c でカップリングが生じたときに発生する誤差のシミュレーションの結果を示すグラフである。

[図14] 図14は、別のA/D変換器の構成を概略的に示す図面である。

発明を実施するための形態

[0036] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のA/D変換集積回路に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0037] 図1は、本実施の形態に係るA/D変換集積回路を概略的に示す図面であ

る。A/D変換集積回路11は、複数のA/D変換器13a~13nを含む。A/D変換器13a~13nの配列は、所定の幅に合わせて配置されていても良い。代表的なA/D変換器13aについて、A/D変換器（符号「13」として参照する）の構成が示されている。A/D変換器13は、入力15と、出力17と、サブA/D変換回路19と、制御回路21と、信号処理回路23とを備える。入力15は、A/D変換されるべきアナログ信号SAを受ける。出力17は、該アナログ信号SAを表す所定ビット数のデジタル信号SDの少なくとも一部分（例えばサブデジタル信号）を提供する。サブA/D変換回路19は、アナログ信号SAを受けてデジタル信号SDのうちの一又は複数のビット値を表す信号SDPを生成すると共に、信号SDPを出力17に提供する。制御回路21の入力21aは、サブA/D変換回路19の出力19aに接続されており、また信号SDPに応じた第1の制御信号S_{CONT}を提供する。第1の制御信号S_{CONT}は、第1の電圧レベルL1から第2の電圧レベルL2への遷移と、第2の電圧レベルL2から第1の電圧レベルL1への遷移とを含む波形を有する。この波形は、例えば信号SDPとパルス信号SPを受ける論理積ゲートにより生成される。この例では、制御信号S_{CONT}のパルス幅は信号SPによって規定される。この例に限られず、制御信号S_{CONT}は、マルチプレクサによっても生成可能であり、マルチプレクサは、いくつかのパルス幅を有する信号SPを受けて、これにより信号SDPの値を有する制御信号S_{CONT}のパルス幅を規定できる。

[0038] 信号処理回路23では、D/A変換回路25及び記憶回路33はD/A変換器26を構成する。D/A変換器26は、制御回路21の出力21bに接続されている。信号処理回路23は、第1のキャパシタ27、第2のキャパシタ29及び演算増幅回路31を有する。D/A変換器26は、記憶回路33及びD/A変換回路25を含む。記憶回路33は、制御回路21からの第1の制御信号S_{CONT}を信号φLATOに応答してラッチする。D/A変換回路25は、この記憶回路33の格納値に応じたアナログ出力値SDAを提供する。信号処理回路23は、スイッチキャパシタ（switched-capacitor）増

幅回路 20 の入力と演算増幅回路 31 の第 1 の入力（例えば反転入力）31 a との間に第 1 のキャパシタ 27 を接続すると共に演算増幅回路 31 の出力（例えば非反転出力）31 b と第 1 の入力（例えば反転入力）31 a との間に第 2 のキャパシタ 29 を接続して、信号処理を行う。第 1 及び第 2 のキャパシタ 27、29 ならびに演算増幅回路 31 の接続は、SC アンプを構成する。この接続において、入力 31 a は仮想接地であり、仮想接地端子と呼ぶことができる。この SC アンプでは、演算増幅回路 31 の第 2 の入力（例えば非反転入力）31 c は接地線に接続されている。この信号処理の結果として、演算増幅回路 31 の出力（例えば非反転出力）31 b には演算値が生成される。この演算値は、当該信号処理回路 23 の出力に提供される。また、信号処理回路 23 は、演算増幅回路 31 の出力 31 b と第 1 の入力（例えば反転入力）31 a との間に第 2 のキャパシタ 29 を接続すると共に第 1 のキャパシタ 27 を演算増幅回路 31 から切り離して、第 2 のキャパシタ 29 に電圧を保持する信号保持の処理を行う。このように、A/D 変換器 13 では、演算増幅回路 31 の入力（例えば入力 31 a）にキャパシタ 27 及び 29 の少なくともいずれか一方が接続される動作モードでは、演算増幅回路 31 の入力 31 a に接続されるノード（導体領域）のインピーダンスは十分に低くない。これ故に、ノイズに対して敏感である。信号処理回路 23 はアナログ信号の処理を行うので、上記のノードへのノイズは A/D 変換の精度の向上の妨げとなる。

[0039] 既に説明したように、A/D 変換器 13 a ~ 13 n が配列されるとき、ある A/D 変換器の両側には別の A/D 変換器が位置しており、A/D 変換器は密に配列されている。これ故に、A/D 変換器 13 a ~ 13 n の各々は小さいサイズ（幅）にレイアウトされる。A/D 変換器の構成素子の配置及び配線が高密度で設けられている。また、SC アンプにおいては、演算増幅回路 31 の第 1 の入力 31 a、第 1 のキャパシタ 27 の一端、及び第 2 のキャパシタ 29 の一端が互いに接続されて、導電領域 EPR を構成している。あるいは、別の例では、SC アンプにおいては、演算増幅回路 31 の出力 31

bと第1の入力31aとの間に第2のキャパシタ29が接続されると共に第1のキャパシタ27が演算増幅回路31から切り離されて、導電領域EPRを構成することもある。信号処理中において、導電領域EPRは等電位である。第1の制御信号 S_{CONT} は、D/A変換器26の記憶回路33と制御回路21とを接続する導体35上を伝播する。上記の制限されたレイアウトでは、導体35は、導電領域EPRの近くを通過する。

[0040] このA/D変換集積回路11によれば、信号処理回路23における信号処理では、SCアンプを構成する接続が用いられる。これ故に、演算増幅回路31の第1の入力31aは、寄生キャパシタを介して信号処理回路23に接続される他の導電体（例えば導体35）と結合される。従って、演算増幅回路31の第1の入力31aと等電位の導電領域EPRは高いインピーダンスを示す。

[0041] D/A変換回路25の動作は制御回路21によって制御される。このために、第1の制御信号 S_{CONT} が制御回路21からD/A変換回路25に与えられる。第1の制御信号 S_{CONT} の波形は、第1及び第2の電圧レベル L_1 、 L_2 の間の2回の遷移を含むので、第1の制御信号 S_{CONT} が他の導電体（例えば導体EPR）与えるノイズは、互いに逆向きの2回の遷移に基づく。これ故に、ノイズを受ける他の導電体（例えば導体EPR）が高インピーダンスであるとき、互いに逆向きの2回の遷移（或いは互いに逆向きでありゼロ回以上の同数の遷移）に基づくノイズは結果的にキャンセルされる。第1及び第2のキャパシタ27、29が接続される演算増幅回路31の入力が例えば直流的及び交流的に高インピーダンス状態である期間において第1の電圧レベル L_1 から第2の電圧レベル L_2 への遷移と第2の電圧レベル L_2 から第1の電圧レベル L_1 への遷移とが同数の遷移数を含む波形を、第1の制御信号 S_{CONT} が有する。

[0042] D/A変換器26は、第1の制御信号 S_{CONT} をラッチする記憶回路33を含むと共に、D/A変換回路25の出力25aは、記憶回路33の格納値に応じた出力値を提供するので、D/A変換回路25は、2回の遷移を有する

波形の制御信号 S_{CONT} によって動作可能である。

- [0043] A/D変換集積回路11では、第1の制御信号 S_{CONT} は導体35を伝播し、導体35は、演算増幅回路31の第1の入力31aに信号処理の際に接続される導体領域EPRに寄生キャパシタ C_c を介して容量的に結合されている。しかしながら、このA/D変換集積回路11によれば、寄生キャパシタ C_c を介した容量的な結合の大きさに関係なく（実際の回路では、寄生キャパシタ C_c の具体的な大きさを見積もることは難しい）、ノイズを受けるノードが高インピーダンスであるとき、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。
- [0044] 図2は、A/D変換器13とは異なるA/D変換器の構成を概略的に示す図面である。A/D変換器41では、D/A変換回路43を制御する信号 V_{CONV} は、導体44を介してサブA/D変換回路45から提供される。この信号 V_{CONV} は、第1の電圧レベルL1から第2の電圧レベルL2への単一の遷移、或いは第2の電圧レベルL2から第1の電圧レベルL1への単一の遷移を有する。SCアンプ内において、ノイズを受ける導電体EPRが高インピーダンスであるとき、単一の遷移に基づくノイズはキャンセルされない。
- [0045] 図3は、本実施の形態に係るA/D変換器を概略的に示す図面である。A/D変換器14は、図1に示されたA/D変換器13a~13nの配列における個々のA/D変換器13a~13nに置き換えることができる。A/D変換器14は、入力15と、出力17と、サブA/D変換回路19と、RTZ波形発生回路22と、D/A変換回路25と、スイッチキャパシタ増幅回路20と、RTZ信号受信回路18とを含む。
- [0046] RTZ波形発生回路22は、サブA/D変換回路19の出力19aに接続された入力22aを有し、またサブA/D変換回路19の出力からの信号SDPを変調することによりリターンツーゼロ（RTZ）信号RTZを発生する。RTZ信号受信回路18は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZを受ける入力18aを有しており、リターンツーゼロ信号RTZをエンコードしたデジタル信号を生成する。このデジタ

ル信号はRTZ信号受信回路18内の記憶回路に格納される。この記憶回路の記憶値は、RTZ信号受信回路18の出力18bを介してD/A変換回路25に提供される。スイッチキャパシタ増幅回路20は、複数のキャパシタ27、29、スイッチ素子32a、32b、32c、32d、32e及び演算増幅回路31を含む。スイッチキャパシタ増幅回路20では、キャパシタ27、29のうちの少なくともキャパシタの1つ（本実施例では、キャパシタ27）が演算増幅回路31の仮想接地端子（例えば31a）にスイッチ素子（例えば32c）を介して接続されてなる。タイミング発生回路34はタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_{CDS1} 、 ϕ_{CDS2} を生成し、スイッチ素子32a～32eは、これらのタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_{CDS1} 、 ϕ_{CDS2} 、 ϕ_{DAC} によって制御される。信号処理回路24では、RTZ信号受信回路18は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZからデジタル値をエンコードする。このエンコードされた信号は、D/A変換回路25を制御するために値を有しており、またRTZ信号受信回路18内の記憶回路に保持される。或いは、RTZ信号受信回路18内の記憶回路は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZを格納してもよく、RTZ信号受信回路18は、記憶回路内の信号からデジタル値を生成する。この記憶回路の格納値に応じて、D/A変換回路25はアナログ出力値SDAを提供する。D/A変換回路25は、この記憶回路の格納値に応じたアナログ出力値SDAを提供する。第1及び第2のキャパシタ27、29ならびに演算増幅回路31の接続は、SCアンプを構成する。このSCアンプでは、演算増幅回路31の第2の入力（例えば非反転入力）31cは接地線に接続されている。

[0047] 信号処理回路24は、スイッチキャパシタ増幅回路20の入力と演算増幅回路31の第1の入力（例えば反転入力）31aとの間に第1のキャパシタ27を接続すると共に演算増幅回路31の出力（例えば非反転出力）31bと第1の入力（例えば反転入力）31aとの間に第2のキャパシタ29を接続して、信号処理を行う。この信号処理の結果として、演算増幅回路31の

出力31bには演算値が生成される。この演算値は、当該信号処理回路24の出力に提供される。例えば、この信号処理中、第1の入力（例えば反転入力）31aは、キャパシタ27、29の一端と接続されており、これらの接続ノードの電位に等電位の導体領域は、十分に低いインピーダンスでないときがある。演算増幅回路31の入力31aに接続される等電位の導電領域は、RTZ波形発生回路22の出力22bからRTZ信号受信回路18の入力18aへの配線導体36に寄生キャパシタ C_c を介して結合される。配線導体36上の電位変化は寄生キャパシタ C_c を介して等電位の導電体に伝わる。しかしながら、配線導体36にはリターンツーゼロ信号RTZが伝搬し、リターンツーゼロ信号RTZは互いに逆向きの2回の遷移を有する。

[0048] このA/D変換回路14によれば、寄生キャパシタ C_c を介した容量的な結合の大きさに関係なく（実際の回路では、寄生キャパシタ C_c の具体的な大きさを見積もることは難しい）、ノイズを受けるノードが高いインピーダンスを示すときでさえも、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

[0049] 図4は、RTZ波形発生回路22の一回路例を示す図面である。RTZ波形発生回路22は、サブA/D変換回路19の出力からの信号SDP (D_0 、 D_1)を受ける。以下の説明から理解されるように、RTZ波形発生回路22は信号SDPを変調することによりリターンツーゼロ信号RTZを生成できる。RTZ波形発生回路22では、信号 D_0 、 D_1 を複数の論理ゲート、例えばAND（論理積）ゲート61、62が受ける。本実施例では、ANDゲート61の入力61a、61bが信号 D_0 、 D_1 を受け、ANDゲート62の入力62a、62bが信号 D_0 、 $_D_1$ を受ける。ここで、信号 $_D_1$ は信号 D_1 の反転信号を示す。反転信号の生成のために、例えばANDゲート62の入力62bにはインバータ63が接続されることができる。ANDゲート64の入力64aはANDゲート61の出力61cからの論理積信号AND1を受け、ANDゲート64の入力64bは信号W2を受ける。ANDゲート65の入力65aはANDゲート62の出力62cからの論理積信号AND2

を受け、ANDゲート65の入力65bは信号W1を受ける。排他的論理和（EXOR）ゲート66の入力66a、66bは、それぞれ、ANDゲート64、65の出力64c、65cからの論理積信号AND3、AND4を受ける。排他的論理和ゲート66はリターンツーゼロ信号RTZを生成する。ここで、信号W1、W2はイメージデータを生成するための信号であり、1.5bサブA/D変換回路から提供される。

[0050] 図5は、RTZ信号受信回路18及びD/A変換回路25の一回路例を示す図面である。RTZ信号受信回路18は、RTZ波形発生回路22の出力22bからのリターンツーゼロ信号RTZを記憶すると共に、リターンツーゼロ信号RTZからデジタル値をエンコードする。RTZ信号受信回路18は、記憶回路71及びエンコーダ81を含む。図5の(a)部には、記憶回路71が示されている。記憶回路71は、一又は複数のビットを格納可能な格納回路を含むことができ、本実施例ではラッチ回路72、73を含む。リターンツーゼロ信号RTZは、ラッチ回路72、73の入力72a、73aに接続された配線導体36を介してラッチ回路72、73に提供される。ラッチ信号LAT1、LAT2は、それぞれ、ラッチ回路72、73のラッチ入力72b、73bに入力され、またラッチ回路72、73のラッチのタイミングを規定する。ラッチ回路72、73は、それぞれ、ラッチ信号LAT1、LAT2により規定される値B₀、B₁を格納し、またこれらの格納値を出力72c、73cに提供する。

[0051] 図5の(b)部には、エンコーダ81が示されている。エンコーダ81は、複数のANDゲートといった論理ゲートを含む。例えば、2ビットの信号B₀、B₁をエンコードするためには、4個のANDゲートが必要であるが、本A/D変換回路14では各巡回毎に1.5ビットのA/D変換を行うので、3個のANDゲート82、83、84を用いるエンコードにより、制御信号φ_{D0}、φ_{D1}、φ_{D2}を生成する。信号φ_{DAC}は、D/A変換回路25に制御信号を提供するタイミングを規定する。ANDゲート82、83、84の入力82c、83c、84cが信号φ_{DAC}を受ける。ANDゲート82の

入力82a、82bは、それぞれ、信号 B_0 、 B_1 を受ける。ANDゲート83の入力83a、83bは、それぞれ、信号 B_0 、 $\overline{B_1}$ を受ける。ANDゲート83の入力84a、84bは、それぞれ、信号 $\overline{B_0}$ 、 $\overline{B_1}$ を受ける。信号 B_0 、 B_1 の反転信号 $\overline{B_0}$ 、 $\overline{B_1}$ を生成するために、インバータ85が、必要な論理積ゲートの入力に用いられる。このエンコーダ81では、ANDゲート82、83、84の出力82d、83d、84dが、それぞれ、制御信号 ϕD_0 、 ϕD_1 、 ϕD_2 を提供する。これらの制御信号 ϕD_0 、 ϕD_1 、 ϕD_2 は、D/A変換回路25内の3つのスイッチ素子86a、86b、86cを制御する。サブA/D変換回路19の出力値(0、1、2)、デジタル信号(D_0 、 D_1)、ラッチ信号(B_0 、 B_1)、及び制御信号 ϕD_0 、 ϕD_1 、 ϕD_2 の対応の一覧は図6に示される。

[0052] 図7は、上記のA/D変換器を適用する例としてイメージセンサを示す図面である。図7を参照すると、CMOSイメージセンサ1では、センサアレイ2は、センサ素子を含むセンサ回路2aのアレイを含む。センサアレイ2の行に垂直シフトレジスタ3が接続されており、センサアレイ2の列にはA/D変換器アレイ4が接続されている。A/D変換器アレイ4は、イメージセンサのカラムにアレイ状に配列された複数のA/D変換器13を含む。A/D変換器アレイ4は、センサアレイ2の列の幅に合わせて配置される。これ故に、例えば列線毎にA/D変換器13を設ける回路構成では、A/D変換器13の数は列線の数に等しい。個々のA/D変換器13はセンサアレイ2内のセルサイズに合わせてレイアウトされる。CMOSイメージセンサ1では、センサアレイ2はCMOSイメージセンサのセンサ回路2aが行方向および列方向に配列されている。図7には、CMOSイメージセンサの画素PIXELが示されており、画素PIXELはセンサ回路2aの一例である。本実施の形態に係るA/D変換器13の適用は、本明細書に記載された特定の構成に限定されることはない。

[0053] 以上説明したセンサ回路は、イメージセンサに限定されることなく、画素PIXELの他に半導体回路と一緒に集積可能な各種のセンサに適用するこ

とができる。適用可能なセンサとして、例えば距離センサ、磁気センサ、加速度センサ、圧力センサ等がある。

- [0054] 引き続き図7を参照しながら、CMOSイメージセンサ1の構成を説明する。画素PIXELは、リセット状態における第1の信号S1と光誘起信号出力における第2の信号S2とを生成する。A/D変換器11の入力13が画素PIXELに接続されている。A/D変換器アレイ4には、データレジスタ5が接続されており、画素PIXELからの信号に対応するA/D変換値がデータレジスタ5に格納される。データレジスタ5は、水平シフトレジスタ6からの信号に应答して、デジタル信号を冗長表現-非冗長表現変換回路7へ提供する。冗長表現-非冗長表現変換回路7は、画素PIXELからの信号に対応したNビットのデジタルコードを生成する。
- [0055] 画素PIXELは、フォトダイオードD_Fが、イメージに関連する一画素分の光(Optical Signal)を受ける。選択トランジスタM_Sのゲートは、行方向に伸びる行選択線Sに接続されている。リセットトランジスタM_Rのゲートはリセット線Rに接続されている。転送トランジスタM_Tのゲートは、行方向に伸びる転送選択線に接続されている。フォトダイオードD_Fの一端は転送トランジスタM_Tを介して浮遊拡散層FDに接続されている。浮遊拡散層FDは、リセットトランジスタM_Rを介してリセット電位線Resetに接続されると共に、トランジスタM_Aのゲートに接続されている。トランジスタM_Aの一電流端子(例えばソース)は、選択トランジスタM_Sを介して列線8に接続されている。トランジスタM_Aは、浮遊拡散層FDの電荷量に応じて電位を選択トランジスタM_Sを介して列線に提供する。
- [0056] この構造の画素において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号RをリセットトランジスタM_Rに提供し、浮遊拡散層FDをリセットする。増幅トランジスタM_Aを介して、このリセットレベルを読み出す。画素PIXELは、浮遊拡散層FDがリセット状態にあるとき第1の信号S1を生成する。次いで、電荷転送制御信号TXを転送トランジスタM_Tに供給し、フォトダイオードD_Fから光誘起信号電荷を浮遊拡散層

FDに転送する。この後、トランジスタMAを介して、この信号レベルを読み出す。画素PIXELの浮遊拡散層FDが光誘起電荷の蓄積状態にあるとき第2の信号S2を生成する。第2の信号S2には、光誘起電荷を示す信号に第1の信号S1が重畳されている。このリセットレベルと信号レベルの差は、図1に示されるようなA/D変換器を用いて求められる。これによって、画素PIXELのトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

- [0057] 図8は、本実施の形態に係るA/D変換器の動作のためのタイミングを示す図面である。図3及び図8を参照しながら、A/D変換器の動作を説明する。図8は、アナログCDS動作と最初の3サイクルCYC1、CYC2、CYC3のA/D変換動作を示す図面である。タイミング信号 ϕ_{CDs1} 及び ϕ_{CDs2} が共に「ハイ」である期間に、センサ回路2aからの信号S1を受けて、信号S1をキャパシタ27に格納する。次いで、タイミング信号 ϕ_{CDs1} が「ハイ」であり信号 ϕ_{CDs2} が「ロウ」である期間に、センサ回路2aからの信号S2を受けて、アナログCDS動作を信号処理回路23のSCアンプにおいて行って差分信号(S1-S2)を演算増幅回路31の出力31bに生成する。サブA/D変換回路19はこの信号のA/D変換信号SDPを生成する。
- [0058] 最初のサイクルのサブA/D変換値は $D_0=1$ 、 $D_1=1$ である。RTZ波形発生回路22は、サブA/D変換回路19の出力からの信号SDP(D_0 、 D_1)を受けて、信号SDPからリターンツーゼロ信号RTZ1を生成する。この信号RTZ1は導体配線36を伝搬してRTZ信号受信回路18に到達する。RTZ信号受信回路18では、ラッチ信号LAT1、LAT2に応答して記憶回路71がデジタル値(B_0 、 B_1)を格納する。
- [0059] 2回目のサイクルのサブA/D変換値は $D_0=1$ 、 $D_1=0$ である。RTZ波形発生回路22は、サブA/D変換回路19の出力からの信号SDP(D_0 、 D_1)を受けて、信号SDPからリターンツーゼロ信号RTZ2を生成する

。この信号RTZ2は導体配線36を伝搬してRTZ信号受信回路18に到達する。RTZ信号受信回路18では、ラッチ信号LAT1、LAT2にตอบสนองして記憶回路71がデジタル値(B₀、B₁)を格納する。

[0060] 3回目のサイクルのサブA/D変換値はD₀=0、D₁=0である。RTZ波形発生回路22は、サブA/D変換回路19の出力からの信号SDP(D₀、D₁)を受けて、信号SDPからリターンツーゼロ信号RTZ3を生成する。この信号RTZ3は導体配線36を伝搬してRTZ信号受信回路18に到達する。RTZ信号受信回路18では、ラッチ信号LAT1、LAT2にตอบสนองして記憶回路71がデジタル値(B₀、B₁)を格納する。

[0061] 巡回A/D変換動作は、巡回動作モード及び演算処理モードを含む。巡回A/D変換動作のサイクルCYC1、CYC2、CYC3の各々で、図8における信号φ1がハイであり信号φ2がロウである期間では、キャパシタ27は入力15からのアナログ信号又はスイッチ32aを介した帰還値を受ける(巡回動作モード)。キャパシタ29の一端及び他端はそれぞれ演算増幅回路31の入力31a及び出力31bに接続され、キャパシタ27はスイッチ32cによって演算増幅回路31の入力31aから切り離されている。ここで、演算増幅回路31の入力31aが接続される導体のインピーダンスは高くなっている。キャパシタ29及び入力31aが接続されるノードは電位を保持している。

[0062] 図8における信号φ2がハイであり信号φ1がロウである期間では、キャパシタ27及び29は演算増幅回路31の入力31aに接続される。この接続において、D/A変換回路25からの信号SDAをキャパシタ27に加えるとSCアンプでは演算が行われる(演算処理モード)。キャパシタ27及び29は演算増幅回路31の入力31aに接続され、キャパシタ29の一端及び他端はそれぞれ演算増幅回路31の入力31a及び出力31bに接続されている。ここでも、演算増幅回路31の入力31aが接続される導体のインピーダンスは高くなっている。キャパシタ27、29が接続されるノードは電位を保持している。これらの接続では、演算増幅回路31の仮想接地端

子（ここでは入力31a）が仮想接地状態にある。

- [0063] 本実施例では、巡回動作モードにおいて、サブA/D変換回路19からD/A変換回路25へのリターンツーゼロ信号を送っている。必要な場合には、演算処理モードの初期にリターンツーゼロ信号を送ることができる。
- [0064] リターンツーゼロ信号RTZ1のハイ状態の期間の長さはリターンツーゼロ信号RTZ2のハイ状態の期間長さとは異なり、同様に、リターンツーゼロ信号RTZ1のハイ状態の期間の長さはリターンツーゼロ信号RTZ3のハイ状態の期間長さ（長さゼロ）と異なる。このようなリターンツーゼロ信号RTZ1、RTZ2、RTZ3は導体配線36を伝搬してRTZ信号受信回路18に到達する。スイッチキャパシタ増幅回路20は当該A/D変換のためのアナログ信号を処理する。リターンツーゼロ信号RTZは導体配線36を伝搬しており、この導体配線36がスイッチキャパシタ増幅回路20内のノードと寄生キャパシタ C_0 を介して結合している。これ故に、この処理の際に、スイッチキャパシタ増幅回路20内のノードが、寄生キャパシタ C_0 を介して導体配線36から攪乱を受けることがある。このノードのインピーダンスが十分に低くないとき、リターンツーゼロ信号RTZ1、RTZ2、RTZ3のデジタル遷移が寄生キャパシタ C_0 を介して上記のノードにノイズとして伝搬する。しかしながら、リターンツーゼロ信号RTZ1、RTZ2、RTZ3のいずれもゼロ又は偶数回の遷移（第1の電圧値のLから第2の電圧値のHへの遷移、及び第2の電圧値のHから第1の電圧値のLへの遷移）を持つので、一回目の遷移のノイズは、二回目の遷移の逆極性のノイズにより実質的に打ち消される。したがって、上記ノードのインピーダンスが高いときでさえも、結果としての残留ノイズは非常に小さい。
- [0065] 図9は、巡回型のA/D変換器の構成を概略的に示す図面である。巡回型A/D変換では、総デジタルビット数よりも少ない—又は数ビットずつA/D変換を行う。例えばアナログ信号の数ビット分のA/D変換を行うと共に、これらのビット値に対応する信号を演算増幅回路を用いて差し引き演算値を生成する。この演算値のA/D変換を行うと共に、変換済みのビット値に

対応する信号を演算増幅回路を用いて差し引き、次の巡回動作のための演算値を生成する。これを所望のビット数のデジタル信号を得るまで繰り返す。巡回型のA/D変換器では、多くの場合、D/A変換回路25はサブA/D変換回路19よりもセンサアレイ2に近い。信号処理回路23は、演算増幅回路31の出力31bと演算増幅回路31の入力31aとの間に第2のキャパシタ29を接続すると共に第1のキャパシタ27を入力31aから切り離す。第1のキャパシタ27は入力15又はスイッチ51bを介してアナログ値を受け、第2のキャパシタ29は入力31aにおけるアナログ値（電位）の保持を行う。また、信号処理回路23は、この信号処理回路23の入力23a又はD/A変換回路25の出力25aと演算増幅回路31の入力31aとの間に第1のキャパシタ27を接続すると共に演算増幅回路31の出力31bと演算増幅回路31の入力31aとの間に第2のキャパシタ29を接続して信号処理を行う。入力23aは、第1のキャパシタ27の一端にスイッチ51aを介して接続される。また、巡回型のA/D変換器は、信号処理によって生成された演算値を演算増幅回路31の出力31bからSCアンプの入力に帰還する帰還経路を含む。この帰還経路はスイッチ51bを含む。この巡回型A/D変換器13では、サブA/D変換回路19はA/D変換器13の出力の近くに配置される。制御信号のための導体35は、A/D変換器13の出力側から入力側に向けて延在する。

[0066] 図10は、図9に示される巡回型A/D変換器の動作の動作を示すタイミングチャートである。図9に示された巡回型A/D変換器13では、一回の巡回動作において1.5ビットのA/D変換を行う。このために、D/A変換回路25は3値のアナログ値（例えば $+V_R$ 、ゼロ、 $-V_R$ ）を提供する。このために、D/A変換回路25は、3つのスイッチ26a、26b、26cを含み、これらのスイッチ26a、26b、26cは上記の制御信号にตอบสนองして動作する。3つの基準信号（ $+V_R$ 、ゼロ、 $-V_R$ ）は、電圧源30a、30b、30cによって提供される。3値のD/A信号SDAを生成するために、サブA/D変換回路19の出力値SDPが制御回路21に提供され

る。記憶回路33は、3つの制御信号を格納するラッチ回路といった格納回路33a、33bを有する。格納回路33a、33bは、それぞれ、格納信号 ϕ_{LAT1} 、 ϕ_{LAT2} にตอบสนองして制御信号を格納すると共に格納値を保持する。制御回路21は、3値のD/A信号SDAを生成するための制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} を生成する。

[0067] 引き続き説明におけるスイッチ51a、51b、51c、51d、51eはタイミング生成器50によって提供される信号にตอบสนองする。巡回型A/D変換器13は、入力15を介してアナログ信号を受けるに先立って、リセット動作を行う。リセット動作では、信号 ϕ_{CDS2} 、 ϕ_2 にตอบสนองしてスイッチ51d、51eが閉じられる。

[0068] 次いで、巡回型A/D変換器13aは、入力15を介してアナログ信号SAを受ける。このとき、信号 ϕ_{CDS1} にตอบสนองしてスイッチ51aは閉じ、信号 ϕ_1 にตอบสนองしてスイッチ51b、51cは閉じている。また、信号 ϕ_{CDS2} にตอบสนองしてスイッチ51dが開き、信号 ϕ_2 にตอบสนองしてスイッチ51eが開く。

[0069] アナログ信号SAはキャパシタ27に格納される。このとき、D/A変換回路25の出力はハイインピーダンス状態(HiZ)である。また、演算増幅回路31の出力31bはキャパシタ29を介して演算増幅回路31の入力31aに接続されており、この接続において、SCアンプでは、入力31aが接続される導体領域は十分に低いインピーダンスではない。アナログ信号SAは、スイッチ51bを介してサブA/D変換回路19に提供され、サブA/D変換回路19は2ビット分の部分A/D変換値SDPを生成する。このために、サブA/D変換回路19は例えば2個のコンパレータを含み、個々のコンパレータにおける比較結果をA/D変換値SDPとして提供する。2個のコンパレータはそれぞれ参照値 $+V_R$ 、 $-V_R$ を受ける。

[0070] アナログ信号の取り込みの後に、信号処理回路23は、信号 ϕ_{CDS1} 、 ϕ_{CDS2} にตอบสนองしてスイッチ51a、51dを開くと共に、信号 ϕ_1 にตอบสนองしてスイッチ51b、51cを開く。信号 ϕ_2 にตอบสนองして、スイッチ51

eを閉じる。この接続により、信号処理回路23では、キャパシタ27、29及び演算増幅回路31によってSCアンプが構成される。このとき、導体領域EPRは、演算増幅回路31の仮想接地端子に接続され、また高インピーダンスのノードであり、また導体35に寄生キャパシタ C_c を介して容量的に結合している。

[0071] この接続において、制御回路21は、受けたA/D変換値SDPに応じた信号（制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} のいずれか）を生成する。この信号は導体35上を伝搬して記憶回路33に到達する。

[0072] 図10のタイミングチャートには、制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} の送出の期間は、キャパシタ27、29及び演算増幅回路31によってSCアンプが構成されている期間内である。この期間に導体領域EPRは交流的及び直流的に高インピーダンス状態におかれる。送出の期間の始期は、SCアンプの動作期間の始期の後であり、送出の期間の終期は、SCアンプの動作期間の終期の前である。信号が生成されるとき、制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} のいずれも、巡回動作のタイミングにおける時刻 t_1 において第1の遷移 T_1 を起こす。制御信号 S_{CONT1} は、最も長い持続期間を有し、時刻 t_2 において第2の遷移 T_2 を起こす。制御信号 S_{CONT2} は、次に長い持続期間を有し、時刻 t_3 において第2の遷移 T_2 を起こす。制御信号 S_{CONT3} は、最も短い持続期間を有し、時刻 t_4 において第2の遷移 T_2 を起こす。格納回路33aのラッチタイミングは信号 ϕ_{LAT1} によって規定され、格納回路33aの格納値は、時刻 t_5 において確定される。格納回路33bのラッチタイミングは信号 ϕ_{LAT2} によって規定され、格納回路33bの格納値は、時刻 t_6 において確定される。制御信号 S_{CONT1} の第2の遷移 T_2 は、時刻 t_5 の前に位置し、制御信号 S_{CONT2} の第2の遷移 T_2 は、時刻 t_6 の前に位置する。

[0073] 制御回路21が制御信号 S_{CONT1} を提供したとき、格納回路33aの格納値

は、時刻 t_5 において確定され、格納値は「1」である。格納回路 33b の格納値は、時刻 t_6 において確定され、格納値は「1」である。また、制御回路 21 が制御信号 S_{CONT2} を提供したとき、格納回路 33a の格納値は、時刻 t_5 において確定され、格納値は「1」である。格納回路 33b の格納値は、時刻 t_6 において確定され、格納値は「0」である。さらに、制御回路 21 が制御信号 S_{CONT3} を提供したとき、格納回路 33a の格納値は、時刻 t_5 において確定され、格納値は「0」である。格納回路 33b の格納値は、時刻 t_6 において確定され、格納値は「0」である。

- [0074] 格納回路 33a、33b の格納値は、例えばデコーダ回路 33c によって、スイッチ 26a ~ 26c の開閉を制御するためのスイッチ信号に変換される。スイッチ信号に応じてスイッチ 26a ~ 26c のいずれか一つが、信号 SDA をキャパシタ 27 の一端に結合される。信号 SDA の印加に応答して、最初の巡回動作による演算値が生成される。
- [0075] この演算値は、サブ A/D 変換回路 19 によって、2 回目の信号 SDP として出力 17 に提供される。また、信号 SDP は制御回路 21 に提供されて、2 回目の巡回動作のための制御信号（制御信号 S_{CONT1} 、 S_{CONT2} 、 S_{CONT3} のいずれか）が生成される。この制御信号は、導体 35 を伝搬した後に、記憶回路 33 に格納される。D/A 変換回路 25 は、記憶回路 33 の格納値に応じた信号 SDA をキャパシタ 27 の一端に提供する。所望のビット数のデジタル信号が得られるまで、巡回 A/D 変換の動作が繰り返される。巡回 A/D 変換の各々において、制御回路 21 から記憶回路 33 への制御信号は、いずれの場合も、2 回の遷移からなる波形を有するので、2 回の遷移に基づくノイズは結果的にキャンセルされる。この結果、SC アンプの導体領域 EPR へのノイズが低減される。
- [0076] 本実施の形態では、一回の巡回 A/D 変換において 3 値のデジタル値（1.5 ビット）を生成している。一回の巡回 A/D 変換において 2 値のデジタル値（1 ビット）を生成することもできる。この A/D 変換では、D/A 変換回路 25 は、2 つの信号 SDA を提供する。記憶回路 33 は一個の格納回

路を含む。

[0077] 図 1 1 は、2 値の信号 SDA を提供する D/A 変換回路を制御するための制御信号の波形を示す図面である。図 1 1 のタイミングチャートには、制御信号 S_{CONT1}、S_{CONT2} の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。信号が生成されるとき、制御信号 S_{CONT1}、S_{CONT2} のいずれも、巡回動作のタイミングにおける時刻 s 1 において第 1 の遷移 T 1 を起こす。制御信号 S_{CONT1} は、長い持続期間を有し、時刻 s 2 において第 2 の遷移 T 2 を起こす。制御信号 S_{CONT2} は、短い持続期間を有し、時刻 s 3 において第 2 の遷移 T 2 を起こす。単一の格納回路の格納タイミングは、ラッチクロック信号によって規定され、この格納回路の格納値は、時刻 s 4 において確定される。制御信号 S_{CONT1} の第 2 の遷移 T 2 は、時刻 s 4 の前に位置する。制御回路 2 1 が制御信号 S_{CONT1} を提供したとき、格納回路の格納値は、時刻 s 4 において確定され、格納値は「1」であり、また制御回路 2 1 が制御信号 S_{CONT2} を提供したとき、格納回路の格納値は、時刻 s 4 において確定され、格納値は「0」である。

[0078] 図 1 2 は、2 値の信号 SDA を提供する D/A 変換回路を制御するための制御信号の波形を示す図面である。図 1 2 のタイミングチャートには、制御信号 S_{CONT1}、S_{CONT2} の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。本実施例では、制御信号 S_{CONT2} には遷移がなく、一定に値を有する信号である。遷移を有する信号が生成されるとき、制御信号 S_{CONT1} は、巡回動作のタイミングにおける時刻 u 1 において第 1 の遷移 T 1 を起こす。制御信号 S_{CONT1} は、時刻 u 2 において第 2 の遷移 T 2 を起こす。単一の格納回路の格納タイミングは、ラッチクロック信号によって規定され、この格納回路の格納値は、時刻 u 3 において確定される。制御回路 2 1 が制御信号 S_{CONT1} を提供したとき、格納回路の格納値は、時刻 u 3 において確定され、格納値は「1」であり、また制御回路 2 1 が制御信号 S_{CONT2} を提供したとき、格納回路の格納値は、時刻 u 3 において確定され、格納値は「0」である。

- [0079] これまでの実施例に示されるように、キャパシタ 27、29 が接続される演算増幅回路 31 の入力或いはキャパシタ 27、29 の少なくともいずれか一方が接続される演算増幅回路 31 の入力に直流的に及び交流的に高インピーダンス状態である期間において、第 1 の電圧レベルから第 2 の電圧レベルへの遷移の数と第 2 の電圧レベルから第 1 の電圧レベルへの遷移の数とが同数である遷移を有する波形の制御信号によって D/A 変換器の動作が可能となる。また、D/A 変換回路を制御する制御信号の波形が、偶数回（ゼロ回を含む）の遷移を有するとき、遷移に起因するカップリングノイズが低減される。
- [0080] 発明者の見積もりによれば、寄生キャパシタを介した容量的な結合により、典型的な A/D 変換器では電圧振幅 3 ミリボルト（mV）程度のノイズが導体領域 EPR に加わる。制御回路 21 から D/A 変換回路 25 への制御信号を例えば RTZ 符号化することによって、電圧振幅 3 ミリボルト程度のノイズと、電圧振幅 -3 ミリボルト程度のノイズとの両方が電位領域 EPR に加わる。フルスケール電圧 1 ボルトの 12 ビット A/D 変換では、1 LEB が 0.25 ミリボルト（mV）であるので、ノイズレベル 3 mV は 12 LEB に相当する。ノイズレベル 3 mV は大きな値である。
- [0081] 図 13 は、巡回型 A/D 変換器の内部の増幅回路（MDAC : Multiplying D/A converter）において、サブ A/D 変換回路内のコンパレータから D/A 変換回路への制御信号のための配線が演算増幅回路の反転入力（仮想接地点）と寄生キャパシタ C_c でカップリングが生じたときに発生する誤差と、寄生キャパシタ C_c の値の関係をシミュレーションにより求めたものである。図 9 に示される信号処理回路 23 内のキャパシタ 27、29 は 1 ピコファラッドである。図 13 を参照すると、特性線 Da、Db、Dc、Dd が表されている。演算増幅回路 31 が全差動型の回路であるとき、及びシングルエンド型の回路であるときの各々に対して、シミュレーションによる誤差を掲載した。いずれの場合も、RTZ 符号化を用いることにより、ノイズの影響は大幅に精度が改善された。シングルエンド型の回路において、ノイズの影響

は約 1/30 に低減された。全差動型の回路において、RTZ 符号化を用いることによって、カップリングノイズによる誤差の影響をほとんど受けることなく信号処理のための演算を行うことができる。

[0082] 図 14 は、別の A/D 変換器の構成を概略的に示す図面である。この A/D 変換では、サブ A/D 変換回路 19 は、総デジタルビット数よりも少ない一又は数ビットの A/D 変換値を生成する。例えばアナログ信号の数ビット分の A/D 変換を行うと共に、これらのビット値に対応する信号を演算増幅回路を用いて差し引き、残差を示す演算値 SAR を生成する。この演算値 SAR は、ホールド回路 61 に保持される。この A/D 変換器 13 では、多くの場合、サブ A/D 変換回路 19 は D/A 変換回路 25 よりもセンサアレイ 2 の近くに位置する。この A/D 変換器 13 では、サブ A/D 変換回路 19 は A/D 変換器 13 の入力の近くに配置される。制御信号のための導体（図 1 おける導体 35）は、A/D 変換器 13 の入力側から出力側に向けて延在する。

[0083] A/D 変換器 13 では、図 14 に示されるように、信号処理回路 23 は、D/A 変換器 26 と、キャパシタ 27、27a、27b と、演算増幅回路 31 とを含む。D/A 変換器 26 は、第 1 及び第 2 の D/A 変換部 28a、28b を含み、第 1 及び第 2 の /A 変換部 28a、28b の各々は、D/A 変換回路 25 及び記憶回路 33 を含む。第 1 及び第 2 の /A 変換部 28a、28b の各々には、D/A 値を提供するために、電圧源 30d、30e に接続されている。

[0084] 信号処理回路 23 が SC アンプを構成するときは、キャパシタ 27 の一端は、キャパシタ 29 の一端及び演算増幅回路 31 の第 1 の入力 31a に接続されて、導体領域 EPR が形成される。或いは、別の例では、キャパシタ 27 の一端が演算増幅回路 31 の入力 31a から切り離されると共にキャパシタ 29 の一端が演算増幅回路 31 の入力 31a に接続されて、導体領域 EPR が形成される。

[0085] また、所望の動作を得るために、信号処理回路 23 は、タイミング生成器

60によって制御される一又は複数のスイッチを含む。これらのスイッチは、例えば図9におけるスイッチ51a~51eと類似の位置に配置される。これらのスイッチを介して、キャパシタ27a、キャパシタ27b、キャパシタ27、キャパシタ29、及び演算増幅回路31が接続されることができ。信号処理回路23がSCアンプを構成するときは、キャパシタ27bの一端、キャパシタ27aの一端、キャパシタ27の一端、キャパシタ29の一端、及び演算増幅回路31の第1の入力31aが互いに接続されて、導体領域EPRが形成される。このとき、第1のD/A変換部28aの出力24aは、キャパシタ（キャパシタンス： $2C$ ）27aを介して、キャパシタ27の一端、キャパシタ29の一端、キャパシタ27bの一端及び演算増幅回路31の第1の入力31aに接続される。また、第2のD/A変換部28bの出力24bは、キャパシタ（キャパシタンス： C ）27bを介して、キャパシタ27の一端、キャパシタ29の一端、キャパシタ27aの一端及び演算増幅回路31の第1の入力31aに接続される。

[0086] この信号処理回路23においても、導体領域EPRは、制御信号の伝搬経路である導体35に寄生キャパシタを介して容量的に結合される。

[0087] 図14に示されたA/D変換器13の動作を説明する。信号 ϕ_R に応答してスイッチ63aを導通させて、セルアレイ2内のセンサ回路2aからの出力信号のリセットレベル信号S1をキャパシタ27にサンプルする。その後、信号 ϕ_R に応答してスイッチ63aを非導通にして、センサ回路2aからの出力信号の信号レベル信号S2をキャパシタ27に受けて、キャパシタ27、29及び演算増幅回路31を用いて信号処理を行う。このときの信号処理は差分信号（ $S1 - S2$ ）の生成とその増幅である。この信号処理のための接続では、SCアンプが構成される。

[0088] このとき、サブA/D変換回路21は、2ビットのA/D変換でリセットレベルS1と信号レベルS2の差をA/D変換値を生成して、その結果によって、4値のD/A変換器26を制御する。これにより、増幅された信号は以下の式で表される。

$$V_{OUT} = 4 \times (S_1 - S_2) - D \times (V_{R1} - V_{R2})$$

増幅の係数「4」は、キャパシタ27（キャパシタンス：4C）とキャパシタ29（キャパシタンス：C）との比率で規定される。SCアンプの出力及び $(V_{R1} - V_{R2})$ が正值となるように V_{R1} 、 V_{R2} を定める。

2ビットでA/D変換された値Dは以下のように規定される。

D、 入力アナログ値の範囲。

$$0 : (S_1 - S_2) \leq (V_{R1} - V_{R2}) / 4。$$

$$1 : (V_{R1} - V_{R2}) / 4 < (S_1 - S_2) \leq (V_{R1} - V_{R2}) / 2。$$

$$2 : (V_{R1} - V_{R2}) / 2 < (S_1 - S_2) \leq 3 \times (V_{R1} - V_{R2}) / 4。$$

$$3 : 3 \times (V_{R1} - V_{R2}) / 4 \leq (S_1 - S_2)。$$

値Dは、2ビットA/D変換回路の出力に対して、0、1、2、3の4値のいずれかとなり、演算値 V_{OUT} が最も小さくなるような値を取る。換言すれば、演算値 V_{OUT} がそのようになるように、A/D変換器13が動作する。

[0089] 制御回路21は、サブA/D変換回路19から2ビットの信号に応じて、第1及び第2の/A変換部28a、28bを制御するための制御信号 S_{CONT} を生成する。

[0090] 制御信号 S_{CONT} として、図10～図12において接続された波形の制御信号 $S_{CONT1} \sim S_{CONT2}$ を使用できる。これらの制御信号の波形は2回の遷移 T_1 、 T_2 を含むので、導体領域EPRへのデジタルノイズが低減される。制御信号 S_{CONT} は記憶回路33内の格納回路33a、33bに格納される。第1の/A変換部28aにおけるD/A変換回路では、A/D変換のビット位置に応じて重み付けされたキャパシタ27aにD/A値 V_{R1} 又は V_{R2} を提供する。また、第2の/A変換部28bにおけるD/A変換回路では、A/D変換のビット位置に応じて重み付けされたキャパシタ27bにD/A値 V_{R1} 又は V_{R2} を提供する。

[0091] また、2ビットのA/D変換でリセットレベル S_1 と信号レベル S_2 の差のA/D変換について説明する。第1及び第2のD/A変換部28a、28

bにおけるD/A変換回路25のスイッチ26d、26eに、信号 ϕ_A 、 ϕ_B 、 ϕ_C 、 ϕ_D が供給される。サブA/D変換回路19が信号レベルS2のA/D変換を行う前では、 $\phi_A = \phi_C = 1$ 、 $\phi_B = \phi_D = 0$ と設定される。信号レベルS2のA/D変換の後には、これらの信号 $\phi_A \sim \phi_D$ は、値Dに応じて以下のように設定される。

D : ϕ_A 、 ϕ_B 、 ϕ_C 、 ϕ_D 。

0 : 1→1、0→0、1→1、0→0。

1 : 1→0、0→1、1→1、0→0。

2 : 1→1、0→0、1→0、0→1。

3 : 1→0、0→1、1→0、0→1。

このような動作により、信号処理回路23における出力値VOUTが生成される。

[0092] 出力値VOUTは、信号 ϕ_s に应答してスイッチ61aを導通させることによってホールドキャパシタ C_s にサンプリングされ、ホールド（記憶）される。既に説明したように、このA/D変換器も、センサアレイ2の列毎に配置されており、信号読み出し時（水平転送時）に、j番目の列線を読み場合は、信号 $\phi_H(j) = 1$ の時に、記憶された電荷が出力線 L_{OUT} に流れだして読み出される。

[0093] 読み出されたアナログ残差信号SDRには、引き続き信号処理（例えば、下位ビットのA/D変換の処理）が施される。

[0094] 図1、図9及び図14に示すように、サブA/D変換回路が、センサアレイ側及びデータレジスタ側のいずれに位置する形態についても、D/A変換回路への制御信号にRTZ伝送方式を適用することは有効である。デジタル制御信号の伝搬経路となる導体線に、増幅回路に仮想接地点が寄生キャパシタを介してカップリングするとき、カップリングノイズにより誤差を生じる。以上説明したように、RTZ符号のような制御信号を使うことによって、カップリングノイズの影響を低減することができる。

[0095] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明

は、そのような原理から逸脱することなく配置および詳細において変更され得ることが当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更権利を請求する。

産業上の利用可能性

[0096] 以上説明したように、本実施の形態によれば、デジタル信号を伝える導体からの容量結合によるノイズの伝搬を低減可能な複数のA/D変換器を含むA/D変換集積回路を提供することを目的とする。

符号の説明

[0097] 1…CMOSイメージセンサ、2…センサアレイ、2a…センサ回路、4…A/D変換器アレイ、PIXEL…画素、S1…リセット状態における第1の信号、S2…光誘起信号出力における第2の信号、5…データレジスタ、6…水平シフトレジスタ、7…冗長表現—非冗長表現変換回路、11…A/D変換集積回路、13a~13n…A/D変換器、13、14…A/D変換器、15…A/D変換器の入力、17…A/D変換器の出力、18…RTZ信号受信回路、19…サブA/D変換回路、20…スイッチキャパシタ増幅回路、21…制御回路、23…信号処理回路、SA…アナログ信号、SD…デジタル信号、SCONT…制御信号、L1、L2…電圧レベル、22…RTZ波形発生回路、25…D/A変換回路、26…D/A変換器、26a、26b、26c…スイッチ、27、29…キャパシタ、28a、28b…D/A変換部、31…演算増幅回路、32a、32b、32c、32d、32e…スイッチ素子、33…記憶回路、 ϕ LAT0、 ϕ LAT1、 ϕ LAT2…ラッチ信号、 ϕ 1、 ϕ 2、 ϕ CDS1、 ϕ CDS2、 ϕ DAC…タイミング信号、EPR…導体領域、30a、30b、30c、30d、30e…電圧源、33…記憶回路、33a、33b…格納回路、33c…デコーダ回路、35…導体、41…A/D変換器、43…D/A変換回路、45…サブA/D変換回路、51、51b、51c、51d、51e…スイッチ、SDA…D/A信号、SCONT1、SCONT2、SCONT3…制御信号、T1、T2…制御信号の遷移、34

、50、60…タイミング生成器、 $+V_R$ 、 $-V_R$ …参照値、SAR…残差を示す演算値、63 a…スイッチ、27 a, 27 b…キャパシタ。

請求の範囲

[請求項1]

複数のA/D変換器を含むA/D変換集積回路であって、
各A/D変換器は、

A/D変換されるべきアナログ信号を受ける入力と、

該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一
部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数の
ビット値を表すサブデジタル信号を生成すると共に、該サブデジタル
信号を前記出力に提供するサブA/D変換回路と、

前記サブA/D変換回路の出力に接続され、前記サブデジタル信号
を変調したRTZ信号を発生するRTZ波形発生回路と、

D/A変換回路と、

複数のキャパシタ、スイッチ素子及び演算増幅回路からなり、少な
くとも前記キャパシタの1つが前記演算増幅回路の仮想接地端子に前
記スイッチ素子を介して接続されてなるスイッチキャパシタ増幅回路
と、

前記RTZ信号をデジタル信号にエンコードした信号を保持する記
憶回路を備え、前記記憶回路の出力を前記D/A変換回路に出力する
RTZ信号受信回路と、

を備えたA/D変換集積回路。

[請求項2]

前記RTZ波形発生回路の前記RTZ信号は、前記演算増幅回路の
仮想接地端子に接続される前記スイッチ素子の状態が変化しない期間
において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第
2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数
を含む波形からなる、請求項1に記載されたA/D変換集積回路。

[請求項3]

前記RTZ波形発生回路の前記RTZ信号は、前記演算増幅回路の
仮想接地端子が仮想接地状態にある期間において、第1の電圧レベル
から第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1

の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項 1 または請求項 2 に記載された A/D 変換集積回路。

[請求項4]

前記 R T Z 波形発生回路の前記 R T Z 信号は、サブ A/D 変換回路の出力を前記 D/A 変換回路に戻す巡回動作モードと、前記演算増幅回路が演算処理を行う演算処理モードからなる巡回 A/D 変換動作において、前記巡回動作モードの期間に、第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項 1、請求項 2、及び請求項 3 のいずれか一項に記載された A/D 変換集積回路。

[請求項5]

複数の A/D 変換器を含む A/D 変換集積回路であって、
各 A/D 変換器は、
A/D 変換されるべきアナログ信号を受け取る入力と、
該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、
前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブ A/D 変換回路と、
前記サブ A/D 変換回路の出力に接続され、前記信号に応じた第 1 の制御信号を提供する制御回路と、
D/A 変換器、第 1 のキャパシタ、第 2 のキャパシタ及び演算増幅回路を有する信号処理回路と、
を備え、
前記 D/A 変換器は、前記制御回路からの前記第 1 の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含む D/A 変換回路とを含み、
前記信号処理回路は信号処理及び信号保持の少なくともいずれか一方を行い、前記信号処理では、前記 D/A 変換回路の前記出力と前記演算増幅回路の入力との間に前記第 1 のキャパシタを接続すると共に

前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続し、前記信号保持では前記第1のキャパシタが前記演算増幅回路の前記入力から切り離されると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続され、

前記第1の制御信号は、第1の電圧レベルから第2の電圧レベルへの遷移の数と前記第2の電圧レベルから前記第1の電圧レベルへの遷移の数とが同数である波形を有する、A/D変換集積回路。

[請求項6]

複数のA/D変換器を含むA/D変換集積回路であって、

各A/D変換器は、

A/D変換されるべきアナログ信号を受け取る入力と、

該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブA/D変換回路と、

前記サブA/D変換回路の出力に接続され、前記信号に応じた第1の制御信号を提供する制御回路と、

D/A変換器、第1のキャパシタ、第2のキャパシタ及び演算増幅回路を有する信号処理回路と、

を備え、

前記D/A変換器は、前記制御回路からの前記第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含むD/A変換回路とを含み、

前記信号処理回路は、前記D/A変換回路の前記出力と前記演算増幅回路の入力との間に前記第1のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続して信号処理を行い、

前記第 1 の制御信号は、前記第 1 及び第 2 のキャパシタが接続される前記演算増幅回路の入力が直流的にも交流的にも高インピーダンス状態である期間において第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形を有する、A/D 変換集積回路。

[請求項7]

前記第 1 の制御信号は、前記 D/A 変換器の前記記憶回路と前記制御回路とを接続する導体を伝播し、

前記導体は、前記演算増幅回路の前記入力に前記信号処理の際に接続される導体領域と寄生キャパシタを介して容量的に結合されている、請求項 5 又は請求項 6 に記載された A/D 変換集積回路。

[請求項8]

前記制御回路は、前記信号に応じた第 2 の制御信号を提供し、

前記記憶回路は、前記第 2 の制御信号をラッチし、

前記第 2 の制御信号は、第 3 の電圧レベルから第 4 の電圧レベルへの遷移と、前記第 4 の電圧レベルから前記第 3 の電圧レベルへの遷移とを含む波形を有し、

前記第 1 の制御信号の前記波形における前記第 2 の電圧レベルの持続時間は、前記第 2 の制御信号の前記波形における前記第 4 の電圧レベルの持続時間と異なる、請求項 5 ~ 請求項 7 のいずれか一項に記載された A/D 変換集積回路。

[請求項9]

前記制御回路は、前記信号に応じた第 3 の制御信号を提供し、

前記記憶回路は、前記第 3 の制御信号をラッチし、

前記第 3 の制御信号は、第 5 の電圧レベルから第 6 の電圧レベルへの遷移と、前記第 6 の電圧レベルから前記第 5 の電圧レベルへの遷移とを含む波形を有し、

前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 1 の制御信号の前記波形における前記遷移の間隔と異なり、

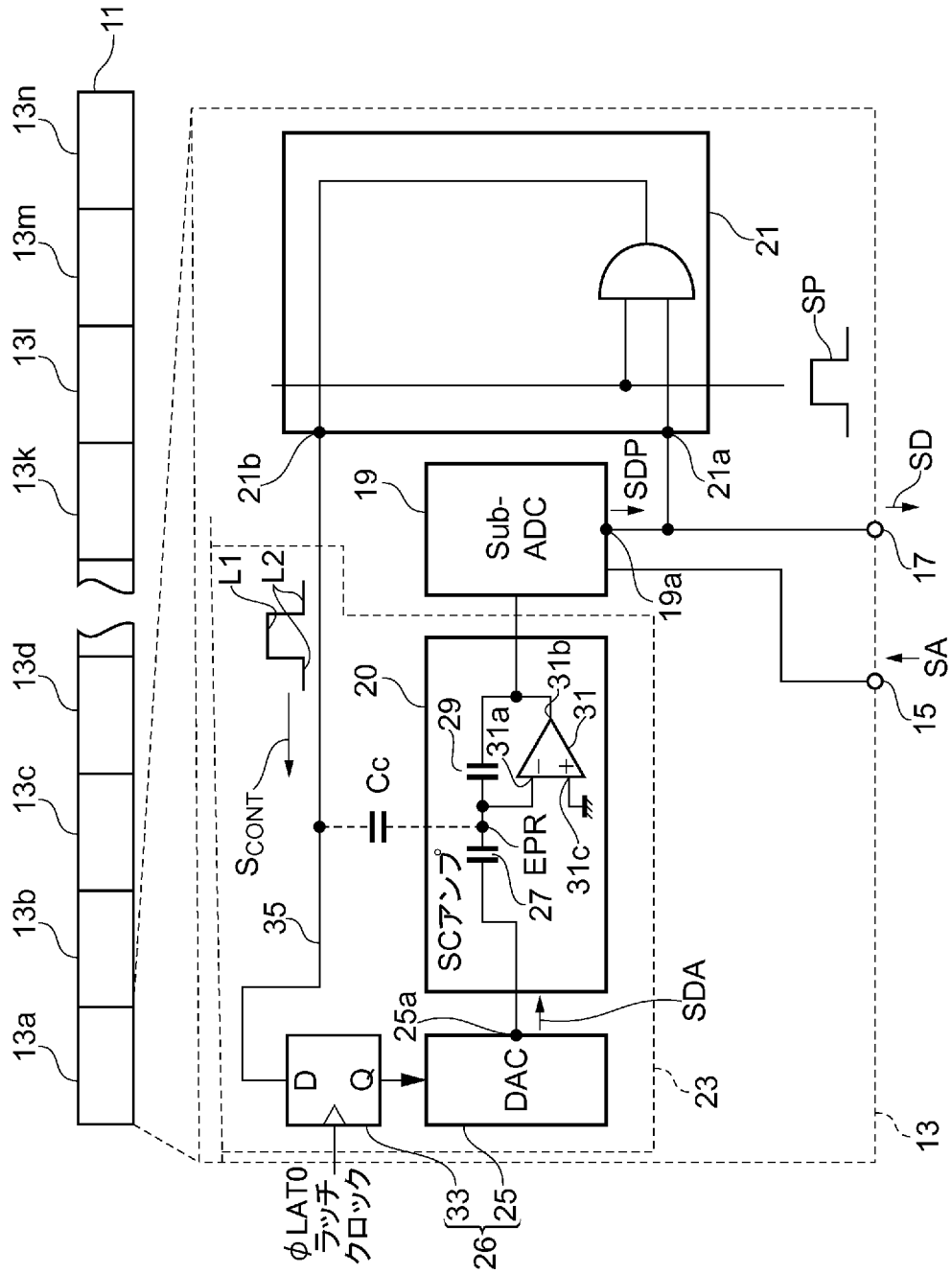
前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 2 の制御信号の前記波形における前記遷移の間隔と異なる、請求項 8

に記載されたA/D変換集積回路。

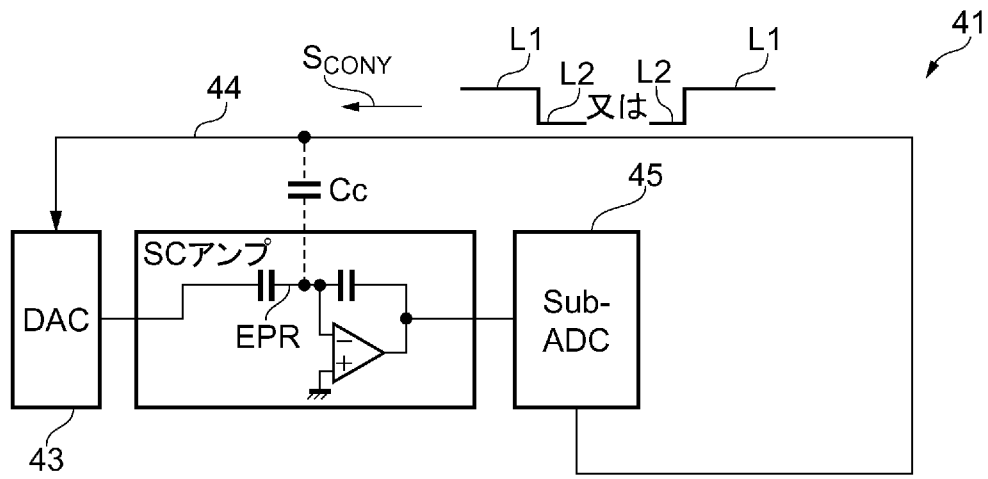
- [請求項10] 前記制御回路は、前記信号に応じた第4の制御信号を提供し、
前記記憶回路は、前記第4の制御信号をラッチし、
前記第4の制御信号は、一定の電圧レベルの波形を有する、請求項8に記載されたA/D変換集積回路。
- [請求項11] 前記記憶回路は、第1のラッチ信号に応じて動作する第1のラッチ回路と、第2のラッチ信号に応じて動作する第2のラッチ回路とを含み、
前記第1のラッチ信号のラッチタイミングは前記第2のラッチ信号のラッチタイミングと異なる、請求項8～請求項10のいずれか一項に記載されたA/D変換集積回路。
- [請求項12] 前記信号処理によって生成された演算値を前記信号処理回路の出力を介して前記信号処理回路の入力に帰還する帰還経路を更に備え、
前記A/D変換器は、巡回A/D変換を行う、請求項5～請求項11のいずれか一項に記載されたA/D変換集積回路。
- [請求項13] 前記信号処理回路は、前記アナログ信号を受ける入力と、第3のキャパシタとを含み、
前記信号処理において、前記第3のキャパシタは、前記信号処理回路の入力と前記演算増幅回路の前記入力との間に接続される、請求項5～請求項11のいずれか一項に記載されたA/D変換集積回路。
- [請求項14] 前記信号処理回路は、前記制御回路からの第5の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別のD/A変換回路とを含み、
前記第5の制御信号は、第7の電圧レベルから第8の電圧レベルへの遷移と、前記第7の電圧レベルから前記第8の電圧レベルへの遷移とを含む波形を有する、請求項13に記載されたA/D変換集積回路。
- [請求項15] センサ素子を含むセンサ回路のセンサアレイを備え、

前記A/D変換器は、前記センサアレイのカラムに配置され、
前記アナログ信号は前記センサアレイによって提供される、請求項
5～請求項14のいずれか一項に記載されたA/D変換集積回路。

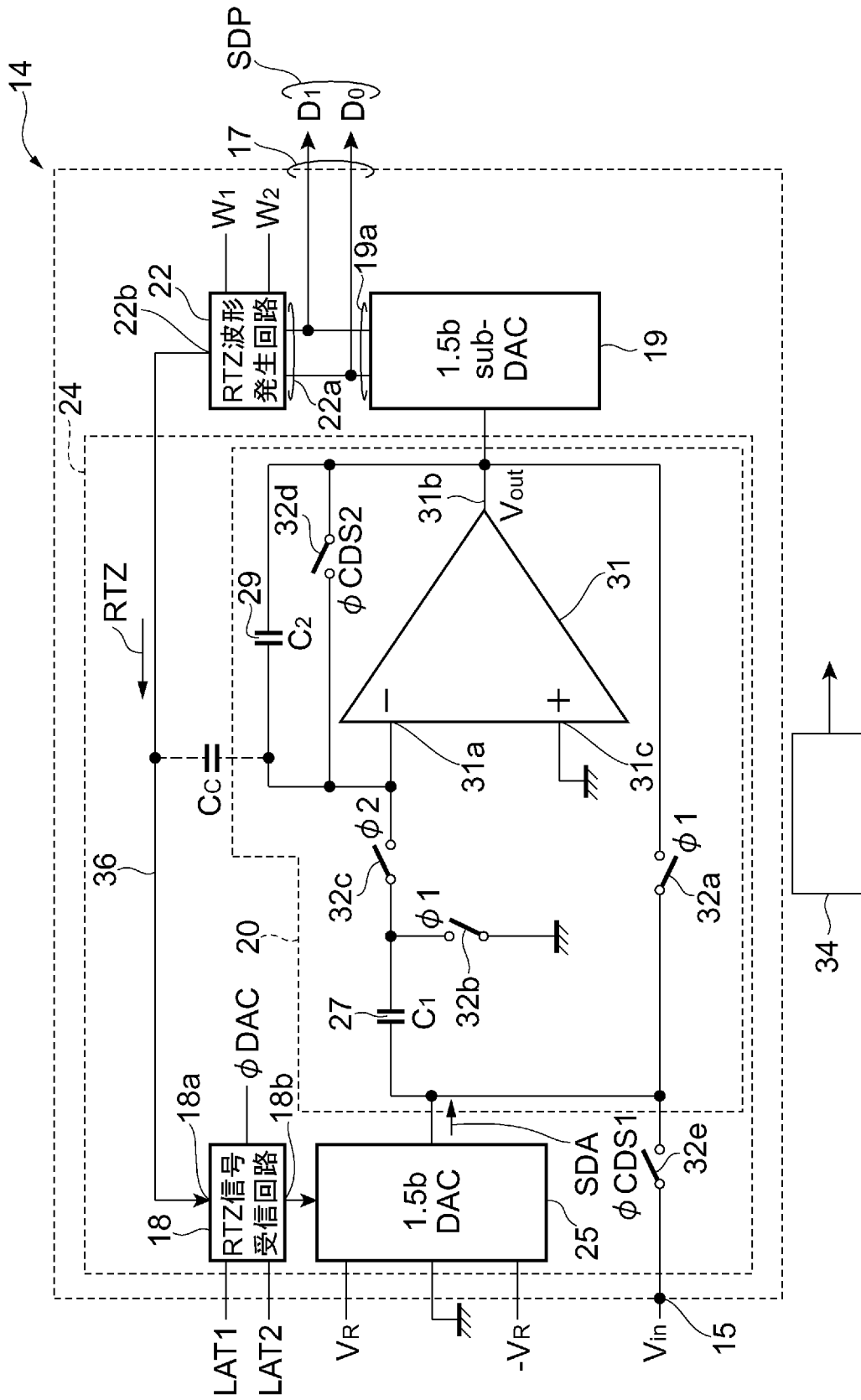
[図1]



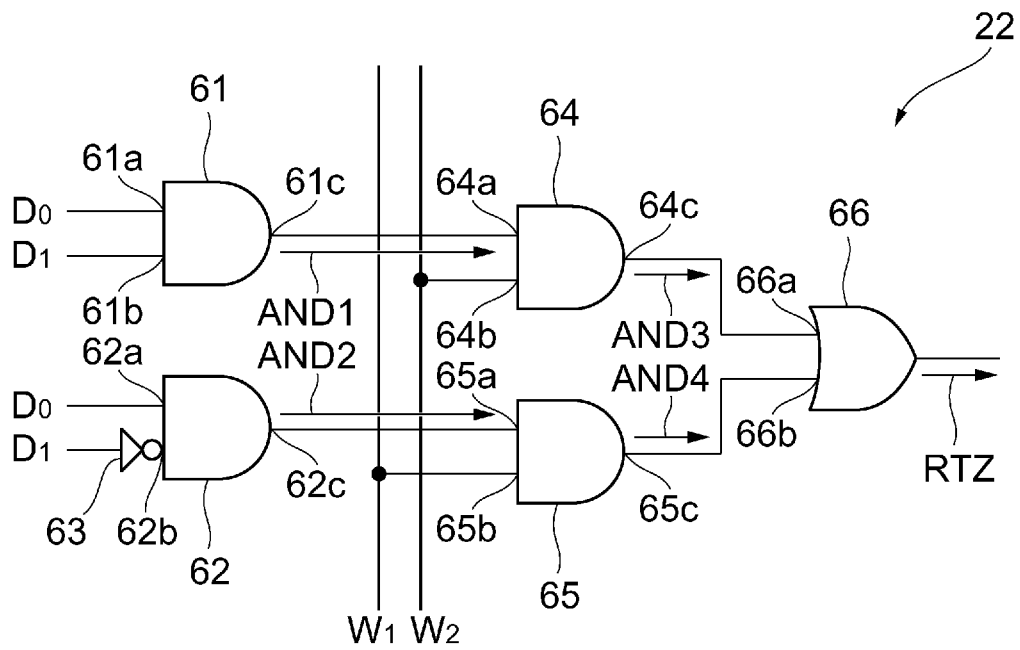
[図2]



[図3]

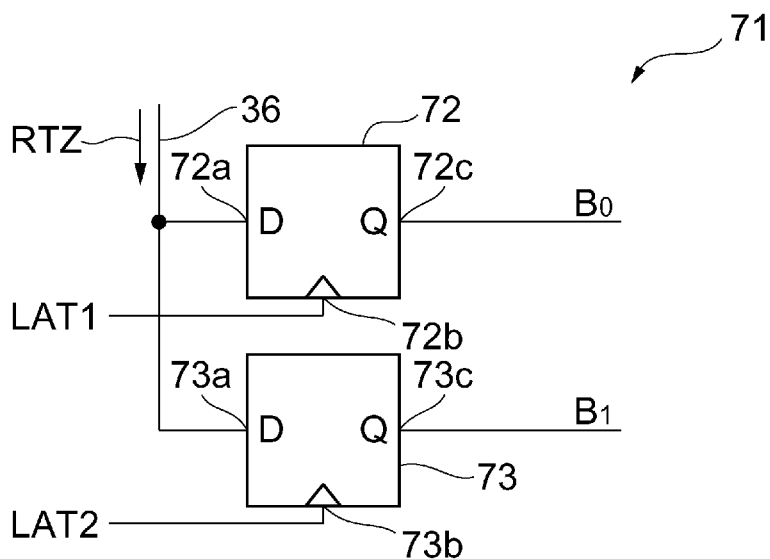


[図4]

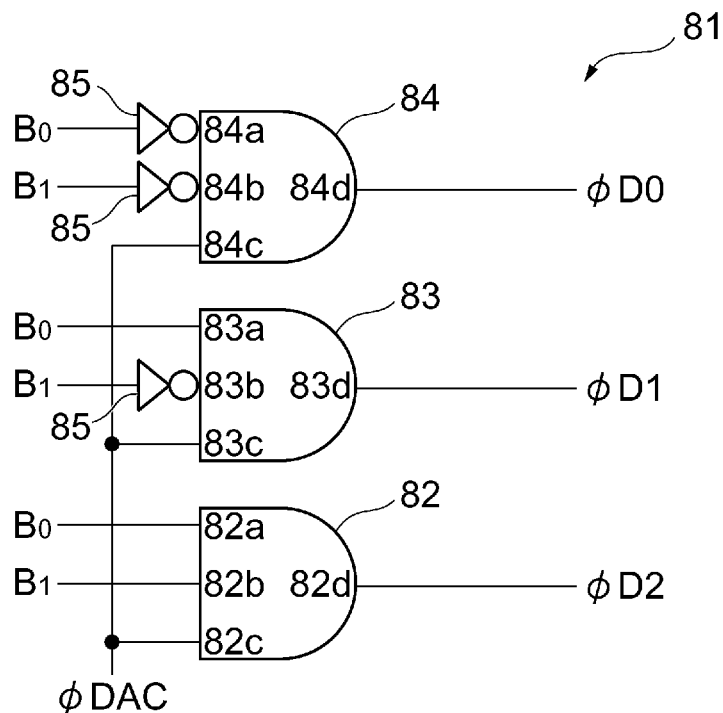


[図5]

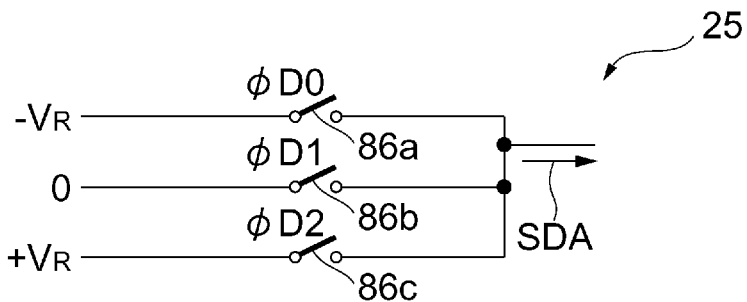
(a)



(b)



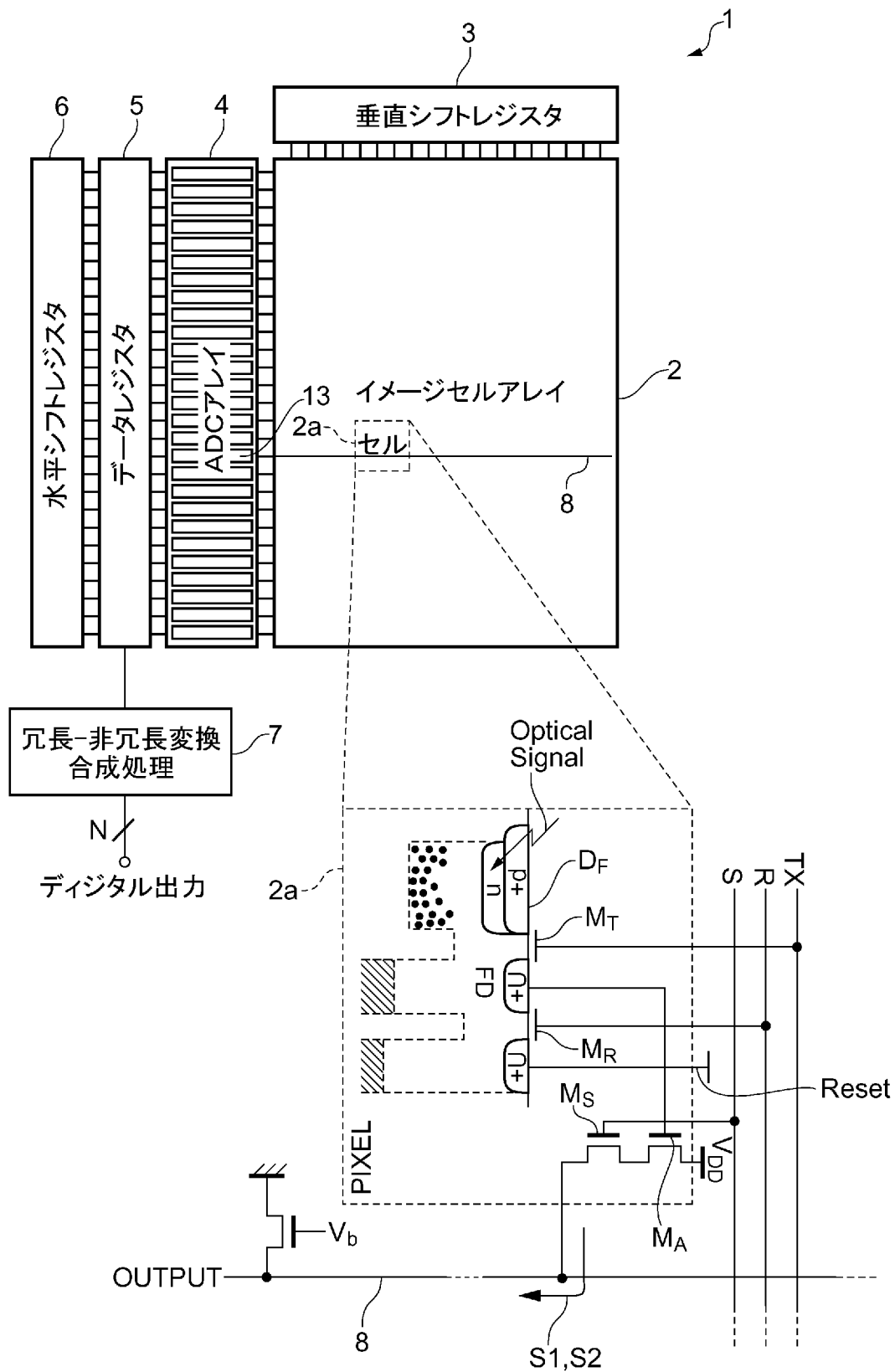
(c)



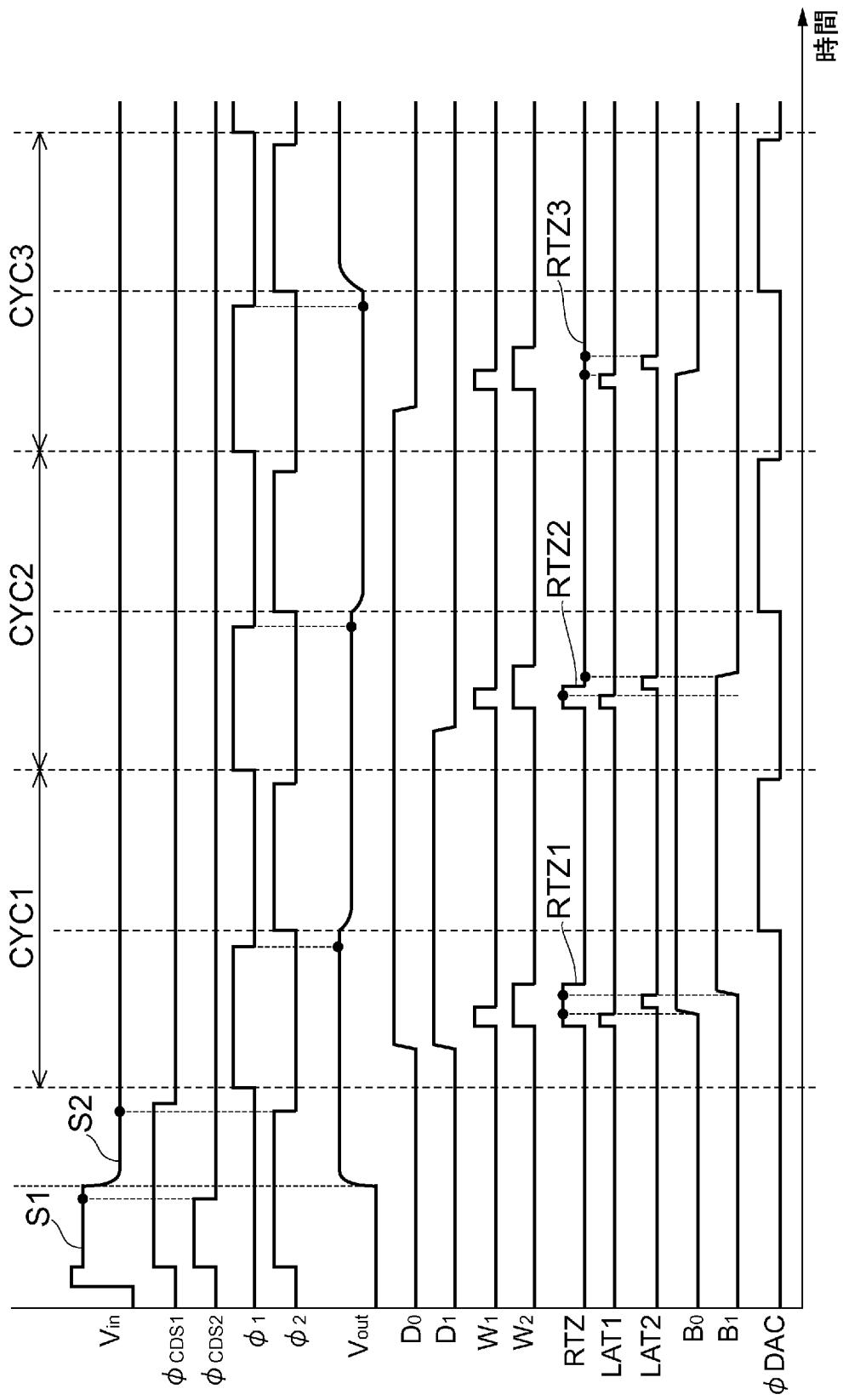
[図6]

sub ADC Code	D ₁	D ₀	B ₁	B ₀	ϕ D ₂	ϕ D ₁	ϕ D ₀
2	1	1	1	1	1	0	0
1	0	1	0	1	0	1	0
0	0	0	0	0	0	0	1

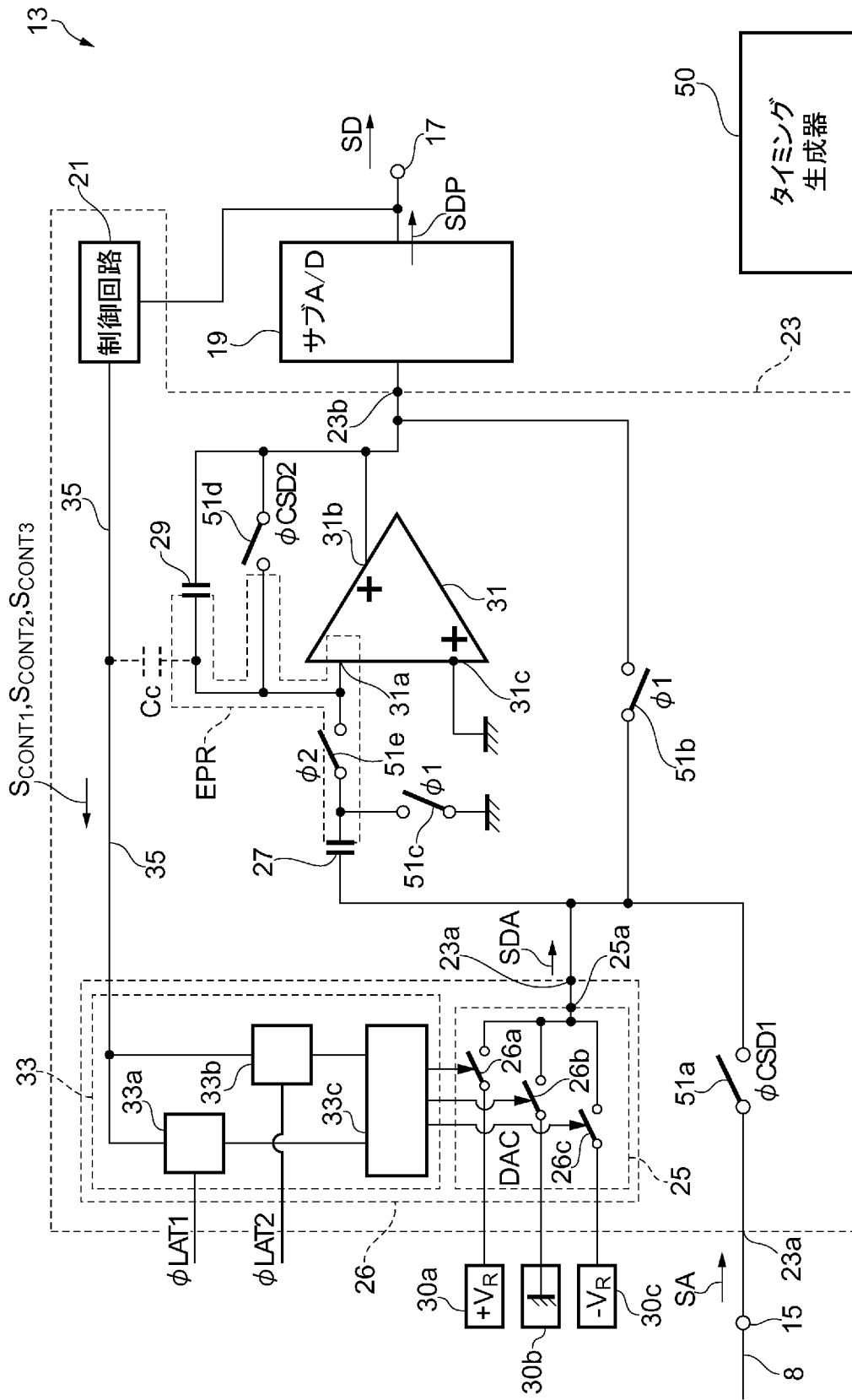
[図7]



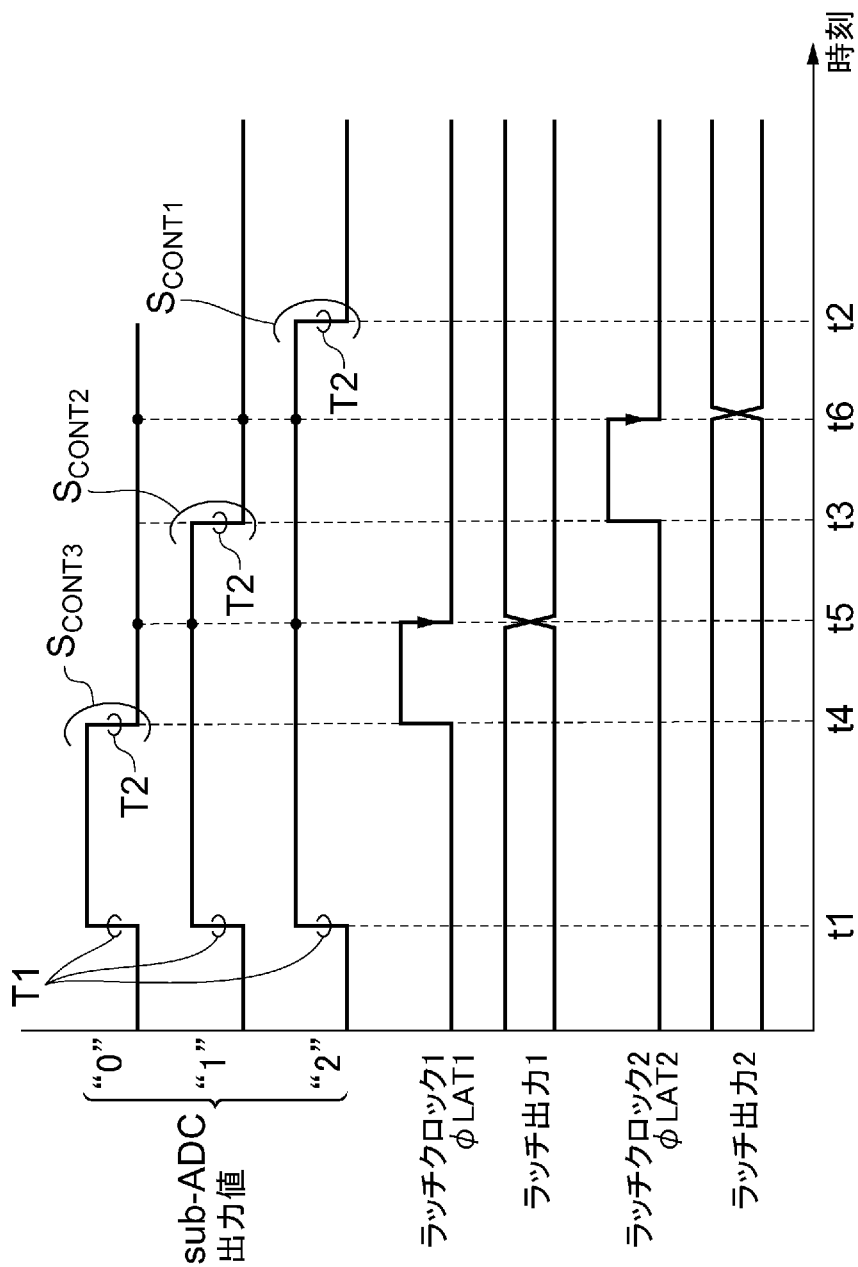
[図8]



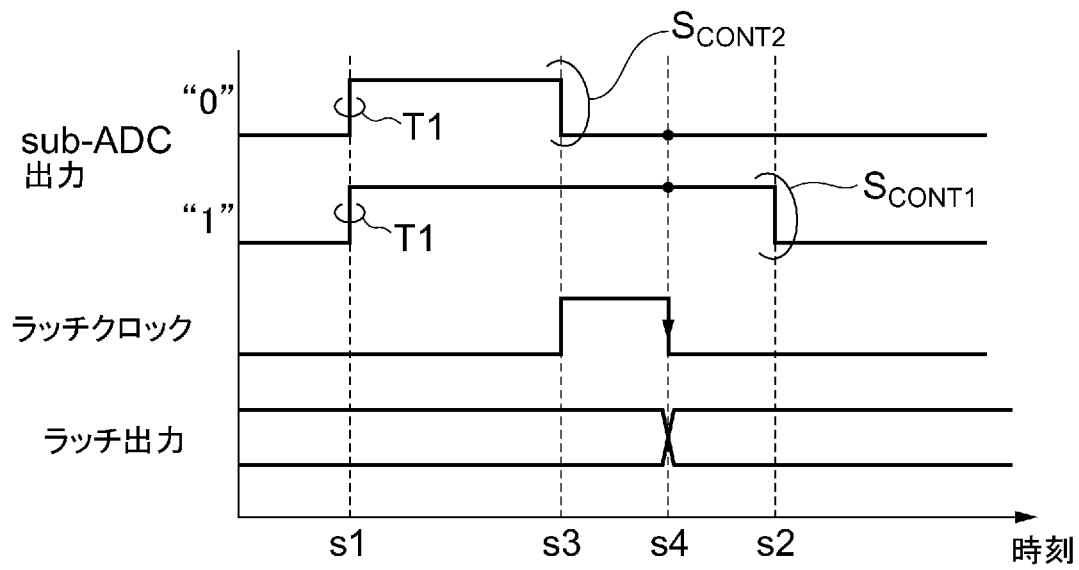
[図9]



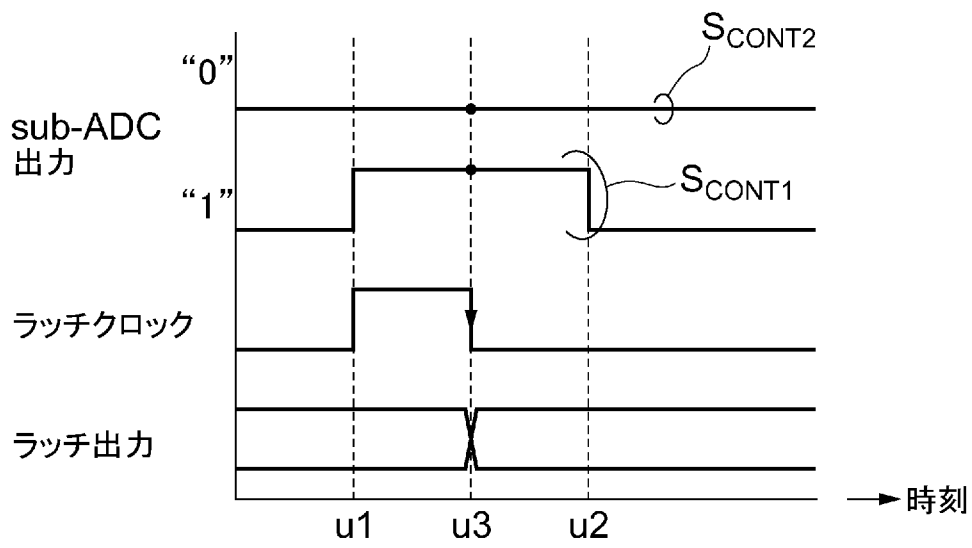
[図10]



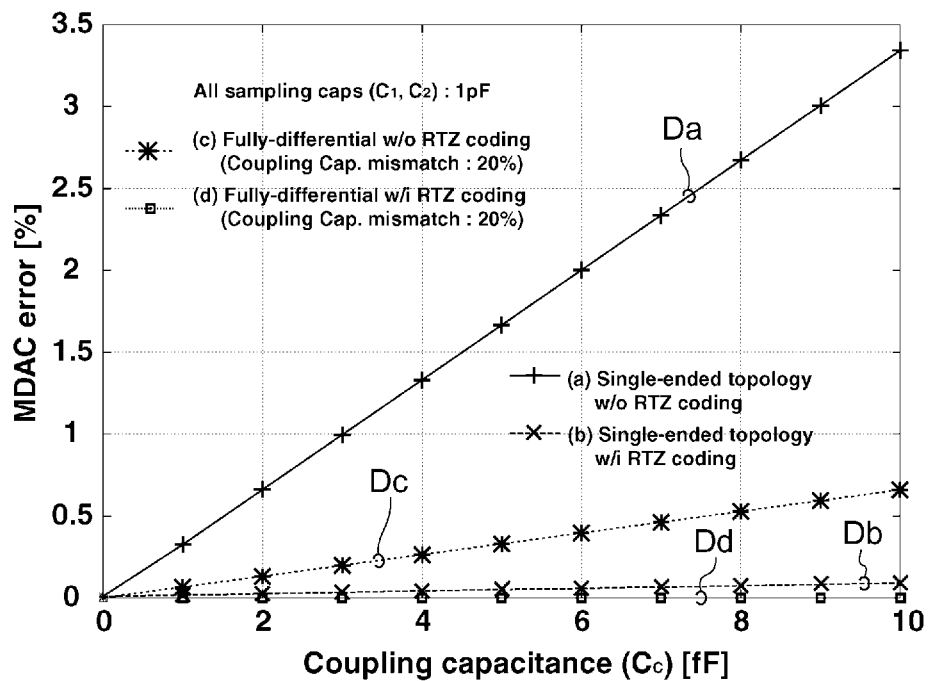
[図11]



[図12]



[圖13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059022

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/40(2006.01) i, H03M1/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2056461 A1 (Asahi Kasei EMD Corp.), 06 May 2009 (06.05.2009), [0056] to [0067]; fig. 10, 11 & WO 2008/023710 A1 & KR 10-2008-0112221 A	1-15
A	JP 2004-135321 A (Nippon Telegraph And Telephone Corp.), 30 April 2004 (30.04.2004), paragraphs [0039], [0040]; fig. 1 & US 2004/0062362 A1 & EP 1401166 A1 & CN 1496076 A	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 June, 2010 (17.06.10)

Date of mailing of the international search report
29 June, 2010 (29.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/40(2006.01)i, H03M1/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	EP 2056461 A1 (Asahi Kasei EMD Corp.) 2009. 05. 06, [0056]-[0067], Figs.10&11 & WO 2008/023710 A1 & KR 10-2008-0112221 A	1-15
A	JP 2004-135321 A (日本電信電話株式会社) 2004. 04. 30, [0039][0040], 図1 & US 2004/0062362 A1 & EP 1401166 A1 & CN 1496076 A	1-15

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

17. 06. 2010

国際調査報告の発送日

29. 06. 2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 03-3581-1101 内線 3596

5 X

9 5 6 1