

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/105  
H01L 29/82

(11) 공개번호 10-2005-0025996  
(43) 공개일자 2005년03월14일

(21) 출원번호	10-2005-7001401	(87) 국제공개번호	WO 2004/012272
(22) 출원일자	2005년01월25일	국제공개일자	2004년02월05일
번역문 제출일자	2005년01월25일		
(86) 국제출원번호	PCT/JP2003/009438		
국제출원출원일자	2003년07월25일		

(30) 우선권주장	JP-P-2002-00217336	2002년07월25일	일본(JP)
	JP-P-2003-00086145	2003년03월26일	일본(JP)

(71) 출원인  
도꾸리쯔교세이호징 가가꾸 기쥬쯔 신키꼬 기꼬  
일본 사이타마켄 가와구찌시 혼쇼 4쵸메 1방 8고

(72) 발명자  
스가하라사토시  
일본국 카나가와켄 요코하마시 나카쿠 혼모꾸하라 21-1-603  
  
다나카마사야키  
일본국 사이타마켄 사이타마시 미도리쿠 이누마카타 647-6-201

(74) 대리인 이한영

심사청구 : 없음

(54) 스핀 필터 효과를 이용한 스핀 트랜지스터 및 스핀트랜지스터를 이용한 비휘발성 메모리

명세서

기술분야

본 발명은 신규한 트랜지스터에 관한 것이며, 좀 더 구체적으로는 캐리어의 스핀 방향에 의존하는 출력특성을 가지는 트랜지스터 및 그를 이용한 비휘발성 기억회로(비휘발성 메모리)에 관한 것이다.

배경기술

종래, 마이크로컴퓨터로 대표되는 전자기기에 사용되는 반도체 메모리로 동작속도 및 집적도의 관점에서 DRAM(Dynamic Random Access Memory)이 주로 사용되어 왔다. 그러나, DRAM은 기억을 유지시키기 위해 전력이 소비되며, 전원을 차단한 경우에 기억내용이 손실되는 등의 문제점이 있어서 최근의 에너지 절약의 요구나 모바일 기기로의 대응에는 어려운 실정이다. 이러한 요구에 대응하기 위해서는 고속, 고 집적도, 저 소비전력과 같은 특징에 더하여 새롭게 비휘발성과 같은 특징을 함께 가지는 신규한 메모리가 필수적이다.

MRAM(Magnetoresistive Random Access Memory)은 DRAM과 동등한 동작속도, 집적도를 실현할 뿐 아니라, 비휘발성과 같은 특징을 가지는 차세대 메모리로 주목받고 있다. MRAM에서는 강자성체의 자화의 방향에 의해 정보를 기억하고, 이 자화의 방향에 의한 정보를 스핀밸브 소자의 거대자기 저항효과 또는 강자성 터널접합(MTJ: Magnetic Tunnel Junction)의 터널 자기저항(TMR: Tunneling Magnetoresistance) 효과 등에 의해 전기적으로 읽어낸다. MRAM에서는 강자성체를 사용하고 있기 때문에 전력을 소비하지 않고 비휘발성으로 정보를 유지할 수 있다.

도 17은 MTJ를 이용한 MRAM의 대표적인 셀 구성을 나타내는 회로도이다. 도 17(A)에 도시한 바와 같이, MRAM에는 하나의 MTJ와 하나의 MOS(Metal Oxide Semiconductor) 트랜지스터에 의해 1비트의 메모리 셀이 구성된다. MOS 트랜지스터의 게이트를 해독용 워드선(read word line)에 접속하고 전원을 접지하며, 드레인(drain)을 MTJ의 일단에 접속하고 MTJ의 다른 단을 비트선(bit line)에 접속한다.

도 17(B)에 도시한 바와 같이, MTJ는 얇은 절연막이 두 개의 강자성 전극에 삽입된 터널접합 기구를 가지고 있으며, 두 개의 강자성 전극사이의 상대적인 자화(magnetization)방향에 따라 터널저항이 달라지는 TMR 효과를 가진다. 특히, 두 개의 강자성 전극사이의 평행자화(parallel magnetization)를 가지는 경우와 반 평행자화(anti-parallel magnetization)를 가지는 경우의 TMR 변화율을 TMR비(TMR ratio)라고 부르며, TMR 효과의 평가에 사용한다.

MRAM에서는 MTJ의 자화상태, 즉, 두 개의 강자성 전극사이의 상대적인 자화방향을 비트선과 여기에 수직하는 갱신용 워드선(rewrite word line)(도면 없음)의 각각에 흐르는 전류에 의해 유발된 자장의 합성자장에 따라 평행자화 또는 반 평행자화에 의해 정보를 기억한다.

특정의 셀 내에 기억된 기억정보를 읽어내는 경우에는 셀에 접속된 특정 해독용 워드선에 전압을 인가하여 MOS 트랜지스터를 도통시키고, 셀에 접속된 특정의 비트선으로부터 MTJ에 해독용의 전류(이하, 「구동전류」로 명명)를 흘리게 하고 TMR 효과에 근거한 MTJ의 전압강하를 출력전압으로 검출함에 의해 기억된 정보를 읽어낸다.

**발명의 상세한 설명**

발명의 개시

MTJ를 이용한 MRAM은 강자성체를 이용하고 있기 때문에 비휘발, 저 소비전력, 고속과 같은 특징을 가지며, 또한, 셀구조가 단순함으로 고밀도 집적화에 적합하다. MRAM은 차세대 비휘발성 메모리로 기대되고 있지만, 이것을 실현하기 위해서는 아래와 같은 문제점을 해결해야 한다.

(1) MTJ에서는 평행자화, 반 평행자화의 자화상태에 대응하여 2개의 저항치를 가진다. MRAM에서는 MTJ에 구동 전류를 흘리고 출력전압으로 이 저항치를 검출한다. 따라서, 높은 출력전압을 얻기 위해서는 MTJ의 절연막 두께를 조절하여 터널저항을 최적화할 필요가 있다. 단, TMR비도 절연막의 두께에 의존하기 때문에 터널저항의 최적화에 관하여 제한이 더해진다.

(2) 또한, 정확히 정보의 기억내용을 읽어내기 위해서는 TMR비를 크게 취하고, 평행자화와 반 평행자화 두 개의 자화상태간의 출력전압비를 크게 할 필요가 있다. 높은 TMR비를 실현하기 위해서는 스핀 분극율이 큰 강자성체를 사용하고, 절연층의 형성방법, 재료, 막두께 등의 최적화가 필요하다.

(3) MTJ를 사용한 MRAM에서는 동작속도를 높이기 위하여, MTJ에 가하는 바이어스(bias)를 크게 할 필요가 있다. 그러나, MTJ에서는 강자성 전극간에 발생하는 전압강하가 크게 되면, TMR비가 감소하는 원리적으로 피할 수 없는 문제가 있다. 즉, TMR에 의한 출력전압의 변화율은 MTJ에 발생하는 전압강하가 크게 됨에 따라 작게 된다. 이러한 현상은 TMR 효과에 기인하고 있어 TMR 효과만에 의해 자화의 상태를 읽어내는 한 피하기 어려운 문제이다.

이상의 과제를 정리하면, MTJ에서는, 기억된 정보를 고감도로 검출하기 위해서는 MTJ의 임피던스(접합저항)를 조절하여 출력전압의 크기를 최적화할 필요가 있으며, 또한, TMR비를 크게 취하고, 평행자화와 반 평행자화의 두 개의 자화상태 사이에 있어서 출력신호의 비를 크게 할 필요가 있다. 또한, 바이어스에 의해 TMR비가 감소하지 않도록 TMR비의 내바이어스(bias resistance)가 필요하게 된다.

따라서, 기억소자의 특성에 관계없이 출력신호를 기억소자 이외의 주변회로에 따라 자유롭게 설계할 수 있다면 상기 과제를 모두 해결할 수 있다.

본 발명은 트랜지스터 내에 포함된 강자성체의 자화상태에 의해 정보를 기억하고 캐리어의 스핀 방향에 의존하는 트랜지스터의 출력특성을 이용하여 정보를 읽어내는 비휘발성 메모리를 제공하는 것을 목적으로 한다.

본 발명의 한 관점에 의하면, 스핀 필터 효과에 의해 스핀 편극 핫 캐리어(spin-polarized hot carrier)를 주입하는 스핀 인젝터와 이 주입된 전기 스핀 편극 핫 캐리어를 스핀 필터 효과에 따라 선별하는 스핀 분석기(spin analyzer)를 가지는 것을 특징으로 하는 트랜지스터가 제공된다. 따라서, 스핀 편극 핫 캐리어의 스핀 방향에 의해 트랜지스터의 출력특성을 제어할 수 있다.

전기 스핀 인젝터는 제 1 강자성 장벽층(ferromagnetic barrier layer)과 이 제 1 강자성 장벽층의 일단면에 접합한 제 1 비자성 전극층(nonmagnetic electrode layer)과 상기 제 1 강자성 장벽층의 타단면에 접합한 제 2 비자성 전극층을 가지는 것이 바람직하다.

전기 스핀 분석기는 제 2 강자성 장벽층과 이 제 2 강자성 장벽층의 일단면에 접합한 전기 제 2 비자성 전극층과 상기 제 2 강자성 장벽층의 타단면에 접합한 제 3 비자성 전극층을 가지고 있으며, 동시에, 전기 스핀 인젝터와 전기 제 2 비자성 전극층을 공통으로 하는 것이 바람직하다.

제 1 및 제 2 강자성 장벽층은 절연성의 강자성 반도체 또는 강자성 절연체를 포함하여 구성되고 이들 강자성 장벽층의 에너지 밴드단(edge)은 스핀 분열(spin split)에 의해 업스핀 밴드(up spin band) 또는 다운스핀 밴드(down spin band)의 어느 한 쪽에 의해 구성되는 것이 바람직하다. 전기 제 2 비자성 전극층의 두께는 전기 제 2 비자성 전극층에서의 스핀 편극 핫 캐리어의 평균자유행정(mean free path) 이하의 두께인 것이 바람직하다.

전기 스핀 인젝터는 전기 제 1 강자성 장벽층의 밴드단을 구성하는 스핀 밴드와 평행한 스핀을 가지는 캐리어에 대하여 터널확률이 크고, 반 평행(anti-parallel)한 스핀을 가지는 캐리어에 대하여 터널확률이 작다. 따라서, 전기 제

1 비자성 전극으로부터 전기 제 1 강자성 장벽층의 밴드단을 구성하는 스핀 밴드와 평행한 스핀을 가지는 캐리어를 전기 제 2 비자성 전극층에 핫 캐리어로 주입할 수 있다.

한편, 전기 스핀 분석기는 전기 제 2 강자성 장벽층의 밴드단에서의 스핀 분열에 의해 전기 제 2 비자성 전극에 주입된 전기 스핀 편극 핫 캐리어의 스핀 방향과 전기 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향이 평행한 경우에 전기 스핀 편극 핫 캐리어를 전기 제 3 비자성 전극층에 전도시키지만, 전기 스핀 편극 핫 캐리어와 전기 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향이 반 평행한 경우에는 전기 스핀 편극 핫 캐리어를 전기 제 3 강자성 전극에 전도하지 않는다.

따라서, 동일한 바이어스 하에 있어도 전기 트랜지스터의 출력특성은 전기 제 1 강자성 장벽층과 전기 제 2 강자성 장벽층의 상대적인 자화의 방향에 의존하고, 제 1 강자성 장벽층과 제 2 강자성 장벽층이 평행자화를 가지는 경우에는 전류전송률(current transmission factor) 또는 전류 증폭률(current amplification factor)이 크고, 반 평행자화의 경우에는 전류 전송률 또는 전류증폭률은 작다.

또한, 전기 제 1 강자성 장벽층에 대응하는 전기 제 2 강자성 장벽층의 상대적인 자화방향에 의해 정보를 기억하고, 이 자화상태에 의존하는 상기 트랜지스터의 전기 출력특성에 의해 정보를 읽어내는 비휘발성 기억회로가 제공된다. 이 기억회로에서는 상기 트랜지스터만으로 메모리 셀을 구성할 수 있다.

본 발명의 다른 관점에 의하면, 강자성체를 포함하고, 캐리어의 스핀 방향에 의존하는 출력특성을 가지는 스핀 트랜지스터를 이용하여 전기 강자성체의 자화방향에 의해 정보를 기억하는 수단과, 전기 출력특성으로부터 전기 스핀 트랜지스터 내에 기억된 정보를 전기적으로 읽어내는 수단을 가지는 것을 특징으로 하는 비휘발성 기억회로가 제공된다.

전기 스핀 트랜지스터는 자화방향을 독립적으로 제어할 수 있는 강자성체(이하, 「프리 층」(free layer)으로 명명), 자화방향을 변화시키지 않는 강자성체(이하, 「핀 층」(pin layer)으로 명명)를 적어도 하나씩 가지고 있으며, 전기 프리 층의 자화방향과 전기 핀 층의 자화방향이 동일한 제 1 상태와 자화방향이 다른 제 2 상태를 기억정보로 저장하는 것이 바람직하다.

전기 스핀 트랜지스터는 스핀 편극 캐리어를 주입하는 제 1 전극구조 및 전기 스핀 편극 캐리어를 받아들이는 제 2 전극구조와, 전기 제 1 전극구조로부터 전기 제 2 전극구조로 전도하는 스핀 편극 캐리어의 양을 제어하는 제 3 전극구조를 갖추고 있고, 전기 핀 층과 전기 프리 층은 전기 제 1 내지 제 3 전극구조의 어느하나에 포함되어 있는 것이 바람직하다.

매트릭스(matrix) 상에 배치된 상기 스핀 트랜지스터, 전기 제 3 전극구조에 접속된 워드선, 전기 제 1 전극구조를 접지하는 제 1 배선 및 전기 제 2 전극구조에 접속된 비트선을 가지는 기억회로가 제공된다. 복수의 워드선이 열 방향에 연장되고, 이것과 교차하는 방향(행 방향)에 복수의 비트선이 연장된다. 워드선과 비트선의 교점의 근방에 상기 스핀 트랜지스터가 배치된다.

상기 기억회로에서는 전기 스핀 트랜지스터 상에서 서로 전기적으로 절연된 상태에서 교차하는 제 1 별도 배선 및 제 2 별도 배선에 전류를 흐르게하여 유도된 자장에 의하여, 전기 프리 층의 자화를 반전시키고, 전기 프리 층과 전기 핀 층 사이의 상대적인 자화상태를 변화시켜 정보를 기억(또는 갱신)할 수 있다.

전기 제 1 별도 배선 및 전기 제 2 별도 배선, 또는 전기 제 1 별도 배선이나 전기 제 2 별도 배선의 어느 쪽이든 한 쪽에 대신하여, 전기 워드선 및 전기 비트선, 또는 전기 워드선이나 전기 비트선의 어느 쪽이든 한 쪽을 사용하는 것도 가능하다.

상기 기억회로에서는 전기 스핀 트랜지스터 내에 포함된 전기 프리 층과 전기 핀 층이 평행자화를 가지는 경우에 있어서, 전기 스핀 트랜지스터에서의 출력특성에 근거하여 정보를 읽어낼 수 있다.

또한, 상기 기억회로에 있어서, 각각의 비트선의 일단에 출력단자가 형성되고, 각각의 비트선으로부터 분지하여 부하를 통하여 전원에 접속하는 제 2 배선이 설계된 기억회로가 제공된다.

이 경우에는 전기 프리 층과 전기 핀 층의 상대적인 자화상태에 의존하는 전기 스핀 트랜지스터의 전기 제 1과 제 2 전극구조 사이에 발생하는 전류에 의한 전기 부하의 전압강하에 근거하여 수득된 출력전압에 의하여, 정보를 읽어낼 수 있다.

상기 회로를 사용하면, 트랜지스터 내의 자화상태에 대한 출력전압을 부하와 전원에 의해 설계할 수 있는 고집적 밀도로 고속의 비휘발성 기억회로를 제공할 수 있다.

### 도면의 간단한 설명

도 1은 본 실시태양에 의한 스핀 필터 트랜지스터의 구성을 나타낸 도면이며, 도 1(A)는 모식적인 단면도이고, 도 1(B)는 도 1(A)에 나타낸 구성의 전도 밴드(또는 가전자 밴드)의 에너지 밴드 다이어그램이며, 장벽층에서의 스핀 밴드의 스핀 방향을 아울러 나타낸 도면이다.

도 2는 본 실시태양에 의한 스핀 필터 트랜지스터의 에미터(emitter, 제 1 비자성 전극층), 베이스(base, 제 2 비자성 전극층), 컬렉터(collector, 제 3 비자성 전극층) 사이에 베이스 접지 바이어스 전압을 가한 경우의 에너지 밴드

다이어그램이며, 도 2(A)는 제 1 및 제 2 강자성 장벽층의 자화방향이 서로 평행한 경우, 도 2(B)는 제 1 및 제 2 강자성 장벽층의 자화방향이 서로 반 평행한 경우이다.

도 3은 본 실시태양에 의한 스핀 필터 트랜지스터의 베이스 접지에서의 정특성을 나타낸 도면이다. 횡축은 도면상 우측방향에 콜렉터-베이스 전압  $V_{CB}$ , 좌측방향에 에미터-베이스 전압  $V_{EB}$ 를 표시하고, 종축은 에미터 전류  $I_E$ , 베이스 전류  $I_B$ , 콜렉터 전류  $I_C$ 를 표시한다. 도 3(A)는 에미터와 콜렉터의 강자성 장벽층 사이의 자화상태가 평행자화인 경우의 특성을, 도 3(B)는 반 평행자화인 경우의 특성을 나타내고 있다.

도 4(A)는 본 실시태양에 의한 스핀 필터 트랜지스터 1을 이용한 메모리 셀의 일 구성예를 나타낸 도면이다. 도 4(B)는 메모리 회로의 일 구성예를 나타낸 도면이다. 도 4(C)의 종축은 콜렉터 전류  $I_C$ , 횡축은 콜렉터-에미터 간 전압  $V_{CE}$ 를 표시하고, 스핀 필터 트랜지스터 1의  $I_C$ - $V_{CE}$  특성과 부하저항에 의한 부하직선을 동일한 도면 상에 표시한 것이다.

도 5(A)는 전류구동형(current-driven type) 스핀 트랜지스터 출력특성의 예를 모식적으로 나타낸 도면이며, 도 5(B)는 전압구동형(voltage-driven type) 스핀 트랜지스터의 출력특성의 예를 모식적으로 나타낸 도면이다.

도 6(A)는 본 실시태양에 의한 전압구동형 스핀 트랜지스터를 사용한 메모리 셀의 일 구성예를 나타낸 도면이다. 도 6(B)는 메모리 회로의 일 구성예를 나타낸 도면이다. 도 6(C)의 종축은 드레인 전류  $I_D$ , 횡축은 드레인-소스(source) 간 전압  $V_{DS}$ 를 표시하고, 전압구동형 스핀 트랜지스터 150의  $I_D$ - $V_{DS}$  특성과 능동부하에 의한 부하곡선을 동일한 도면 상에 표시한 것이다.

도 7은 핫 일렉트론 트랜지스터(hot electron transistor) 형의 스핀 트랜지스터의 구성예를 나타낸 에너지 밴드 다이어그램이다.

도 8은 열 방출 주입을 이용한 핫 일렉트론 트랜지스터 형의 스핀 트랜지스터의 구성예를 나타낸 에너지 밴드 다이어그램이다.

도 9는 스핀 필터 효과를 이용한 핫 일렉트론 트랜지스터 형의 스핀 트랜지스터의 구성예를 나타낸 에너지 밴드 다이어그램이다.

도 10은 터널 베이스 트랜지스터 형의 스핀 트랜지스터의 구성예를 나타낸 에너지 밴드 다이어그램이다.

도 11은 MOS 트랜지스터 형의 스핀 트랜지스터의 구성예를 나타낸 단면 구조도이다.

도 12는 변조 도핑된 트랜지스터(modulation dope transistor) 형의 스핀 트랜지스터의 구조예를 나타낸 단면 구조도이다.

도 13은 강자성 반도체 채널을 가지는 MOS 트랜지스터 형의 스핀 트랜지스터의 구성예를 나타낸 단면 구조도이다.

도 14는 강자성 소스와 강자성 드레인 사이에 설치된 비자성 절연성 터널 장벽에 대하여, 게이트 절연막과 게이트 전극을 설치한 구성을 가지는 스핀 트랜지스터의 구성예를 나타낸 단면 구조도이다.

도 15는 강자성 소스와 강자성 드레인 또는 비자성 드레인 사이에 설치된 절연성 강자성 터널 장벽에 대하여, 게이트 절연막과 게이트 전극을 설치한 구성을 가지는 스핀 트랜지스터의 구성예를 나타낸 단면 구조도이다.

도 16(A)는 공통 소스 구성을 가지는 메모리 셀의 구성예를 나타낸 도면이다. 도 16(B)는 공통 소스 구성을 가지는 메모리 셀의 단면 구조예를 나타낸 도면이다.

도 17(A)는 MTJ를 이용한 일반적인 MRAM의 구성을 나타낸 도면이며, 도 17(B)는 MTJ의 동작원리를 나타낸 도면이다.

## 실시예

### 발명을 실시하기 위한 최량의 형태

본 발명에 관한 트랜지스터는 특정 스핀 방향을 가지는 스핀 편극 핫 캐리어를 주입하는 스핀 인젝터와 이 주입된 스핀 편극 핫 캐리어를 그 스핀 방향에 따라 선별하는 스핀 분석기를 가지고 있다. 스핀 인젝터는 파울러-노드하임(Fowler-Nordheim) 터널 또는 다이렉트 터널 등의 터널 효과가 가능한 두께를 가지는 제 1 강자성 장벽층, 제 1 강자성 장벽층의 일단면에 접합한 제 1 비자성 전극층 및 제 1 강자성 장벽층의 타단면에 접합한 제 2 비자성 전극층을 가지고 있다. 스핀 분석기는 제 2 강자성 장벽층, 제 2 강자성 장벽층의 일단면에 접합한 제 2 비자성 전극층 및 제 2 강자성 장벽층의 타단면에 접합한 제 3 비자성 전극층을 가지고 있으며, 스핀 인젝터와 제 2 비자성 전극층을 공유하도록 되어있다. 제 2 비자성 전극층의 두께는 이 비자성 전극층에서의 스핀 편극 핫 캐리어의 평균자유행정 이하의 두께인 것이 바람직하다.

즉, 상기 구성을 공지의 핫 일렉트론 트랜지스터의 구성과 비교하면 제 1 비자성 전극층과 제 1 강자성 장벽층은 에미터 및 에미터 장벽에 대응하고, 제 2 비자성 전극층은 베이스에 대응하며, 제 2 강자성 장벽층과 제 3 비자성 전극층은 콜렉터 장벽과 콜렉터에 대응한다.

제 1 및 제 2 강자성 장벽층은 절연성의 강자성 반도체 또는 강자성 절연체를 포함하여 구성된다. 이들의 강자성 장벽층의 에너지 밴드는 자기적인 교환 상호작용에 의해 스핀 분열해 있고, 밴드단에서는 이 스핀 분열에 의해 업스핀 밴드 만 또는 다운스핀 밴드 만이 존재한다. 또한, 한 쪽의 스핀 밴드 만이 존재하는 에너지 폭을 스핀 분열 폭(spin split width)이라고 부른다.

스핀 인젝터의 스핀 필터 효과에 대해서는 제 1 강자성 장벽층에 제 1 비자성 전극층과 제 2 비자성 전극층을 통하여 전압을 인가하여 발생시킨 Fowler-Nordheim(FN) 터널 또는 다이렉트 터널 등의 터널 효과에 있어서, 제 1 비자성 전극층의 캐리어 중 제 1 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향에 일치하는 스핀 방향(캐리어가 전자의 경우에는 제 1 강자성 장벽층의 자화와 반 평행이 되는 스핀 방향을, 캐리어가 정공인 경우에는 제 1 강자성 장벽층의 자화와 평행이 되는 스핀 방향을 가리킨다)을 가지는 캐리어의 터널 확률이 크고, 일치하지 않는 스핀 방향(캐리어가 전자의 경우에는 제 1 강자성 장벽층의 자화와 평행이 되는 스핀 방향을, 캐리어가 정공의 경우에는 제 1 강자성 장벽층의 자화와 반 평행이 되는 스핀 방향을 가리킨다)을 가지는 캐리어의 터널 확률이 작은 것을 이용하고 있다.

스핀 분석기의 스핀 필터 효과는 제 2 강자성 장벽층의 스핀 분열한 밴드에 스핀 인젝터로부터 스핀 편극 핫 캐리어를 주입하는 경우에 있어서, 주입된 스핀 편극 핫 캐리어의 스핀 방향과 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향이 평행한 경우(제 1과 제 2 강자성 장벽층이 평행자화)에, 스핀 편극 핫 캐리어는 제 2 강자성 층의 스핀 밴드 내를 전도하고 제 3 비자성 전극층에 도달하지만, 스핀 편극 핫 캐리어와 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향이 반 평행한 경우(제 1과 제 2 강자성 장벽층이 반 평행자화)에는 스핀 편극 핫 캐리어는 제 2 강자성 장벽층을 전도할 수 없는 것을 이용한다.

상기 구성에 의하면, 제 1 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향과 평행한 스핀 방향을 가지는 제 1 비자성 전극층 내의 캐리어가 Fowler-Nordheim 터널 또는 다이렉트 터널 등의 터널 효과에 따라 제 2 비자성 전극층에 스핀 편극 핫 캐리어로 주입된다. 이 때, 주입된 스핀 편극 핫 캐리어의 에너지가 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드단의 에너지 보다 크고, 스핀 밴드단에 스핀 분열폭을 가한 에너지 보다 작게 되도록 상기 트랜지스터를 바이어스해 둔다. 제 2 비자성 전극층의 두께는 제 2 비자성 전극층 내에서의 스핀 편극 핫 캐리어의 평균 자유행정 이하의 두께이므로 주입된 스핀 편극 핫 캐리어는 에너지를 잃지 않고, 제 2 강자성 장벽층에 도달한다. 아울러, 스핀 편극 핫 캐리어의 에너지는 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드단의 에너지 보다 크고, 이 스핀 밴드단에 스핀 분열폭을 가한 에너지 보다 작은 에너지를 가지므로 주입된 스핀 편극 핫 캐리어의 스핀 방향이 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향과 평행한 경우에는 스핀 편극 핫 캐리어는 제 2 강자성 장벽층 내에 발생하고 있는 전계에 의해 이 스핀 밴드 내를 전도하고, 제 3 비자성 전극층에 수송되며, 제 3 비자성 전극층과 제 1 비자성 전극층의 사이를 흐르는 전류가 된다.

한편, 주입된 스핀 편극 핫 캐리어의 스핀 방향이 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드의 스핀 방향과 반 평행한 경우에는 스핀 편극 핫 캐리어는 제 2 비자성 전극층과 제 2 강자성 장벽층의 계면에서 산란(또는 반사)되고, 제 2 비자성 전극층과 제 1 비자성 전극층 사이를 흐르는 전류가 된다.

이와 같이, 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향이 평행이나 반 평행이나에 따라 제 1 강자성 장벽층을 흐르는 전류를 제 2 강자성 장벽층을 통하여, 제 3 비자성 전극층과 제 1 비자성 전극층 사이를 흐르는 전류로, 또는 제 2 비자성 전극층과 제 1 비자성 전극층 사이에 흐르는 전류로 전환할 수 있다. 즉, 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향이 따라, 제 2 강자성 장벽층을 통하여 흐르는 전류를 제어할 수 있다. 주지의 베이스 접지, 또는 에미터 접지의 핫 일렉트론 트랜지스터나 바이폴라 트랜지스터(bipolar transistor)의 작동과 비교하면 콜렉터 전류를 베이스 전류에 의해 제어하는 것에 해당하지만, 본 실시태양에 의한 트랜지스터로는 베이스 전류에 의한 콜렉터 전류의 전류 증폭율을 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향이 따라 제어할 수 있다. 즉, 본 실시태양에 의한 트랜지스터는 전류 증폭율을 제어할 수 있는 트랜지스터이며, 베이스 전류(또는 제 1 및 제 2 비자성 전극간의 바이어스 전압) 만이 아니라, 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향이 의해서도 콜렉터 전류를 제어할 수 있다.

또한, 제 1 강자성 장벽층과 제 2 강자성 장벽층의 보자력(保磁力: coercivity)을 바꾸거나, 한 쪽의 자화방향을 고정시켜 두면, 제 1 강자성 장벽층과 제 2 강자성 장벽층 중의 어느 한 쪽의 자화방향이 반전하는 적절한 강도의 자장을 인가함으로써 인하여, 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향을 평행 또는 반 평행의 어느 쪽이든 임의로 변경할 수 있다. 즉, 트랜지스터 내에 정보를 기억시킬 수 있다.

따라서, 상기 트랜지스터를 사용하여 메모리 셀을 구성할 수 있다. 본 실시태양에 의한 트랜지스터를 이용한 비휘발성 메모리의 일례에 대해 이하에서 설명한다. 본 실시태양에 의한 트랜지스터의 제 2 비자성 전극층을 워드선에 접속하고, 트랜지스터의 제 3 비자성 전극층을 비트선에 접속하며, 부하를 통하여 비트선을 전원에 접속하고, 트랜지스터의 제 1 비자성 전극층을 접지한다. 이 구성에 의하면, 특정의 워드선을 선택하고 제 2 비자성 전극층에 바이어스를 가하며, 특정 비트선을 선택하고 출력전압(제 3 비자성 전극단에 발생하는 전압)을 검출하면, 출력전압은 트랜지스터의 제 1 강자성 장벽층과 제 2 강자성 장벽층의 상대적인 자화방향이 따라서 변화한다. 즉, 상대적인 자화방향이 평행한 경우에는 출력전압이 작게 되고, 상대적인 자화방향이 반 평행한 경우에는 출력전압이 크게 된다. 따라서, 기억된 정보를 출력전압의 대소에 따라 읽어낼 수 있다.

상기 비휘발성 메모리는 본 실시태양에 의한 트랜지스터를 에미터 접지 트랜지스터로 사용하고, 콜렉터에 전원과 부하를 부가하며, 콜렉터 전압을 출력전압으로 하기 때문에, 전원전압과 부하라는 주변회로에 따라 제 1과 제 2 강자성 장벽층이 평행자화인 경우의 출력전압과 반 평행자화인 경우의 출력전압을 원하는 수치로 설계할 수 있다. 따라서, 상기 비휘발성 메모리를 이용하면, MTJ를 이용한 MRAM에 있어서, 터널저항이 작고, 출력전압이 작은 문제

절 및 TMR비가 작고, 기억정보를 판별하기 어려운 문제점, 특히, 인가 바이어스(applied bias)에 의해 출력전압의 비가 작게 되는 문제점을 해결할 수 있다.

이하, 상기 트랜지스터의 구성 및 동작에 대하여, 도면을 참조하면서 상세히 설명한다. 또한, 이하의 설명을 이해하기 쉽도록 본 실시태양에 의한 트랜지스터를 스핀 필터 트랜지스터(spin filter transistor)로 명명한다.

도 1은 본 실시태양에 의한 스핀 필터 트랜지스터의 구성을 나타내는 그림이며, 도 1(A)는 모식적인 단면도이고, 도 1(B)는 도 1(A)에 나타낸 구성의 전도 밴드(conduction band)(또는 가전자 밴드(valence band))의 에너지 밴드 다이어그램이며, 장벽층에서의 스핀 밴드의 스핀 방향을 아울러 나타낸 도면이다. 단, 캐리어가 정공이면 밴드단에서의 스핀 방향과 자화방향은 일치하지만, 캐리어가 전자이면 밴드단에서의 스핀 방향과 자화방향은 역방향이 된다.

본 실시태양에 의한 스핀 필터 트랜지스터 1은 제 1 강자성 장벽층 2, 전기 제 1 강자성 장벽층 2의 일단면에 접합한 제 1 비자성 전극층 3 및 전기 제 1 강자성 장벽층 2의 타단면에 접합한 제 2 비자성 전극층 4로 구성된 스핀 인젝터 5, 제 2 강자성 장벽층 6, 전기 제 2 강자성 장벽층 6의 일단면에 접합한 제 2 비자성 전극층 4 및 전기 제 2 강자성 장벽층 6의 타단면에 접합한 제 3 비자성 전극층 7로 구성된 스핀 분석기 8로 구성되어 있다. 도 1(A)로부터 명확히 알 수 있듯이, 스핀 인젝터 5와 스핀 분석기 8은 제 2 비자성 전극층 4를 공통으로 하고 있다.

제 1, 제 2 및 제 3 비자성 전극층 3, 4 및 7로서, 비자성 금속, n형 비자성 반도체 또는 p형 비자성 반도체를 이용할 수 있다. 또한, 제 2 비자성 전극층 4의 두께는 스핀 인젝터로부터 주입된 스핀 편극 핫 캐리어의 비자성 전극층 4 내에서의 평균자유행정 이하로 하는 것이 바람직하다. 평균자유행정보다도 베이스 쪽을 짧게 함으로써 전류 전송율을 0.5 이상으로 하는 것이 가능하며, 전류증폭 작용도 얻을 수 있다.

제 1 및 제 2 강자성 장벽층 2, 6으로는 절연성의 강자성 반도체 또는 강자성 절연체를 사용할 수 있다. 강자성 장벽층의 에너지 밴드는 자기적인 교환 상호작용에 의해 스핀 분열하고 있으며, 밴드단에서는 업스핀 만이 또는 다운스핀 만이 존재하는 에너지 영역이 생긴다. 이 스핀 편극된 밴드는 스핀 밴드로 불리며, 또한, 이 에너지 영역 폭을 스핀 분열 폭  $\Delta$ 로 부른다.

도 1(B)에 도시된 바와 같이, 강자성 장벽층 2, 6에 화살표  $\uparrow$ 를 붙여 표시한 실선은 업스핀이 존재할 수 있는 밴드의 단부, 즉, 업스핀 밴드단 9이며, 화살표  $\downarrow$ 를 붙여 표시한 실선은 다운스핀이 존재할 수 있는 밴드의 단부, 즉, 다운스핀 밴드단 10이다. 도 1(B)에서의 업스핀 밴드단 9와 다운스핀 밴드단 10 사이는 업스핀 만이 존재할 수 있는 영역이다. 또한, 다운스핀 밴드단 10 보다도 높은 에너지를 가지는 영역은 업스핀과 다운스핀 모두 존재할 수 있는 영역이다. 도 1(B)는 업스핀의 스핀 밴드가 다운스핀의 스핀 밴드보다도 낮은 경우를 예시하고 있지만 이것의 역상태도 가능하다.

제 1 강자성 장벽층 2는 제 1 비자성 전극층 3과 제 2 비자성 전극층 4에 인가하는 전압에 따라 Fowler-Nordheim 터널(이하, 「FN 터널」로 명명) 또는 다이렉트 터널 등의 터널 효과에 의해 제 1 비자성 전극층 3으로부터 제 2 비자성 전극층 4로 캐리어의 투과가 가능한 두께를 가지고 있다. 여기서, 다이렉트 터널이라는 것은 캐리어가 얇은 포텐셜 장벽을 직접 투과하는 현상을 말한다. 또한, FN 터널이라는 것은 어떤 인가 전압까지는 다이렉트 터널에 의한 터널 전류를 무시할 수 있고, 어떤 값 이상의 전압을 인가함으로써 발생하는 포텐셜 장벽 상부(upper portion of a potential barrier)의 삼각 포텐셜(triangular potential)을 캐리어가 터널하는 현상을 말한다.

제 1 비자성 전극층 3과 제 2 비자성 전극층 4에 인가하는 전압은 통상의 메모리 회로에 사용되는 전압범위이면 좋고, 예를 들어, 수백 mV부터 수 V 대이다. 제 2 강자성 장벽층 6의 두께는 제 2 비자성 전극층 4로부터 제 3 비자성 전극층 7에 캐리어의 열 방출 또는 터널에 의한 전류(소위, 리크전류(leak current))가 발생하지 않을 정도로 두껍게 할 필요가 있다.

상기의 비자성 전극층 3, 4, 7 및 강자성 전극층 2, 6은 도 1(B)에 표시한 에너지 밴드 구조를 형성한다. 도 1(B) 중의 비자성 전극층 부분의 실선 11은 금속의 페르미 에너지(Fermi energy) 또는 n형(p형) 반도체의 페르미 에너지 또는 전도대(conduction band)의 바닥(가전자 대의 정상) 에너지를 표시한다. 비자성 전극층 부분의 실선 11에 대한 강자성 장벽층 2, 6의 낮은 쪽 에너지 장벽을  $\phi_c$ 로 표시하고, 스핀 분열 폭을  $\Delta$ 로 표시한다. 강자성 장벽층 2와 6은 다른 값의  $\phi_c$ 와  $\Delta$ 를 가져도 좋지만, 이하에서는 강자성 장벽층 2와 6으로 동일한 값의  $\phi_c$ 와  $\Delta$ 를 가지는 경우에 대해서 표시한다.

캐리어가 전자인 경우는 비자성 전극층 3, 4, 7에 비자성 금속 또는 n형 반도체를 사용하고, 강자성 장벽층 2, 6에 절연성의 강자성 반도체 또는 강자성 절연체를 사용한다. 이 경우, 강자성 장벽층 2, 6의 업스핀 밴드단 9 및 다운스핀 밴드단 10은 전도 대의 바닥(bottom of the conduction band)이 스핀 분열한 것이다. 또한, 캐리어를 정공으로 하는 경우에는 비자성 전극층 3, 4, 7로 p형 반도체를 사용하고, 강자성 장벽층 2, 6에 절연성의 강자성 반도체 또는 강자성 절연체를 사용한다. 이 경우에는 강자성 장벽층 2, 6의 업스핀 밴드단 9 및 다운스핀 밴드단 10은 가전자 대 정상(top of the valence band)이 스핀 분열한 것이다.

다음에, 상기 스핀 필터 트랜지스터의 동작원리에 대하여 상세히 설명한다. 이후의 설명에 있어서, 설명을 간단히 하기 위해 핫 일렉트론 트랜지스터의 표기법을 병용하여 설명한다. 즉, 제 1 비자성 전극층 3과 제 1 강자성 장벽층 2를 에미터 21, 제 2 비자성 전극층 4를 베이스 22, 제 2 강자성 장벽층 6과 제 3 비자성 전극층 7을 콜렉터 23으로 명명하고, 제 1 비자성 전극층 3을 에미터 전극 3, 제 3 비자성 전극층 7을 콜렉터 전극 7로 명명한다. 또한, 캐리어가 전자(electron)인 경우를 예로들어 설명한다(캐리어가 정공(hole)인 경우도, 동작원리는 본질적으로 동등하므로 설명을 생략한다).

도 2는 본 실시태양에 의한 스핀 필터 트랜지스터의 에미터, 베이스, 콜렉터 사이에 베이스 접지 바이어스 전압을 가한 경우의 에너지 밴드 다이어그램이다. 도 2(A)는 제 1 및 제 2 강자성 장벽층의 자화방향이 서로 평행한 경우이

고, 도 2(B)는 제 1 및 제 2 강자성 장벽층의 자화방향이 서로 반 평행한 경우이며 도 2(A)에 대응하는 도면이다. 에미터 21과 베이스 22 사이에 바이어스 전압  $V_{EB}$ 를, 베이스 22와 콜렉터 23 사이에 바이어스 전압  $V_{CB}$ 를 가하고 있다. 이 때,  $V_{EB}$ 의 크기는  $(\phi_c < qV_{EB} < \phi_c + \Delta)$ 의 관계를 만족하도록 설정한다. 여기서,  $q$ 는 전하 단위량이다.

에미터 21은 베이스 22에 스핀 편극된 핫 일렉트론을 주입하는 스핀 인젝터로 작동한다. 즉, 바이어스 전압  $V_{EB}$ 에 따라 캐리어를 에미터 전극 3으로부터 제 1 강자성 장벽층 2를 터널에 의하여 통과 시키는 경우에 제 1 강자성 장벽층 2의 전도 대가 스핀 분열하고 있기 때문에, 에미터 전극 3에 존재하는 업스핀 전자 24와 다운스핀 전자 25에서 느끼는 장벽 높이(barrier height)가 다르다.

즉, 도 2(A)에서는 업스핀 전자 24가 느끼는 장벽 높이는 제 1 강자성 장벽층 2의 업스핀 밴드단 9까지의 에너지, 즉,  $\phi_c$ 이며, 다운스핀 전자 25가 느끼는 장벽 높이는 제 1 강자성 장벽층 2의 다운스핀 밴드단 10까지의 에너지, 즉,  $\phi_c + \Delta$ 이다. 따라서, 베이스-에미터 전압을 제어함에 의하여, 느끼는 장벽 높이가 낮은 쪽의 스핀을 가지는 전자, 이 경우에는 업스핀을 가지는 전자 24를 선택적으로 베이스 22에 핫 일렉트론으로 터널 주입시킬 수 있다(이 현상을 스핀 필터 효과라고 명명).

한편, 상기 스핀 필터 트랜지스터의 콜렉터 23은 베이스 22에 주입된 스핀 편극 핫 일렉트론의 방향을 선별하는 스핀 분석기로 작동한다. 즉, 바이어스 전압  $V_{EB}$ 에 따라 핫(hot)한 상태로 되고, 베이스 22에 주입된 스핀 편극 핫 일렉트론 26은 베이스 22의 폭을 스핀 편극 핫 일렉트론 26의 평균자유행정 이하로 설정하고 있기 때문에, 베이스 22와 콜렉터 23의 계면까지 에너지를 잃지 않고, 즉, 탄도적으로(ballistically) 도달할 수 있다. 콜렉터 23의 제 2 강자성 장벽층 6도 전도 대의 스핀 분열에 의하여 장벽 높이가 다른 두 개의 장벽이 발생하고 있다. 도 2(A)에 도시한 바와 같이, 제 1 및 제 2 강자성 장벽층 2, 6의 자화방향이 서로 평행한 경우, 스핀 편극 핫 일렉트론 26과 평행한 스핀을 가지는 제 2 강자성 장벽층 6의 업스핀 밴드단 9는 스핀 편극 핫 일렉트론 26의 에너지보다 작기 때문에 스핀 편극 핫 일렉트론 26은 제 2 강자성 장벽층 6을 넘어 콜렉터 전극 7로 전도되고, 콜렉터 전류  $I_C$ 로 된다.

한편, 도 2(B)에 도시한 바와 같이, 제 1 및 제 2 강자성 장벽층 2, 6의 자화방향을 서로 반 평행으로 한 경우, 베이스 22에는 다운스핀을 가지는 스핀 편극 핫 일렉트론 27이 주입되지만, 다운스핀을 가지는 제 2 강자성 장벽층 6의 다운스핀 밴드단 10이 스핀 편극 핫 일렉트론 27의 에너지보다 높으므로 스핀 편극 핫 일렉트론 27은 제 2 강자성 장벽층 6의 전도 대를 전도할 수 없고, 베이스 22와 콜렉터 23의 계면에서의 스핀의존 산란(또는 반사)을 입어 에너지를 잃고 베이스 전류  $I_B$ 로 된다.

이와 같이, 에미터 22의 제 1 강자성 장벽층 2와 콜렉터 23의 제 2 강자성 장벽층 6의 상대적인 자화방향에 따라, 에미터로부터 콜렉터로 흐르는 전류의 전류 전송율은 크게 다르다. 다시 말하면, 베이스 전류에 의한 콜렉터 전류의 증폭율이 크게 다르다.

도 3은 본 실시태양에 의한 스핀 필터 트랜지스터의 베이스 접지에서의 정특성(static characteristics)을 도시한 도면이다. 횡축은 도면 상 우측에 콜렉터-베이스 전압  $V_{CB}$ , 좌측에 에미터-베이스 전압  $V_{EB}$ 를 표시하고, 종축은 에미터 전류  $I_E$ , 베이스 전류  $I_B$ , 콜렉터 전류  $I_C$ 를 표시하고 있다. 도 3(A)는 에미터와 콜렉터의 강자성 장벽층의 자화방향이 평행한 경우의 정특성을, 도 3(B)는 반 평행한 경우의 정특성을 나타내고 있다. 또한, 도 3(A), 도 3(B)에서,  $\alpha$ 는 전류 전송율,  $\beta$ 는 전류 증폭율을 나타내고, 또한,  $\uparrow\uparrow$  및  $\downarrow\uparrow$ 는 각각 에미터와 콜렉터의 강자성 장벽층의 상대적인 자화방향이 평행한 경우와 반 평행한 경우를 나타낸다.

도 3(A)에 도시한 바와 같이, 에미터와 콜렉터의 자화방향이 평행한 경우에는 에미터 전류  $I_E$ 의 거의 대부분이 콜렉터 전류  $I_C$ 라고 할 수 있다. 도 3(B)에서 보면, 자화방향이 반 평행한 경우에는 에미터 전류  $I_E$ 의 거의 대부분이 베이스 전류  $I_B$ 라고 할 수 있다. 공지의 핫 일렉트론 트랜지스터 또는 바이폴라 트랜지스터와 동일하게, 본 실시태양에 의한 트랜지스터에 있어서도 베이스 전류  $I_B$ 에 의해 콜렉터 전류  $I_C$ 를 제어할 수 있다. 이에 더해, 제 1과 제 2 강자성 장벽층의 상대적인 자화방향에 따라서도 전류 증폭율을 제어할 수 있다.

본 실시태양에 의한 스핀 필터 트랜지스터의 강자성 장벽층으로는 EuS, EuSe, EuO 등의 강자성 반도체를 사용할 수 있다. 또한,  $R_3Fe_5O_{12}$ (R은 희토류 원소를 표시) 등의 강자성 절연체도 사용할 수 있다. 비자성 전극층으로는 비자성체이면 좋고, 예를 들어, Al 나 Au 등의 금속이나, 고농도에 불순물로 도핑된 Si이나 GaAs 등의 비자성 반도체 이어도 좋다. 예를 들면, 강자성 장벽층으로 EuS, 비자성 전극층으로 Al을 사용한 경우, 장벽높이  $\phi_c = 1.4$  eV이며, 스핀 분열폭  $\Delta = 0.36$  eV이다. 또한, 본 실시태양에 의한 스핀 필터 트랜지스터는 상기의 재료를 이용하여 공지의 분자선 에피탁셜 성장방법(molecular beam epitaxial growth method), 진공증착법(vacuum deposition method), 스퍼터링법(sputtering method) 등에 의해 제작할 수 있다.

다음으로, 본 발명의 스핀 필터 트랜지스터를 메모리 셀로 이용한 비휘발성 메모리에 대해 설명한다.

도 4(A)는 본 실시태양에 의한 스핀 필터 트랜지스터 1을 이용한 메모리 셀의 일 구성예를 도시한 도면이다. 도 4(A)에 표시한 메모리 셀로는 스핀 필터 트랜지스터를 다수 매트릭스 상에 배치하고, 에미터 단자 E를 접지하며 콜렉터 단자 C와 베이스 단자 B를 각각 해독용 비트선(read bit line) BL과 해독용 워드선(read word line) WL에 접속한다. 또한, 갱신용 워드선(rewrite word line)과 갱신용 비트선(rewrite bit line)은 상기 스핀 필터 트랜지스터 상에서 다른 배선과 전기적으로 절연한 상태로 교차하도록 배치한다. 전기 갱신용 워드선과 갱신용 비트선으로 전기 해독용 비트선 BL과 해독용 워드선 WL을 병용하여도 좋다. 도 4(A)는 병용한 경우의 셀 구성을 나타낸 도면이다. 도 4(A)의 경우에는 스핀 필터 트랜지스터만으로 메모리 셀을 구성함과 동시에 배선에 관해서도 매우 단순한 구성으로 할 수 있다. 따라서, 고밀도 집적화에 적합한 레이아웃을 용이하게 구성할 수 있다. 도 4(B)도 동일한 셀 구성을 사용하고 있다.

다음으로, 본 실시태양에 의한 메모리 회로에 대해서 도 4(B)를 참조하여 설명한다. 본 실시태양에 의한 메모리 회로 41은 스핀 필터 트랜지스터 1(도 1)의 베이스인 제 2 비자성 전극 4를 워드선 42에 접속하고 스핀 필터 트랜지스터 1의 콜렉터 전극인 제 3 비자성 전극 7을 비트선 43에 접속하며, 비트선 43을 부하( $R_L$ ) 44를 통하여 전원( $V_{CC}$ ) 45에 접속하고, 스핀 필터 트랜지스터 1의 에미터 전극인 제 1 비자성 전극 3을 접지한 구성을 가지고 있다. 여기에서는 부하로 순저항(pure resistance)을 사용하고 있지만 트랜지스터에 의한 능동부하(active load)를 사용하여도 좋다.

특정 메모리 셀의 기억정보를 읽어 내는 것은 특정 워드선 42를 선택하여 에미터-베이스 사이에 바이어스를 인가하고, 비트선 43에 부하저항 44를 통하여 전원 45의 전원전압  $V_{CC}$ 를 인가하며, 비트선 43에 나타나는 출력전압  $V_O$ 의 대소에 따라 기억정보를 읽어낸다. 도 4(C)의 종축은 콜렉터 전류  $I_C$ , 횡축은 콜렉터-에미터 사이 전압  $V_{CE}$ 를 나타내고, 스핀 필터 트랜지스터의  $I_C$ - $V_{CE}$  특성과 부하저항 44에 의한 부하직선 46을 동일한 도면 상에 표시한 것이다.

출력전압  $V_O$ 는 이들 특성의 교점으로부터 결정된다. 즉, 제 1 및 제 2 강자성 장벽층 2, 6의 상호 자화상태가 평행한 경우와 반 평행한 경우의 출력신호는 각각, 도 4(C)에 도시한 것과 같이,  $V_{O\uparrow\uparrow}$  및  $V_{O\downarrow\downarrow}$ 로 된다.  $V_{O\uparrow\uparrow}$  및  $V_{O\downarrow\downarrow}$ 의 절대값, 및  $V_{O\uparrow\uparrow}$  및  $V_{O\downarrow\downarrow}$ 의 비는 회로 패러미터( $R_L$  및  $V_{CC}$ )에 의해 최적화 할 수 있다. 이와 같이, 본 실시태양에 의한 비휘발성 메모리 디바이스는 MTJ처럼 소자 자신의 구조를 조절하지 않고 필요한 크기의 출력신호 및 출력신호 비를 얻을 수가 있다.

본 실시태양에 의한 트랜지스터에서 이용하는 스핀 필터 효과는 강자성체에서의 밴드 스핀 분열을 이용한 효과이며, MTJ의 TMR 효과에 비하여 스핀 선택율이 높다. 베이스 쪽을 스핀 편극 핫 캐리어의 평균자유행정 이하로 설정하면 제 1 및 제 2 강자성 장벽층 사이의 상대적인 자화상태가 평행자화의 경우에는 전류 전송율  $\alpha(=I_C/I_E$ 로 정의)는 0.5 이상이 될 수 있지만, 반 평행자화의 경우에는 전류 전송율이 매우 작다. 즉, 평행자화의 경우와 반 평행자화의 경우의 전류 전송율의 변화는 전류 증폭율  $\beta(=I_E/I_B$ 로 정의됨)로 보면, 더욱 증폭되어 있게 된다. 이 자화상태에서 크게 다른 스핀 필터 트랜지스터의 출력특성에 대하여 상술한 주변회로에 의해 출력신호의 최적화를 수행함에 따라 용이하게 원하는 출력신호의 절대값 및 원하는 출력신호비를 얻을 수가 있다.

다음, 캐리어의 스핀 방향에 의존하는 출력특성을 가지는 트랜지스터(이하, 「스핀 트랜지스터」로 명명)를 이용한 비휘발성 기억회로에 대해 설명한다.

본 발명에 관한 기억회로는 스핀 트랜지스터를 이용한 비휘발성 기억회로에 관한 것이다. 스핀 트랜지스터는 강자성 금속이나 강자성 반도체 등의 강자성체를 트랜지스터 내에 포함하고, 이 자화상태에 따라 캐리어의 스핀 방향을 제어하고 출력특성을 변화시킨다. 스핀 트랜지스터 내부에서의 강자성체의 자화상태에 근거하여 정보를 기억하고, 스핀 트랜지스터 내부의 자화상태를 반영한 트랜지스터의 출력특성을 이용하여 정보를 읽어낸다. 스핀 트랜지스터를 이용하면, 하나의 스핀 트랜지스터로 1비트의 비휘발성 메모리 셀을 구성할 수 있고, 또한, 기억정보에 대한 출력신호의 값을 이 메모리 셀에 접속한 주변 회로에 의해 최적화하는 것이 가능하다.

보다 구체적으로, 스핀 트랜지스터는 자화방향을 자장 등에 따라 독립적으로 제어할 수 있는 강자성체 층(프리 층)과, 자화방향이 고정되어 있거나 프리 층보다 큰 보자력을 가지는 강자성체 층(핀 층)을 적어도 하나씩 가지고 있으며, 동일한 바이어스 하에서도 프리 층과 핀 층의 상대적인 자화방향에 따라 트랜지스터의 출력특성을 제어할 수 있는 트랜지스터이다. 프리 층의 자화방향을 자장 등에 의해 변화시킴으로 프리 층과 핀 층의 상대적인 자화상태를 평행자화 또는 반 평행자화의 두 개의 상태로 할 수 있다. 이 두 개의 자화상태를 2가의 기억정보에 대응시킨다.

스핀 트랜지스터로는 스핀의존 산란, 터널 자기저항 효과, 스핀 필터 효과 등의 캐리어의 스핀 방향에 의존하여 변화하는 전도현상에 근거하고, 트랜지스터 내의 자화상태에 따른 출력특성을 얻을 수 있다. 스핀 트랜지스터는 스핀 편극 캐리어를 주입하는 제 1 전극구조 및 스핀 편극 캐리어를 받아들이는 제 2 전극구조와 제 1 전극구조에서 제 2 전극구조로 전도하는 스핀 편극 캐리어의 양을 제어하는 제 3 전극구조를 갖추고 있다.

스핀 트랜지스터로는 스핀에 의존하는 전도현상 외에는 일반적인 트랜지스터와 동일한 동작원리에 근거하여 작동한다. 따라서, 스핀 트랜지스터는 바이폴라 트랜지스터 등의 전류 구동형 트랜지스터와 전계효과(electric field effect) 트랜지스터 등의 전압 구동형 트랜지스터로 분류할 수 있다. 전류 구동형 트랜지스터에서, 제 1 전극구조는 에미터에, 제 2 전극구조는 콜렉터에, 제 3 전극구조는 베이스에 각각 대응한다. 본 실시태양에서 설명한 스핀 필터 트랜지스터는 이 전류 구동형으로 분류된다. 또한, 전압 구동형 트랜지스터의 경우는 제 1 전극구조는 소스에, 제 2 전극구조는 드레인에, 제 3 전극구조는 게이트에 각각 대응한다. 스핀 트랜지스터의 출력전류(콜렉터 전류 또는 드레인 전류)는 동일한 바이어스 하에서 스핀 트랜지스터 내에 포함된 강자성체의 자기상태에 따라 변화한다.

스핀 트랜지스터에 대한 상세한 것은 후술하고, 이하 스핀 트랜지스터의 일반적인 출력특성과 스핀 트랜지스터를 이용한 비휘발성 메모리에 대해서 설명한다. 이하에서는, 스핀 트랜지스터 내의 프리 층에 자장을 인가하는 것으로 프리 층과 핀 층의 상대적인 자화상태를 평행자화 또는 반 평행자화를 실현할 수 있다. 또한, 이 자화상태는 프리 층의 보자력 이상의 자장이 인가되지 않는 한, 안정적으로 존재할 수 있다.

도 5(A)에 전류 구동형 스핀 트랜지스터의 출력특성의 예를 모식적으로 표시한다. 통상의 전류 구동형 트랜지스터와 동일하게 콜렉터 전류  $I_C$ 는 베이스 전류  $I_B$ 의 크기에 따라 제어할 수 있지만 콜렉터 전류의 크기는 스핀 트랜지스터 내에 포함된 강자성체의 자화상태에도 의존한다. 도 5(A)의 경우에는 스핀 트랜지스터에 동일한 바이어스를 가해도( $I_B=I_{B1}$ ), 평행자화의 경우에는 콜렉터 전류  $I_{C\uparrow\uparrow}$ 가 크고, 반 평행자화의 경우에는 콜렉터 전류  $I_{C\downarrow\downarrow}$ 가 작다.



도 5(B)에 전압 구동형 스핀 트랜지스터의 출력특성의 예를 모식적으로 나타낸다. 통상의 MOS 트랜지스터 등의 전계효과 트랜지스터와 동일하게, 게이트 소스 전압( $V_{GS}$ )이 경계치  $V_T$ 보다도 작은 경우( $V_{GS} < V_T$ )에는 스핀 트랜지스터는 차단상태로 드레인 전류는 거의 발생하지 않는다.  $V_T$  이상의  $V_{GS}$ 를 인가하면 스핀 트랜지스터는 도통상태로 되지만, 동일한 바이어스 하( $V_{GS}=V_{GS1}$ )에서도 스핀 트랜지스터 내에 포함된 강자성체가 평행자화를 가진 경우와 반 평행자화를 가진 경우에는 드레인 전류값은 다르다. 도 3(B)의 경우에는 평행자화를 가진 경우에는 드레인 전류  $I_{D1\uparrow}$ 가 크고, 반 평행자화를 가진 경우에는 드레인 전류  $I_{D1\downarrow}$ 가 작다.

따라서, 스핀 트랜지스터에서는 전류 구동형, 전압 구동형 모두 디바이스 내에 포함된 프리 층과 핀 층의 상대적인 자화방향을 콜렉터 전류 또는 드레인 전류의 크기에 근거하여 전기적으로 검출할 수 있다. 또한, 상기와 같이 강자성체에서는 외부로부터 프리 층의 보자력 이상의 자장이 인가되지 않는 한, 자화방향을 안정적으로 유지할 수 있다. 이에 따라, 스핀 트랜지스터에서는 디바이스 내에 포함된 프리 층과 핀 층의 상대적인 자화상태를 평행자화 또는 반 평행자화로 하는 것에 따라 2값의 정보를 비휘발적으로 기억할 수 있다. 따라서, 스핀 트랜지스터를 이용하면 하나의 스핀 트랜지스터 만으로 1비트의 비휘발성 메모리 셀을 구성할 수 있다.

이하, 전압 구동형의 스핀 트랜지스터를 이용한 경우를 예로 들어, 스핀 트랜지스터를 이용한 비휘발성 메모리에 대해 상술한다. 전류 구동형의 스핀 트랜지스터를 메모리 셀로 이용한 경우와 동일하게 구성할 수 있다.

도 6(A)는 스핀 트랜지스터를 이용한 메모리 셀의 구성예를 도시한 도면이다. 도 6(B)는 이 메모리 셀에 근거하여 형성한 기억회로의 구성예를 도시한 도면이다. 도 6(A)와 도 6(B)의 관계는 도 4(A)와 도 4(B)의 관계와 동일하다. 도 6(A)에 도시된 메모리 회로에서는 스핀 트랜지스터 150을 다수 매트릭스 상에 배치하고, 소스 S를 접지하여 드레인 D와 게이트 G 각각을 해독용 비트선 BL과 해독용 워드선 WL에 접속한다. 또한, 갱신용 워드선과 갱신용 비트선을 상기 스핀 트랜지스터 150 상에서 다른 배선과 전기적으로 절연한 상태로 교차하도록 배치한다. 이 갱신용 워드선과 갱신용 비트선으로, 상기의 해독용 비트선 BL과 해독용 워드선 WL을 병용하여도 좋다. 도 6(A), (B)는 병용한 경우의 구성을 도시한 도면이다. 도 6(A), (B)의 경우에는 하나의 스핀 트랜지스터 만으로 메모리 셀을 구성할 수 있을 뿐만 아니라, 배선에 관해서도 매우 단순한 구성으로 배치할 수 있다.

특히, MOS 트랜지스터에 유사 형태를 가지는 전압 구동형 스핀 트랜지스터에서는 이웃하는 메모리 셀과 소스를 공통으로 하는 등, 미세화(microfabrication)에 적합한 레이아웃을 용이하게 구성할 수 있다.

이하, 상술한 갱신/해독용 비트선 및 갱신/해독용 워드선을 단순히 각각 비트선 BL, 워드선 WL이라 부른다.

정보의 갱신은 선택한 메모리 셀 상에서 교차하는 비트선 BL과 워드선 WL에 전류를 흘리고, 각각의 배선에 흐르는 전류에 의해 유도된 자계의 합성자계에 따라 선택된 메모리 셀의 프리 층을 반전시켜 정보를 갱신한다. 이 때, 선택 셀과 동일한 비트선 BL 또는 워드선 WL에 접속해 있는 비선택 셀이 자화반전(magnetization inversion)하지 않도록 하기 위해, 한 쪽의 배선만으로부터의 자계에서는 자화반전을 발생하지 않도록 각각의 배선에 흘리는 전류값을 설정해 둔다.

정보의 해독은 선택 셀에 접속된 워드선 WL에 전압을 인가하여 스핀 트랜지스터를 도통시킨 후, 비트선 BL에 전압을 인가하고 드레인 전류의 크기를 검출한다. 이 드레인 전류의 크기에 기초하여 프리 층과 핀 층의 상대적인 자화상태를 검출할 수 있다.

도 6(B)는 도 6(A)에 도시한 메모리 회로의 비트선 말단에서 출력단자  $V_{O\uparrow}$ 와 전기 출력단자  $V_{O\downarrow}$ 로부터 분지된 전원 전압  $V_{DD}$ 에 부하를 통하여 접속한 메모리 회로이다. 도 6(C)는 도 6(B)에서 도시한 메모리 셀의 정특성과 동작점을 도시한다. 여기에서는 부하로 디프레션형(depression type) MOS 트랜지스터에 의한 능동부하 160을 사용하고 있지만, 도 4(B)와 같이 순저항을 사용하여도 좋다. 도 6(C)에 도시한 바와 같이, 정보를 해독할 때에는 스핀 트랜지스터 150의 게이트에 게이트 전압  $V_{GS}$ 를 인가하고, 비트선 BL에 부하를 통하여 전원전압  $V_{DD}$ 를 인가하면, 능동부하에 의한 동작점은 핀 층과 프리 층 사이의 자화상태에 따라 도 6(C) 중의 부하곡선상을 움직이고(도면의 P11과 P12), 평행자화와 반 평행자화 경우의 출력신호  $V_O$ 는 각각 도면의  $V_{O1\uparrow}$ 와  $V_{O1\downarrow}$ 로 된다. 각각의 출력신호의 절대값 및 비( $V_{O1\uparrow}/V_{O1\downarrow}$ )는 능동부하의 트랜지스터 특성이나  $V_{DD}$  등의 주변회로의 패러미터에 의해 최적화할 수 있다. 예를 들어, 스핀 트랜지스터의 정특성과 능동부하에 의한 부하곡선과의 교점을 최적화함으로써 드레인 전류비  $I_{O1\uparrow}/I_{O1\downarrow}$ 가 작은 경우에도 큰 출력신호비를 얻을 수 있다. 또한,  $I_{O1\uparrow}$ 와  $I_{O1\downarrow}$ 의 값이 메모리 셀에 따라 분산되어 있어도 능동부하의 포화전류가  $I_{O1\downarrow}$ 보다 크고,  $I_{C1\uparrow}$ 보다 작으면 출력전압은 거의 변동하지 않게 할 수 있다. 또한, 정보의 해독에 센스앰프(sense amp)를 사용하지 않기 때문에 고속의 해독이 가능하게 된다. 따라서, 본 실시태양에 의한 기억회로에서는 바라는 크기의 출력신호를 용이하게 얻을 수가 있고, 또한, 고속해독이 가능하게 되는 이점을 가진다.

종래의 MTJ와 MOS 트랜지스터를 이용한 메모리 셀에서는 MTJ의 저항에 의한 출력전압을 센스앰프에 의해 읽어 내지만, 출력전압은 MTJ에 흐르는 전류값과 MTJ의 임피던스(접합저항)에 의해 결정되며, 출력전압비를 주변회로로 자유롭게 조절할 수 없다.

이하에서, 본 실시태양에 의한 비휘발성 메모리 회로에 적용가능한 스핀 트랜지스터의 구조에 대하여 도면을 참조하여 설명한다. 이하, FM은 강자성 금속(ferromagnetic metal), FS는 전기 전도성 강자성 반도체(electrically conductive ferromagnetic semiconductor), IFS는 절연성 강자성 반도체(insulating ferromagnetic semiconductor), NM은 비자성체(nonmagnetic substance)의 약자이다. 특히, NM 금속은 비자성 금속, NM 반도체는 비자성 반도체를 나타낸다. 우선, 전류 구동형의 스핀 트랜지스터에 대하여 설명한다.

도 7은 핫 일렉트론 트랜지스터 형의 스핀 트랜지스터의 에너지 밴드 다이어그램이다. 스핀 트랜지스터 200은 에미터 201과 베이스 205가 FM 또는 FS로 구성되어 있다. 보다 상세하게는 스핀 트랜지스터 200은 FM(또는 FS)으로 된 에미터 201, NM으로 된 에미터 장벽 203, FM(또는 FS)로 된 베이스 205, NM으로 된 콜렉터 장벽 207 및 NM으로 된 콜렉터 211을 가지고 있다. NM으로는 비자성 금속 또는 비자성 반도체를 사용할 수 있다.

도 7에 도시한 스핀 트랜지스터 200에서는 에미터 201로부터 에미터 장벽 203을 통하여 스핀 편극 핫 캐리어를 베이스 205로 터널주입한다.

에미터 201과 베이스 205가 평행자화한 경우에는 주입된 스핀 편극 핫 캐리어는 베이스 205 내에서 거의 스핀의존 산란을 받을 수 없기 때문에, 탄도적으로 베이스 205를 통과할 수 있도록 베이스 폭을 설정해 두면, 콜렉터 장벽 207을 넘어 콜렉터 211에 도달한다. 즉, 통상의 핫 일렉트론 트랜지스터와 동일한 트랜지스터 동작을 한다.

한편, 에미터 201과 베이스 205가 반 평행자화를 가지는 경우에는 에미터 201로부터 베이스 205에 주입된 스핀 편극 핫 캐리어는 베이스 205 내에서 스핀의존 산란에 의해 에너지를 잃고 콜렉터 장벽 207을 넘을 수 없어 베이스 전류로 된다. 즉, 에미터 201과 베이스 205가 반 평행자화한 경우에는 양자가 평행자화한 경우에 비하여 전류 전송율이 저하한다. 따라서, 스핀 트랜지스터 200에 동일한 바이어스가 인가되어도 에미터 201과 베이스 205의 상대적인 자화상태가 다르므로 전류 전송율 또는 전류 증폭율이 다르다. 또한, 스핀 트랜지스터 200은 콜렉터 장벽의 장벽높이를 적절히 선택하는 등에 의해 실온동작도 가능하다.

스핀 트랜지스터 200은 에미터-베이스 사이가 평행자화를 가진 경우와 반 평행자화를 가진 경우의 각각에 있어서 전류 전송율의 비를 크게 하기 위해서는 스핀의존 산란이 유효하게 작용할 수 있도록 베이스 폭을 길게 잡을 필요가 있다. 한편, 베이스 폭을 길게 하면, 에미터와 베이스가 평행자화의 경우에 있어서도 전류 전송율이 작게 되며, 예를 들어 0.5를 하회하고, 증폭작용을 잃게 되는 트레이드 오프(trade-off)가 존재한다.

도 8은 베이스로의 스핀 주입기구로 열방출을 이용한 핫 일렉트론 트랜지스터 형의 스핀 트랜지스터의 에너지 밴드 다이어그램이다. 도 8에 도시한 바와 같이, 스핀 트랜지스터 220은 FM(또는 FS)으로 된 에미터 221, FM(또는 FS)로 된 베이스 225 및 양자의 사이에 설치된 NM으로 된 에미터 장벽 223을 가지고 있다. 또한, 베이스 225와 에미터 장벽 223의 접합 반대측에 NM으로 된 콜렉터 장벽 227과 NM으로 된 콜렉터 231을 가지고 있다. 에미터 장벽 223 및 콜렉터 장벽 227에는 비자성 반도체를 사용할 수 있다. 또한, 콜렉터 231은 비자성 반도체 또는 비자성 금속을 사용할 수 있다.

에미터 221과 에미터 장벽 223의 사이는 옴 접촉(ohmic contact) 또는 터널 접촉을 형성한다. 베이스 225와 에미터 장벽 223의 사이, 베이스 225와 콜렉터 장벽 227 사이는 도 9에 도시된 밴드 불연속을 가지도록 접합을 형성한다. 이 밴드 불연속은 NM 반도체/FM 사이의 쇼트키 접합(Schottky junction)이나 NM 반도체/FS 사이의 헤테로 접합(heterojunction)에 의해 실현될 수 있다. 또는 FS와 FM으로 쇼트키 접합을 형성하고, 이 때에 발생하는 쇼트키 장벽을 에미터 장벽으로 하며, FS를 에미터로 하고, FM을 베이스로 하여 구성해도 좋다.

에미터 221에 대해서 베이스 225에 바이어스를 인가함에 의해 에미터 221로부터 에미터 장벽 223에 확산한 스핀 편극 캐리어가 열방출에 의해 베이스 225로 핫 캐리어로 주입된다. 에미터 221과 베이스 225가 평행자화를 가지는 경우에는 베이스 225에 주입된 스핀 편극 핫 캐리어는 스핀의존 산란을 받지 않고 콜렉터에 도달할 수 있지만, 에미터 221과 베이스 225가 반 평행자화의 경우에는 스핀 편극 핫 캐리어는 스핀의존 산란에 의해 베이스 전류로 된다. 이 트랜지스터 220에서도, 베이스에서의 스핀의존 산란을 이용하기 위해 상기 스핀 트랜지스터 200과 동일하게 평행자화 및 반 평행자화를 가지는 경우 각각에서의 전류 전송율의 비와 평행자화의 경우에서의 전류 전송율 사이에 트레이드 오프 관계가 존재한다. 단, 터널주입을 사용한 상기 스핀 트랜지스터 200에 비하여, 전류 구동력을 크게 잡을 수 있다는 특징이나 실온 작동(room-temperature operation)을 실현하기 쉽다는 특징이 있다.

도 9는 스핀 필터 효과를 이용한 핫 일렉트론 트랜지스터 형의 스핀 트랜지스터의 에너지 밴드 다이어그램이다. 전기 트랜지스터에 대해서는 이미 상세히 설명하였지만, 간단히 그 특징을 설명한다. 도 9에 도시한 스핀 트랜지스터 240은 에미터 장벽 243 및 콜렉터 장벽 247이 IFS에 의해 구성되어 있다. NM 반도체(또는 NM 금속)로 된 에미터 241로부터는 에미터 장벽 243의 스핀 필터 효과에 의해 선택적으로 한 쪽의 스핀을 가진 캐리어만을 NM 반도체(또는 NM 금속)로 된 베이스 245에 주입할 수 있다. 베이스 폭을 스핀 편극을 핫 캐리어의 평균자유행정 이하에 설정해 두면, 베이스 245에 주입된 스핀 편극을 핫 캐리어는 탄도적으로 베이스 245를 전도한다. 이 때, 콜렉터 장벽 247의 업스핀 밴드(도 9에서는 윗방향 화살표가 붙어있는 스핀 밴드)와 다운스핀 밴드(도 9에서는 아래방향 화살표가 붙어있는 스핀 밴드)의 에너지 분열 폭 내에 스핀 편극 핫 캐리어가 주입되도록 스핀 트랜지스터 240을 바이어스해 둔다. 에미터 장벽 243과 콜렉터 장벽 247이 평행자화를 가지는 경우에는 베이스 245에 주입된 스핀 편극 핫 캐리어는 콜렉터 장벽 247의 스핀 필터 효과에 의해 콜렉터 장벽 247에서의 낮은 에너지 스핀 밴드에 의한 장벽을 넘고, NM 반도체(또는 NM 금속)로 된 콜렉터 251로 전과할 수 있다. 한편, 에미터 장벽 243과 콜렉터 장벽 247이 반 평행자화를 가지는 경우에는 콜렉터 장벽 247의 스핀 필터 효과에 의해 스핀 편극 핫 캐리어의 대부분은 콜렉터 장벽 247을 넘을 수 없고 베이스 전류로 된다.

따라서, 스핀 트랜지스터 240에 있어서, 에미터 장벽 243과 콜렉터 장벽 247의 상대적인 자화방향에 따라 전류 전송율(또는 전류 증폭율)이 다르다. 스핀 필터 효과는 스핀의 선택율이 매우 높기 때문에 이 트랜지스터에서는 평행자화와 반 평행자화 각각의 경우에서의 전류 전송율의 비를 크게 할 수 있다.

또한, 스핀 트랜지스터 240에서는 베이스 폭을 충분히 짧게 할 수 있다. 따라서, 도 7, 도 8에 도시한 스핀의존 산란을 이용한 스핀 트랜지스터와 달리, 베이스 폭에 관한 전류 증폭율과 스핀 선택성 사이의 트레이드 오프는 존재하지 않는다는 이점이 있다.

도 10은 터널 베이스 트랜지스터 형의 스핀 트랜지스터의 에너지 밴드 다이어그램이다. 도 10에 도시한 것과 같이, 터널 베이스 트랜지스터 형의 스핀 트랜지스터 260에서는 에미터 261과 콜렉터 265에 p형(또는 n형)의 FS를 사용

하고, 터널 베이스 263에 n형(또는 p형)의 NM 반도체를 사용한다. 에미터-베이스 사이 및 베이스-컬렉터 사이는 정공(또는 전자)에 대하여 베이스 263이 장벽이 되도록 하는 타입 II의 헤테로 접합을 이용하는 것이 바람직하다. 또한, 베이스 폭은 에미터로부터 컬렉터에 터널 전류가 발생하는 정도로 얇게 한다.

도 10에 도시한 구조에 있어서, 에미터 261과 컬렉터 265가 평행자화를 가지는 경우에는 에미터의 다수 스핀을 가지는 캐리어는 용이하게 컬렉터 265에 터널할 수 있기 때문에 터널 컨덕턴스는 크지만, 에미터 261과 컬렉터 265가 반 평행자화를 가진 경우에는 터널 자기저항 효과(TMR 효과)에 의해 터널 컨덕턴스는 작다. 따라서, 에미터 261과 컬렉터 265의 상대적인 자화상태에 따라 컬렉터 전류의 크기를 제어할 수 있다.

이러한 스핀 트랜지스터 260에서 TMR비를 크게 잡을 수 있다면, 에미터-컬렉터 사이의 자화상태에 의존하는 컬렉터 전류의 변화를 크게 하는 것이 가능하게 된다. 스핀 트랜지스터 260에서, TMR 효과를 유효하게 발현시키기 위해서는 베이스-컬렉터 접합에 역 바이어스를 인가한 경우에 공핍층(depression layer)이 컬렉터 측에 확장되지 않도록 하는 것이 바람직하다. 단, 공핍층이 베이스 측에 확대되면 컬렉터 전류의 포화특성에 문제가 발생할 가능성이 존재한다.

상기 스핀 트랜지스터 260에 있어서, 베이스 층에 공핍층이 확대되지 않도록 베이스 층을 고농도 도핑하고, 베이스-컬렉터 접합의 공핍층이 컬렉터 측에 확대되지 않도록 한 경우에는 베이스에서의 TMR 효과는 기대할 수 없지만 컬렉터에 주입된 캐리어는 컬렉터 내에서 스핀의존 산란에 의한 저항을 발생한다. 이 스핀의존 산란을 이용하면, 에미터-컬렉터 사이의 자화상태에 의해 컬렉터 전류의 크기를 변경할 수 있다. 단, 스핀의존 산란에 의한 저항변화는 작기 때문에 TMR 효과를 이용한 경우와 비교하여 그 효과가 크지 않을 가능성이 있다.

다음으로, 전압 구동형 스핀 트랜지스터 군에 대하여 도면을 참조하여 설명한다.

도 11은 MOS 트랜지스터 형의 스핀 트랜지스터의 단면 구조도를 도시한 도면이다. 도 11에 보는 바와 같이, MOS 트랜지스터 형의 스핀 트랜지스터 300은 NM 반도체 301 상에 FM으로 된 소스 303, FM으로 된 드레인 305 및 게이트 절연막 307을 통하여 게이트 311과 형성된 구조를 가지고 있다. FM과 NM 반도체의 쇼트키 접합을 소스 303과 드레인 305에 사용하고 있으며, 기타의 구성은 통상의 MOS 트랜지스터와 동일하다.

소스 303부터 NM반도체 301에서의 게이트 절연막 307의 바로 밑에 형성된 채널에 주입된 스핀 편극 캐리어는 이 채널을 지나 드레인 305에 도달한다(이하, 간단하게 하기 위해 채널에 주입된 스핀 게이트 전계에 의한 Rashba 효과의 영향을 무시한다). 소스 303과 드레인 305가 평행자화를 가진 경우는 드레인 305에 주입된 스핀 편극 캐리어는 스핀의존 산란을 받지 않지만, 반 평행자화를 가진 경우에는 드레인 전극 305에서의 스핀의존 산란에 의한 저항이 생긴다.

따라서, 이 트랜지스터 300에서는 소스-드레인 사이의 상대적인 자화방향에 따라 상호 컨덕턴스가 다르다.

또한, 소스 303과 드레인 305에 FS를 이용하여 반도체 301과의 사이에 pn접합을 형성시키고, 소스 및 드레인을 형성하는 것도 가능하다.

도 12는 변조 도핑된 트랜지스터 형의 스핀 트랜지스터의 단면 구조도를 도시한 도면이다. 이 스핀 트랜지스터 320은 제 1 NM 반도체 321과 제 2 NM 반도체 327의 계면에 발생하는 2차원 캐리어 가스에 대한 FM(또는 FS)으로 된 소스 323과 FM(또는 FS)으로 된 드레인 325 및 게이트 전극 331로부터 형성된 구조를 가지고 있다. 소스 323과 드레인 325가 강자성체로 구성된 것 이외는 통상의 변조 도핑된 트랜지스터와 동일하다.

소스 323으로부터 스핀 편극 캐리어를 2차원 캐리어가스에 의해 형성된 채널 333에 주입한다. 드레인 325에 도달한 스핀 편극 캐리어는 드레인 325에서의 스핀의존 산란때문에, 소스 323과 이 드레인 325의 상대적인 자화방향에 따라 상호 컨덕턴스가 다르다.

도 13은 채널 영역에 FS를 이용한 MOS 트랜지스터 형의 스핀 트랜지스터의 단면도이다. 도 13에 도시한 스핀 트랜지스터 340은 FS 341 상에 FM으로 된 소스 343과 NM(또는 FM, FS)으로 된 드레인 345 및 게이트 절연막 347을 통하여 게이트 전극 351이 형성된 구조를 가지고 있다. FM과 FS의 쇼트키 접합을 소스 343에 이용하고 있으며, 기타 구성은 통상의 MOS 트랜지스터와 동일하다.

소스 343으로부터 쇼트키 장벽을 통하여 스핀 편극 캐리어를 채널 341 내에 터널 주입한다. 이 터널주입 시의 TMR 효과 및 FS 341의 채널 내에서의 스핀의존 산란에 의해, 소스 343과 FS 341의 상대적인 자화방향에 의존하는 상호 컨덕턴스를 실현한다.

도 14에 단면구조를 도시한 스핀 트랜지스터 360은 절연성의 NM 터널 장벽 365를 FM(또는 FS)으로 된 소스 361과 FM(또는 FS)으로 된 드레인 363으로 끼워넣은 터널 접합 구조를 가지고 있으며, 터널 장벽 365에 대하여 전계를 인가할 수 있도록 게이트 전극 371을 배치한 스핀 트랜지스터이다.

터널 장벽 365의 막두께는 소스-드레인 사이의 바이어스만을 인가한 경우에 Fowler-Nordheim(FN) 터널이 발생하지 않는 정도의 두께로 설정해 두는 것이 바람직하다. 소스-드레인 사이에 바이어스를 인가함에 따라 발생하는 터널 장벽 밴드단의 삼각 포텐셜을 게이트 전압에 의해 변화시킴으로 FN 터널을 유도하고 드레인 전류를 얻는다.

소스 361로부터 주입된 스핀 편극 캐리어는 소스 361과 드레인 363의 상대적인 자화상태에 따라, 드레인 363에서 스핀의존 산란을 받는다. 따라서, 소스-드레인 사이의 상대적인 자화방향에 따라 트랜지스터의 상호 컨덕턴스를 제어할 수 있다.

도 15에 단면구조를 도시한 스핀 트랜지스터 380은 도 14에 도시한 스핀 트랜지스터 360의 터널 장벽을 IFS로 된 터널 장벽 385에 치환한 것이다. 소스 381은 FM 또는 FS일 필요가 있지만 드레인 383은 강자성체가 아니어도 좋다. IFS 터널 장벽층 385에서는 캐리어의 스핀 방향에 따라 장벽높이가 다르지만 소스 381과 터널장벽 385가 평행 자화를 가지는 경우에 트랜지스터가 도통상태로 되도록 소스-드레인 사이 및 소스-게이트 사이에 바이어스를 가한다. 이것과 동일한 바이어스 조건 하에서, 소스 381과 터널 장벽 385가 반 평행자화를 가지는 경우에는 소스 381의 다수 스핀으로부터 본 터널장벽의 높이가 높게 되기때문에 스핀 편극 캐리어의 터널확률이 감소하고 드레인 전류가 저감한다. 이 스핀 필터 효과에 의한 스핀 선택율은 매우 크기 때문에 스핀 분극율이 큰 강자성체를 소스 381로 이용하면, 소스-드레인 사이의 상대적인 자화방향에 의한 상호 컨덕턴스의 변화를 크게 할 수가 있다.

이상, 설명한 여러가지의 스핀 트랜지스터는 어느것이라도 도 4 또는 도 6에 도시한 기억회로 용의 메모리 셀로 이용할 수가 있다.

또한, 두 개의 도 11, 14 및 15에 도시한 두 개의 전압 구동형 스핀 트랜지스터의 소스를 한 개의 소스로 공통으로 한 구조를 형성할 수도 있다. 도 16(A)은 공통 소스 구성을 가지는 메모리 셀의 구성예를 도시한 도면이다. 도 16(B)는 공통 소스 구성을 가지는 메모리 셀의 단면구조 예를 도시한 도면이다.

도 16(A), (B)에 도시한 메모리 셀 구조는 서로 인접한 제 1 스핀 트랜지스터 Tr1, 제 2 스핀 트랜지스터 Tr2, 제 1 스핀 트랜지스터 Tr1의 게이트 전극 G1, 제 2 스핀 트랜지스터 Tr2의 게이트 전극 G2를 공통접속하는 워드선 WL, 제 1 스핀 트랜지스터 Tr1의 제 1 드레인 D1과 접속하는 제 1 비트선 BL1, 제 2 스핀 트랜지스터의 제 2 드레인 D2와 접속하는 제 2 비트선 BL2, 제 1 및 제 2 스핀 트랜지스터 Tr1, Tr2에 공통의 강자성 소스 S 및 이것을 접지하는 배선을 가진다. 상기 구조를 이용하면, 소스를 공통으로 하기때문에 더욱 고밀도 집적화에 적합한 셀 구조로 된다.

특히, 도 11, 14 및 15에 도시한 전압 구동형 스핀 트랜지스터에서는 차단시의 리크전류를 최소한으로 억제하기 때문에 도 16(B)에 도시한 것과 같은 절연성이 높은, 예를 들어, SOI 기판 등을 이용하는 것이 바람직하다.

이상, 설명한 바와 같이, 본 발명의 실시태양에 의한 스핀 필터 트랜지스터 및 그의 다른 실시태양으로 도시한 여러가지의 스핀 트랜지스터는 출력특성을 디바이스 내에 포함하는 층과 프리 층의 상대적인 자화방향에 따라 제어할 수 있다는 특징적인 특성을 가진다. 이 상대적인 자화상태는 전력을 공급하지 않아도 상태를 유지할 수 있는 소위, 비휘발성의 성질을 가진다. 따라서, 이 상대적인 자화상태를 2값의 정보로 비휘발성으로 기억할 수가 있다. 또한, 상기의 출력특성을 이용하면, 이 상대적인 자화상태를 전기적으로 검출할 수가 있다. 즉, 스핀 트랜지스터를 이용하면, 하나의 스핀 트랜지스터 만으로 1비트의 비휘발성 메모리 셀을 구성할 수가 있다. 더욱이, 본 실시태양에 의한 스핀 트랜지스터를 이용한 비휘발성 메모리 회로를 이용하면, 기억정보에 대한 출력신호의 크기 및 출력신호 비를 자유롭게 설계할 수 있다.

따라서, 본 발명의 실시태양에 의한 스핀 트랜지스터 및 그것을 이용한 메모리 회로를 이용하면, 비휘발성 메모리 회로의 동작속도 및 집적도를 향상시킬 수 있는 이점이 있다.

이상, 실시태양을 따라 본 발명을 설명하였지만, 본 발명이 이들 실시태양에 제한되는 것은 아니다. 그밖에 각종의 변경, 개량, 조합이 가능함은 당업자에게 있어서 자명한 것이라 할 수 있다.

### 산업상 이용 가능성

이상과 같이, 본 발명의 스핀 필터 트랜지스터에 의하면, 강자성 장벽층 사이의 상대적인 자화방향에 따라 출력특성을 크게 변화시킬 수 있다.

또한, 이 스핀 필터 트랜지스터 및 이것과 동등의 특성을 가지는 다른 스핀 트랜지스터를 메모리 셀로 이용한 비휘발성 메모리 회로는 트랜지스터 내에 포함된 강자성체 사이의 상대적인 자화방향에 따라 두 값의 정보를 기억할 수 있을 뿐 아니라, 이 상대적인 자화방향을 전기적으로 검출할 수 있다. 또한, 본 발명의 비휘발성 메모리 회로를 이용하면, 기억정보에 대한 출력신호를 자유롭게 설계할 수 있다. 따라서, 상기 스핀 트랜지스터를 이용하면, 하나의 트랜지스터 만으로 1비트의 비휘발성 메모리 셀을 구성하는 고속이면서 고집적밀도의 비휘발성 기억회로의 실현이 가능하게 된다.

### (57) 청구의 범위

#### 청구항 1.

스핀 필터 효과에 의해 스핀 편극된 핫 캐리어(hot carrier)를 주입하는 스핀 인젝터와 전기 주입된 스핀 편극 핫 캐리어를 스핀 필터 효과에 의해 선별하는 스핀 분석기를 가지는 것을 특징으로 하는 트랜지스터.

#### 청구항 2.

제 1항에 있어서,

상기 스핀 인젝터는 양단에 전압을 인가함에 의해 캐리어의 터널이 가능한 제 1 강자성 장벽층(ferromagnetic barrier layer), 전기 제 1 강자성 장벽층의 일단면에 접합한 제 1 비자성 전극층(nonmagnetic electrode layer) 및 전기 제 1 강자성 장벽층의 타단면에 접합한 제 2 비자성 전극층을 가지는 것을 특징으로 하는

트랜지스터.

**청구항 3.**

제 1항 또는 제 2항의 어느 한 항에 있어서,

상기 스핀 분석기는 제 2 강자성 장벽층, 전기 제 2 강자성 장벽층의 일단면에 접합한 전기 제 2 비자성 전극층, 전기 제 2 강자성 장벽층의 타단면에 접합한 제 3 비자성 전극층을 가지고 있으면서, 상기 스핀 인젝터와 전기 제 2 비자성 전극층을 공통으로 하는 것을 특징으로 하는

트랜지스터.

**청구항 4.**

제 2항 또는 제 3항의 어느 한 항에 있어서,

상기 제 1 및 제 2 강자성 장벽층은 강자성 반도체 또는 강자성 절연체를 포함하고 있는 것을 특징으로 하는

트랜지스터.

**청구항 5.**

제 1항 내지 제 4항의 어느 한 항에 있어서,

상기 제 2 비자성 전극층의 두께는 전기 제 2 비자성 전극층에서의 스핀 편극 핫 캐리어의 평균자유행정(mean free path) 이하의 두께인 것을 특징으로 하는

트랜지스터.

**청구항 6.**

제 1항 내지 제 5항의 어느 한 항에 있어서,

상기 스핀 인젝터의 스핀 필터 효과(spin filter effect)는 상기 제 1 비자성 전극층과 제 2 비자성 전극층에서 전압을 인가하여 발생시키는 상기 제 1 강자성 장벽층의 캐리어의 터널효과에 있어서, 전기 제 1 비자성 전극층에 존재하는 캐리어 중, 전기 제 1 강자성 장벽층의 밴드단에서의 스핀 밴드와 평행한 스핀 방향을 가지는 캐리어의 터널확률이 크고, 반 평행으로 된 스핀 방향을 가지는 캐리어의 터널확률이 작은 것을 이용함을 특징으로 하는

트랜지스터.

**청구항 7.**

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 스핀 분석기의 스핀 필터 효과는 상기 스핀 인젝터로부터 주입된 스핀 편극 핫 캐리어의 스핀 방향과 상기 제 2 강자성 장벽층의 밴드 단(band edge)에서의 스핀 밴드의 스핀 방향이 평행한 경우에는, 전기 스핀 편극 핫 캐리어가 전기 제 2 강자성 장벽층의 밴드단에서의 스핀 밴드를 전도하고, 상기 제 3 비자성 전극층으로 도달하지만, 전기 스핀 편극 핫 캐리어의 스핀 방향과 전기 제 2 강자성 장벽층 밴드단의 스핀 밴드의 스핀 방향이 반 평행한 경우에는, 전기 스핀 편극 핫 캐리어가 전기 제 3 비자성 전극층으로 도달할 수 없는 것을 이용함을 특징으로 하는

트랜지스터.

**청구항 8.**

제 1항 내지 제 7항 중 어느 한 항에 있어서,

상기 제 1 비자성 전극층과 상기 제 2 비자성 전극층 사이에 제 1 전원에 의한 제 1 전압을 인가하고, 전기 제 2 비자성 전극층과 상기 제 3 비자성 전극층 사이 또는 전기 제 1 비자성 전극층과 전기 제 3 비자성 전극층 사이에 제 2 전원에 의한 제 2 전압을 인가하며, 상기 제 1 강자성 장벽층과 상기 제 2 강자성 장벽층의 상대적인 자화방향에 대응하고, 전기 제 1 비자성 전극층으로부터 전기 제 2 비자성 전극층에 주입된 스핀 편극 핫 캐리어를 전기 제 2 강자성 장벽층과 전기 제 2 전원을 통하여 흐르는 전류로 전환하거나, 전기 제 2 비자성 전극층과 전기 제 1 전원을 통하여 흐르는 전류로 전환하는 것을 특징으로 하는

트랜지스터.

### 청구항 9.

제 8항에 있어서,

상기 제 1 전압은 주입된 스핀 편극 핫 캐리어의 에너지가 상기 제 2 강자성 장벽층 밴드단에서의 스핀 밴드단 에너지보다 크고, 전기 스핀 밴드단의 에너지에 스핀 분열 폭을 가한 에너지보다 작게 되도록 인가 하는 것을 특징으로 하는

트랜지스터.

### 청구항 10.

제 9항에 있어서,

자장을 인가함에 의하여, 상기 제 1 강자성 장벽층과 상기 제 2 강자성 장벽층 내의 어느 쪽이든 한 쪽의 자화방향을 반전시킬 수 있음을 특징으로 하는

트랜지스터.

### 청구항 11.

제 1항 내지 제 10항 중 어느 한 항의 트랜지스터를 메모리 셀(memory cell)로 하는 것을 특징으로 하는 기억회로(memory circuit).

### 청구항 12.

제 11항에 있어서,

상기 트랜지스터의 제 2 비자성 전극층을 워드선(word line)에 접속하고, 전기 트랜지스터의 제 3 비자성 전극층을 비트선(bit line)에 접속하며, 전기 비트선을 부하를 통하여 전원에 접속하고, 전기 트랜지스터의 제 1 비자성 전극층을 접지하는 것을 특징으로 하는

기억회로.

### 청구항 13.

강자성체를 내부에 포함하고, 캐리어의 스핀 방향에 의존하는 출력특성을 가지는 트랜지스터(이하, 「스핀 트랜지스터」로 명명);

전기 강자성체의 자화상태를 변경하여 전기 스핀 트랜지스터 내에 정보를 갱신하는 정보 갱신수단(information rewriting mean); 및,

전기 출력특성으로부터 전기 스핀 트랜지스터 내에 자화상태로 기억된 정보를 읽어내는 정보 해독수단(information reading mean)을 가지는 것을 특징으로 하는 기억소자.

### 청구항 14.

제 13항에 있어서,

상기 스핀 트랜지스터는 자화방향을 독립적으로 제어할 수 있는 강자성체(이하, 「프리 층」으로 명명)와 자화방향을 변경하지 않는 강자성체(이하, 「핀 층」으로 명명)를 적어도 하나씩 가지고 있으며, 전기 프리 층(free layer)과 전기 핀 층(pin layer)이 동일한 자화방향을 가지는 제 1 상태와 다른 자화방향을 가지는 제 2 상태의 두 기억 상태 중 어느 쪽이든 한 쪽을 유지하는 것을 특징으로 하는

기억소자(storage device).

### 청구항 15.

제 14항에 기재된 하나의 스핀 트랜지스터 중 하나를 이용하고, 상기 핀 층에 대응하는 상기 프리 층의 상대적인 자화방향을 의해 정보를 기억하며, 전기 핀 층과 전기 프리 층의 상대적인 자화방향을 의존하는 전기 스핀 트랜지스터의 출력특성에 근거하여 전기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 기억소자.

### 청구항 16.

제 14항 또는 제 15항 중 어느 한 항에 있어서,

스핀 편극 캐리어를 주입하는 제 1 전극구조(electrode structure) 및 전기 스핀 편극 캐리어를 받아들이는 제 2 전극구조와, 전기 제 1 전극구조로부터 전기 제 2 전극구조로 전도하는 스핀 편극 캐리어의 양을 제어하는 제 3 전극구조를 갖추고 있으며, 전기 편 층과 전기 프리 층은 전기 제 1 내지 제 3 전극구조 중 어딘가에 포함되어 있는 것을 특징으로 하는

기억소자.

### 청구항 17.

제 16항에 기재된 하나의 스핀 트랜지스터;

상기 제 1 전극구조를 접지하는 제 1 배선;

상기 제 2 전극구조와 접속하는 제 2 배선; 및,

상기 제 3 전극구조와 접속하는 제 3 배선을 가지는 기억소자.

### 청구항 18.

제 16항에 기재된 하나의 스핀 트랜지스터;

상기 제 1 전극구조를 접지하는 제 1 배선;

상기 제 2 전극구조와 접속하는 제 2 배선;

상기 제 3 전극구조와 접속하는 제 3 배선;

전기 제 2 배선의 일단에 형성된 출력단자; 및,

전기 제 2 배선으로부터 분지하여 부하를 통하여 전원과 접속하는 제 4 배선을 가지는 기억소자.

### 청구항 19.

제 17항 또는 제 18항 중 어느 한 항에 있어서,

상기 스핀 트랜지스터 상에서 서로 전기적으로 절연된 상태로 교차하는 제 1 별도 배선 및 제 2 별도 배선을 가지는 것을 특징으로 하는

기억소자.

### 청구항 20.

제 19항에 있어서,

상기 제 1 별도 배선 및 상기 제 2 별도 배선 또는 전기 제 1 별도 배선이나 전기 제 2 별도 배선의 어느 쪽이든 한 쪽에 대신하여, 상기 제 2 배선 및 상기 제 3 배선 또는 전기 제 2 배선이나 전기 제 3 배선의 어느 쪽이든 한 쪽을 사용하는 것을 특징으로 하는

기억소자.

### 청구항 21.

제 19항 또는 제 20항에 있어서,

상기 제 1 별도 배선 및 제 2 별도 배선 또는 상기 제 2 배선 및 상기 제 3 배선에 전류를 흐르게 하여 유도된 자장에 의하여, 전기 프리 층의 자화를 반전시키고, 전기 편 층과 전기 프리 층 사이의 상대적인 자화상태를 변화시켜 정보의 갱신을 수행함을 특징으로 하는

기억소자.

### 청구항 22.

제 17항 또는 제 18항에 있어서,

상기 제 3 배선에 대하여 제 1 바이어스(bias)를 가하고, 상기 제 1 배선과 제 2 배선 사이에 제 2 바이어스를 가한 경우의 상기 스핀 트랜지스터의 출력특성에 근거하여 정보를 읽어내는 것을 특징으로 하는

기억소자.

### 청구항 23.

제 18항 내지 제 22항 중 어느 한 항에 있어서,

상기 제 3 배선에 대하여 제 1 바이어스를 인가한 경우에 있어서, 상기 전원과 상기 제 1 배선 사이에 발생한 상기 부하와 상기 스핀 트랜지스터를 통하는 전류에 의한 전기 부하의 전압 강하에 근거하여 수득된 출력전압에 의하여 정보를 읽어내는 것을 특징으로 하는

기억소자.

### 청구항 24.

매트릭스(matrix) 상에 배열된 제 16항에 기재된 하나의 스핀 트랜지스터;

상기 제 1 전극구조를 각각 접지하는 제 1 배선;

열 방향에 배열된 전기 스핀 트랜지스터의 상기 제 3 전극구조를 공통으로 접속하는 복수의 워드선; 및,

행 방향에 배열된 전기 스핀 트랜지스터의 상기 제 2 전극구조를 공통으로 접속하는 복수의 비트선을 가지는 기억 회로.

### 청구항 25.

매트릭스 상에 배열된 제 16항에 기재된 스핀 트랜지스터;

상기 제 1 전극구조를 각각 접지하는 제 1 배선;

열 방향에 배열된 전기 스핀 트랜지스터의 상기 제 3 전극구조를 공통으로 접속하는 복수의 워드선;

행 방향에 배열된 전기 스핀 트랜지스터의 상기 제 2 전극구조를 공통으로 접속하는 복수의 비트선;

전기 비트선의 일단에 형성된 출력단자; 및,

전기 비트선으로부터 분지하여 부하를 통하여 전원에 접속하는 제 2 배선을 가지는 기억회로.

### 청구항 26.

제 24항 또는 제 25항 중 어느 한 항에 있어서,

상기 트랜지스터 상에서 서로 전기적으로 절연된 상태로 교차하는 제 1 별도 배선 및 제 2 별도 배선을 가지는 것을 특징으로 하는

기억회로.

### 청구항 27.

제 26항에 있어서,

상기 제 1 별도 배선 및 상기 제 2 별도 배선 또는 전기 제 1 별도 배선이나 전기 제 2 별도 배선의 어느 쪽이든 한 쪽에 대신하여, 상기 워드선 및 상기 비트선 또는 전기 워드선이나 전기 비트선의 어느 쪽이든 한 쪽을 사용하는 것을 특징으로 하는

기억회로.

### 청구항 28.

제 26항 또는 제 27항에 있어서,



상기 제 1 별도 배선 및 제 2 별도 배선 또는 상기 워드선 및 상기 비트선에 전류를 흐르게 하여 유도된 자장에 의하여, 상기 프리 층의 자화를 반전시키고, 전기 프리 층과 상기 핀 층 사이의 상대적인 자화상태를 변화시켜 정보의 갱신을 수행하는 것을 특징으로 하는

기억회로.

**청구항 29.**

제 24항 또는 제 25항 중 어느 한 항에 있어서,

상기 워드선에 대하여 제 1 바이어스를 가하고, 상기 제 1 배선과 상기 비트선 사이에 제 2 바이어스를 가한 경우의 상기 스핀 트랜지스터의 출력특성에 근거하여 정보를 읽어내는 것을 특징으로 하는

기억회로.

**청구항 30.**

제 25항 내지 제 27항 중 어느 한 항에 있어서,

상기 워드선에 대하여 제 1 바이어스를 인가한 경우에 있어서, 상기 전원과 상기 제 1 배선 사이에 발생하는 상기 부하와 상기 스핀 트랜지스터를 통하는 전류에 의한 전기 부하의 전압강하에 근거하여 수득된 출력전압에 의하여 정보를 읽어내는 것을 특징으로 하는

기억회로.

**청구항 31.**

제 16항에 기재된 제 1 및 제 2 두 개의 스핀 트랜지스터;

전기 제 1 및 전기 제 2 스핀 트랜지스터에 공통의 제 1 전극구조를 접지하는 제 1 배선;

전기 제 1 스핀 트랜지스터가 가지는 제 2 전극구조와 전기 제 2 스핀 트랜지스터가 가지는 제 2 전극구조를 각각 접속하는 제 2 및 제 3 배선; 및,

전기 제 1 스핀 트랜지스터가 가지는 제 3 전극구조와 전기 제 2 스핀 트랜지스터가 가지는 제 3 전극구조를 접속하는 제 4의 배선을 가지는 기억소자.

**청구항 32.**

매트릭스 상에 배치된 제 16항에 기재된 복수의 스핀 트랜지스터;

복수의 전기 스핀 트랜지스터 중, 행 방향에 복수 배치된 제 1 스핀 트랜지스터의 행과 전기 제 1 스핀 트랜지스터의 행과 열 방향에 인접하여 행 방향에 복수배치된 제 2 스핀 트랜지스터의 행이 가지는 각각의 상기 제 1 전극구조를 공통으로 하면서 동시에 접지하는 제 1 배선;

복수의 전기 스핀 트랜지스터 중, 행 방향에 복수 배치된 제 1 스핀 트랜지스터의 행이 가지는 상기 제 2 전극구조를 공통으로 접속하는 제 1 비트선과 전기 제 1 스핀 트랜지스터의 행과 열 방향에 인접하는 제 2 스핀 트랜지스터의 행이 가지는 전기 제 2 전극구조를 공통으로 접속하는 제 2 비트선; 및,

복수의 전기 스핀 트랜지스터 중, 열 방향에 복수배치된 스핀 트랜지스터의 열이 가지는 제 3 전극구조를 공통으로 접속하는 워드 배선을 가지는 기억회로.

**청구항 33.**

매트릭스 상에 배치된 제 16항 기재의 복수 스핀 트랜지스터;

복수의 전기 스핀 트랜지스터 중, 행 방향에 복수배치된 제 1 스핀 트랜지스터의 행과 전기 제 1 스핀 트랜지스터의 행과 열 방향에 인접하여 행 방향에 복수배치된 제 2 스핀 트랜지스터의 행이 가지는 각각의 상기 제 1 전극구조를 공통으로 하면서 동시에 접지하는 제 1 배선이며, 2행 마다 1개씩 설치된 복수의 배선;

복수의 전기 스핀 트랜지스터 중, 행 방향에 복수배치된 제 1 스핀 트랜지스터의 행이 가지는 상기 제 2 전극구조를 공통으로 접속하는 제 1 비트선이며, 전기 스핀 트랜지스터의 2행 마다 1개씩 설치된 복수의 제 1 비트선과 전기 제 1 스핀 트랜지스터의 행과 열 방향에 인접하는 제 2 스핀 트랜지스터의 행이 가지는 전기 제 2 전극구조를 공통으로 접속하는 제 2 비트선이며, 전기 스핀 트랜지스터의 2행 마다 1개씩 설치된 복수의 제 2 비트선; 및,

복수의 전기 스핀 트랜지스터 중, 열 방향에 복수배치된 스핀 트랜지스터의 열이 가지는 제 3 전극구조를 각각 공통으로 접속하는 복수의 워드선을 가지는 기억회로.

**청구항 34.**

제 20항에 있어서,

상기 제 1 별도 배선 또는 상기 제 2 별도 배선의 어느 쪽이든 한 쪽을 치환한 상기 제 2 배선 또는 상기 제 3 배선 및 이들에 치환되지 않은 쪽의 전기 제 1 별도 배선 또는 전기 제 2 별도 배선에 전류를 흐르게 하여 유도된 자장에 의하여, 전기 프리 층의 자화를 반전시키고, 전기 핀 층과 전기 프리 층 사이의 상대적인 자화상태를 변화시켜 정보를 갱신하는 것을 특징으로 하는

기억소자.

**청구항 35.**

제 27항에 있어서,

전기 제 1 별도 배선 또는 전기 제 2 별도 배선의 어느 쪽이든 한 쪽을 치환한 전기 워드선 또는 전기 비트선 및 이들에 치환되지 않은 쪽의 전기 제 1 별도 배선 또는 제 2 별도 배선에 전류를 흐르게 하여 유도된 자장에 의하여, 전기 프리 층과 전기 핀 층 사이의 상대적인 자화상태를 변화시켜 정보를 갱신하는 것을 특징으로 하는

기억회로.

**요약**

제 1 비자성 전극으로부터 제 1 강자성 장벽층의 밴드단을 구성하는 스핀 밴드와 평행한 스핀을 가지는 캐리어를 제 2 비자성 전극층에 핫 캐리어로 주입하는 스핀 인젝터와 제 2 강자성 장벽층의 밴드단의 스핀 분열에 의해, 전기 제 2 비자성 전극에 주입된 스핀 편극 핫 캐리어의 스핀 방향과 전기 제 2 강자성 장벽층 밴드단의 스핀 밴드의 스핀 방향이 평행한 경우에는 전기 핫 캐리어를 제 3 비자성 전극에 전도시키고, 반 평행한 경우에는 전기 핫 캐리어를 전기 제 3 비자성 전극에 전도시키지 않는 스핀 분석기를 가지는 스핀 트랜지스터 및 전기 스핀 트랜지스터를 이용한 기억소자를 제공한다.

**대표도**

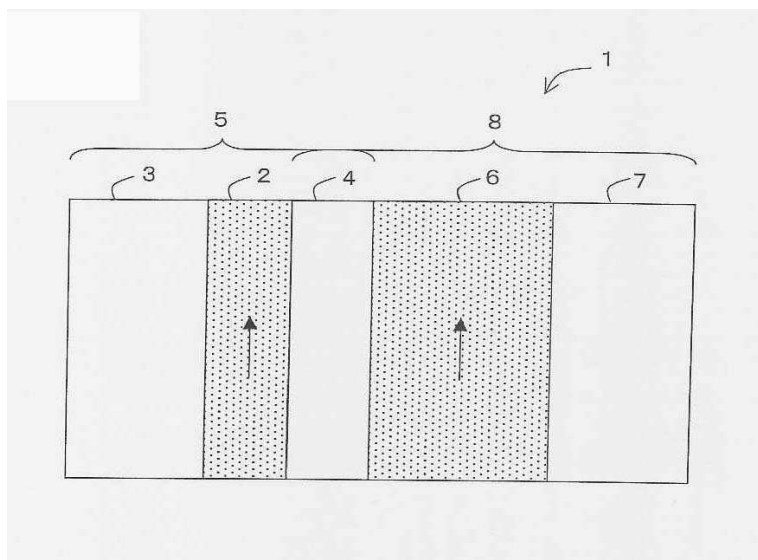
도 2A

**색인어**

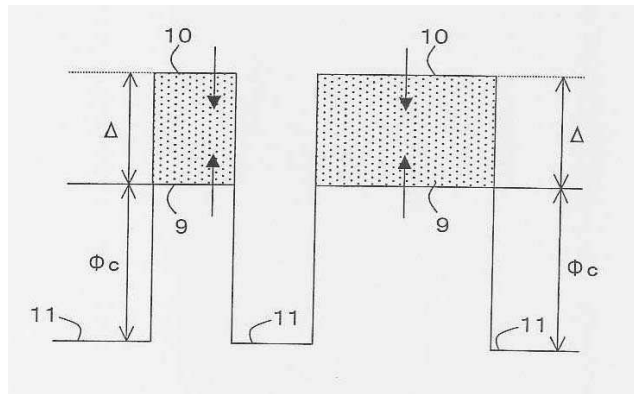
MRAM, 스핀 필터 트랜지스터, 비휘발성 메모리

**도면**

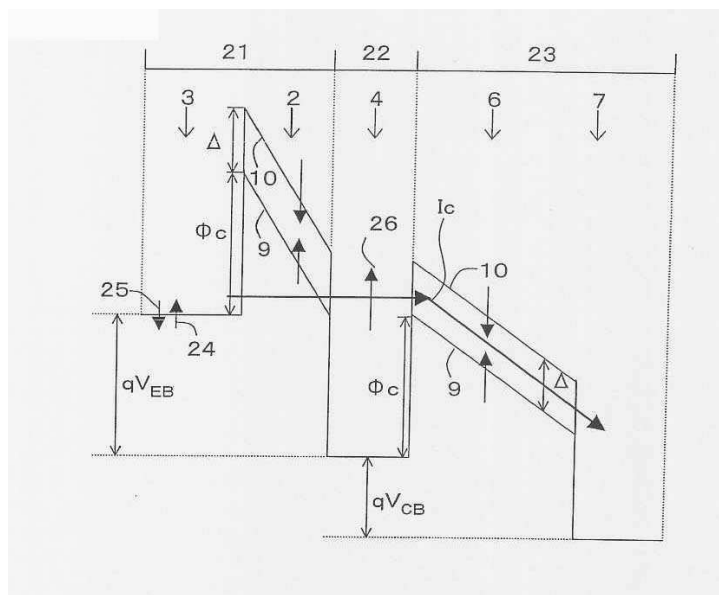
도면1A



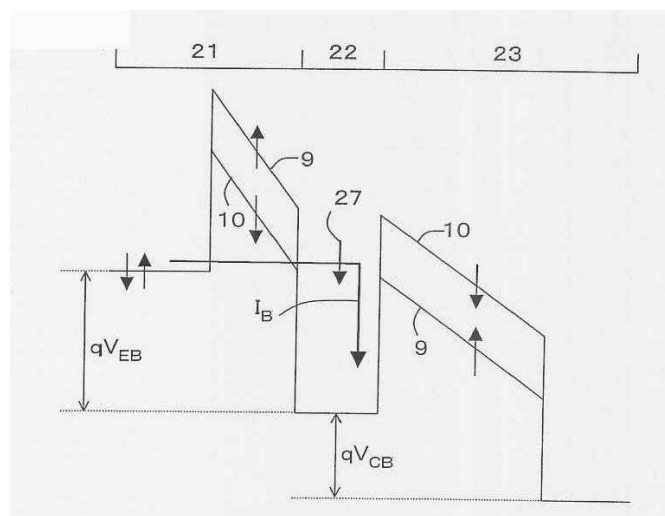
도면1B



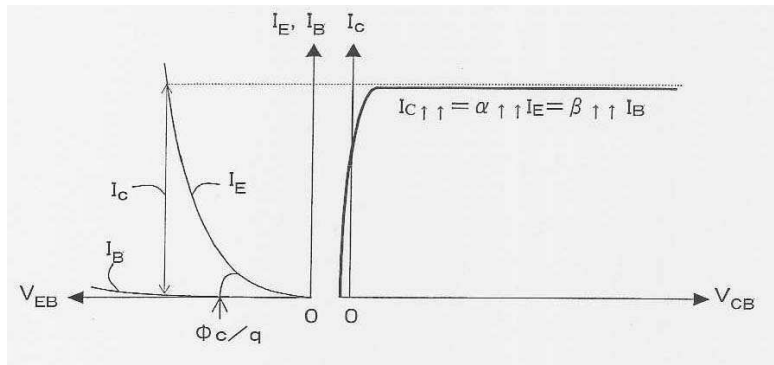
도면2A



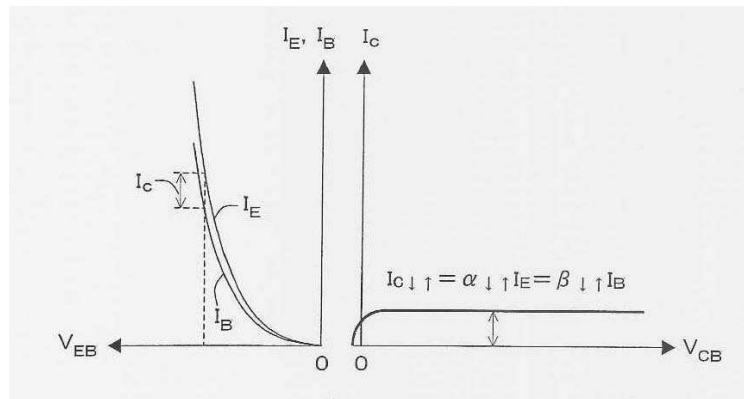
도면2B



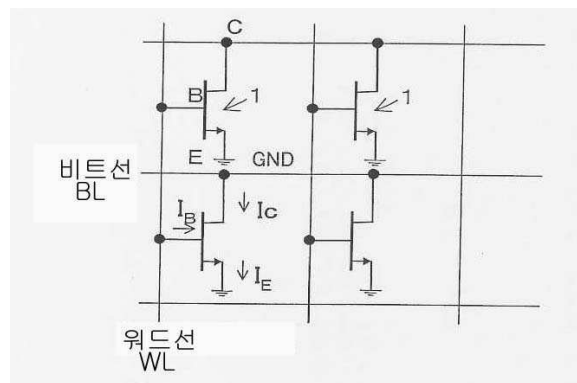
도면3A



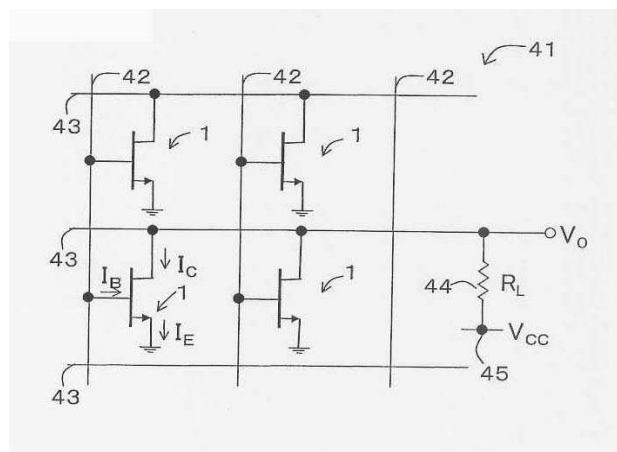
도면3B



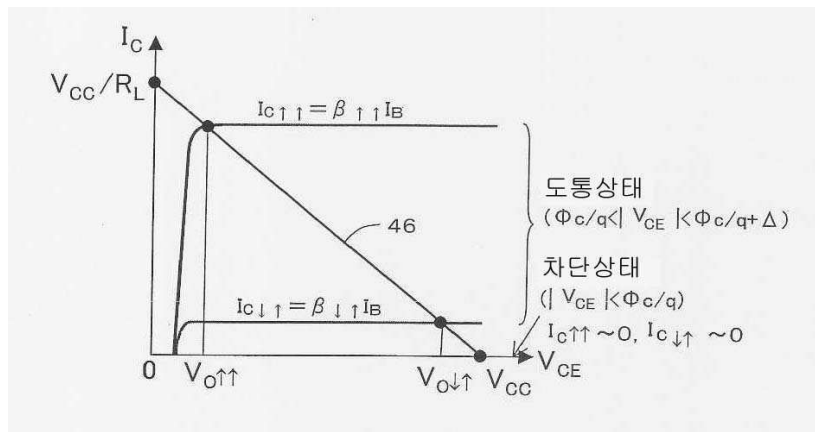
도면4A



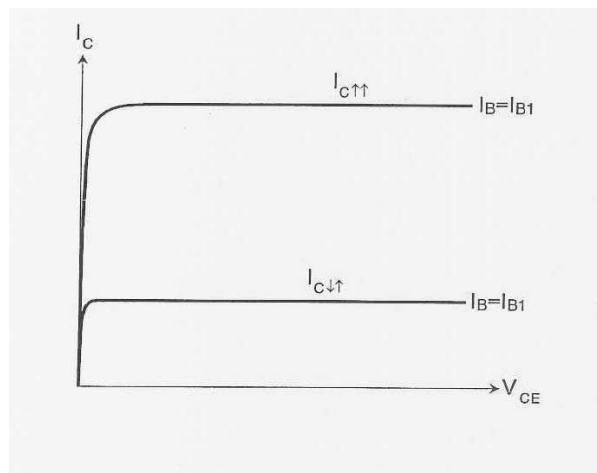
도면4B



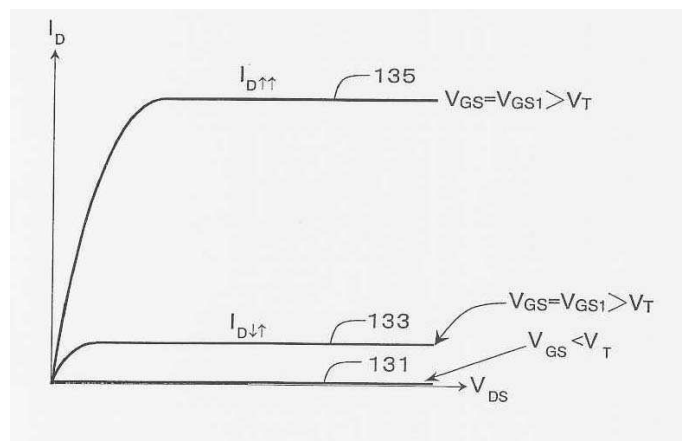
도면4C



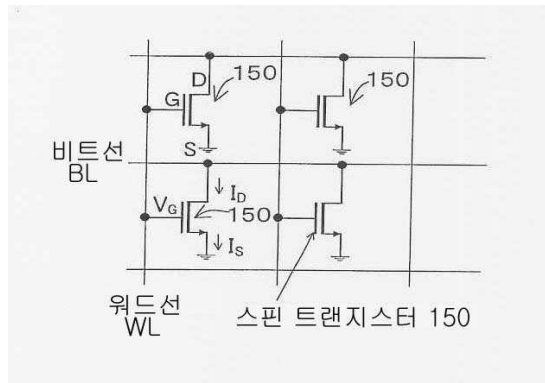
도면5A



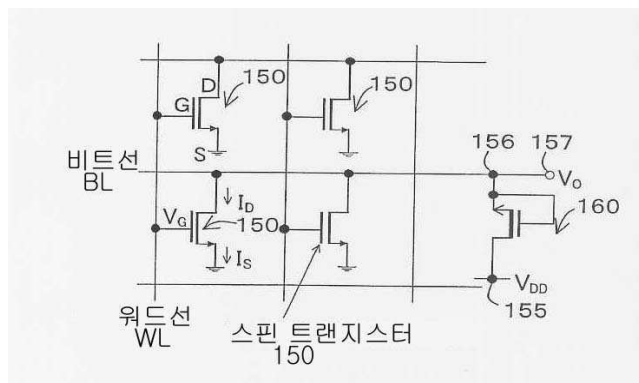
도면5B



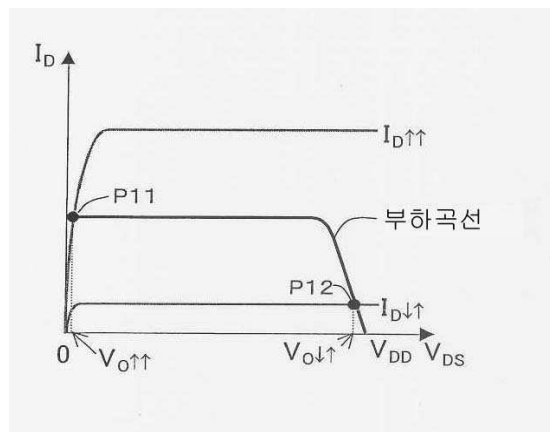
도면6A



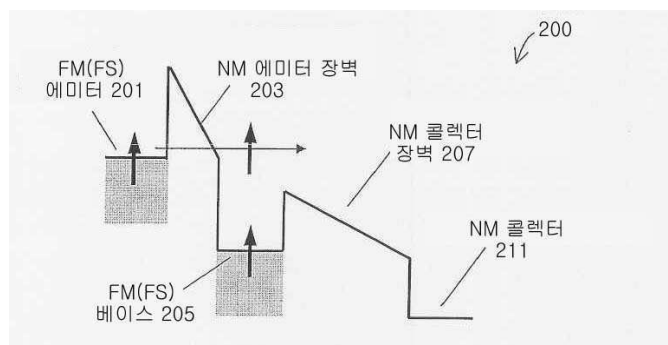
도면6B



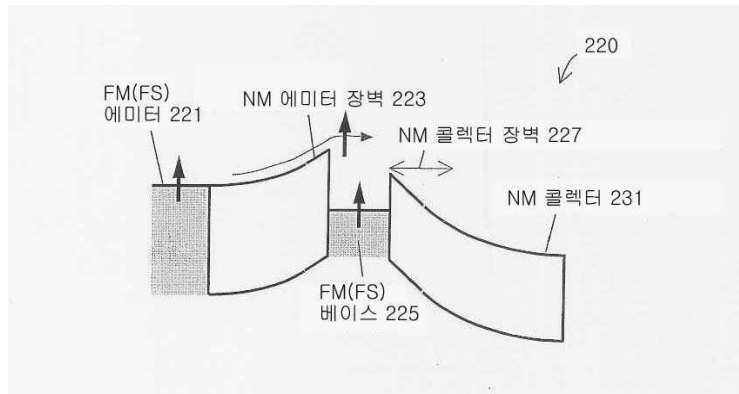
도면6C



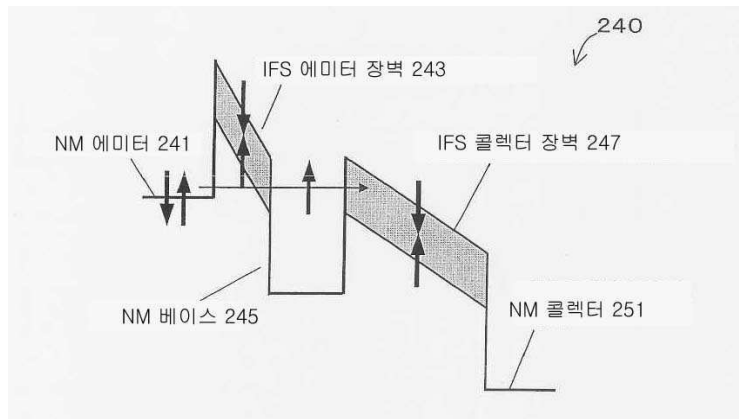
도면7



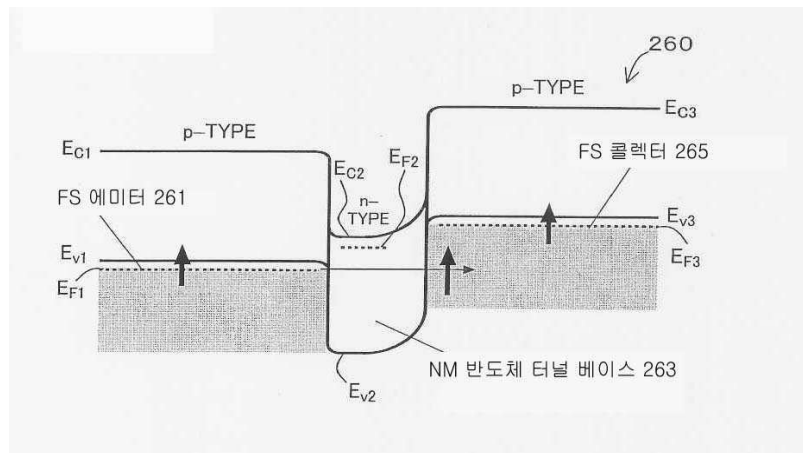
도면8



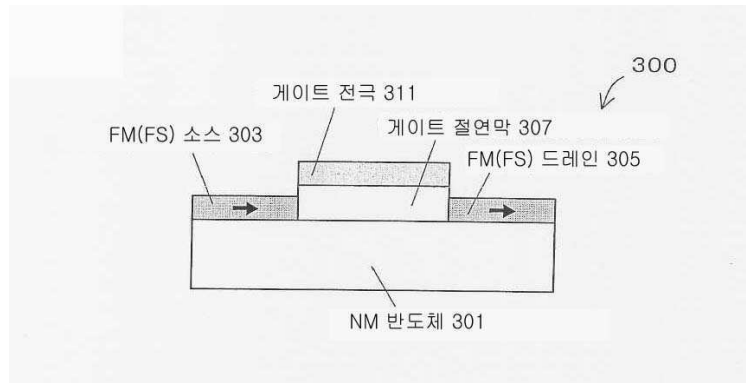
도면9



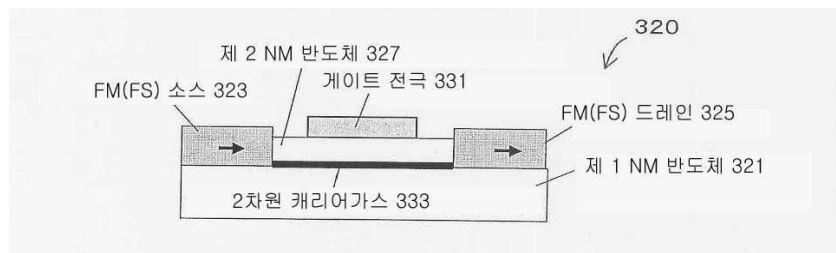
도면10



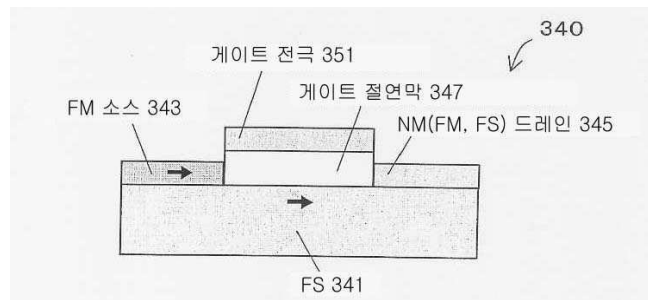
도면11



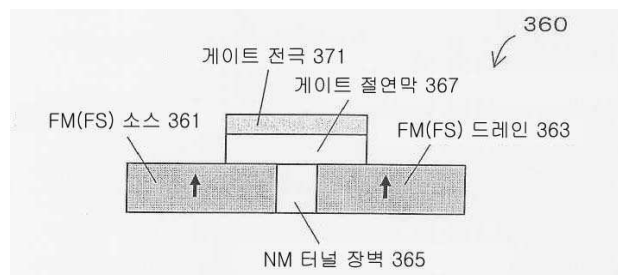
도면12



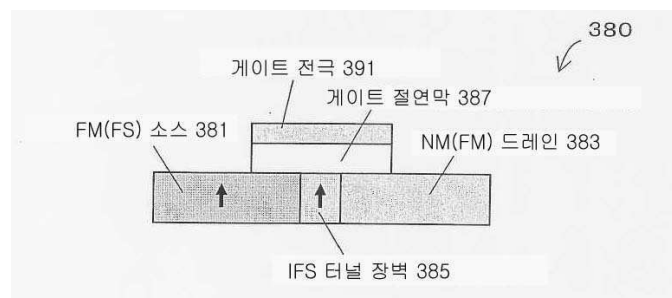
도면13



도면14

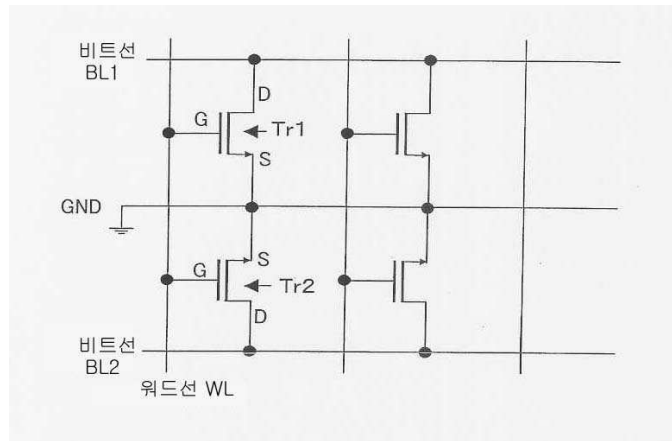


도면15

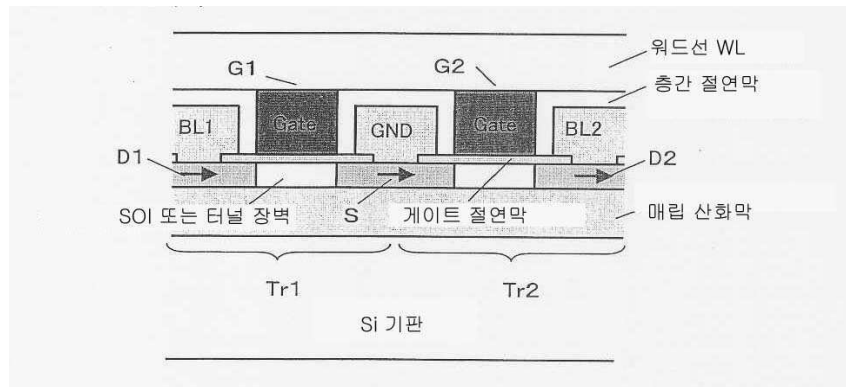




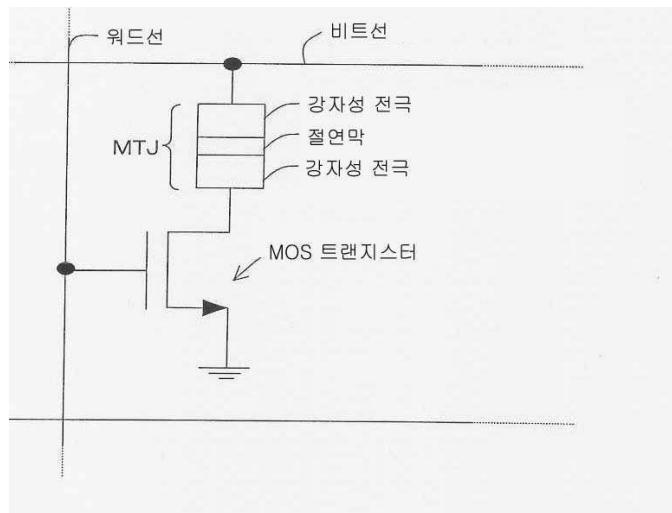
도면16A



도면16B



도면17A



도면17B

