

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 29/82
H01L 27/105

(11) 공개번호 10-2005-0106497
(43) 공개일자 2005년11월09일

(21) 출원번호 10-2005-7016587
(22) 출원일자 2005년09월06일
 번역문 제출일자 2005년09월06일
(86) 국제출원번호 PCT/JP2004/000567 (87) 국제공개번호 WO 2004/079827
 국제출원일자 2004년01월23일 국제공개일자 2004년09월16일

(30) 우선권주장 JP-P-2003-00062453 2003년03월07일 일본(JP)
 JP-P-2003-00164398 2003년06월09일 일본(JP)

(71) 출원인 도꾸리쓰교세이호징 가가꾸 기쥬쓰 신키 기꼬
 일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자 스가하라, 사토시
 일본 231-0821 가나가와켄 요코하마시 나카꾸 혼모꾸하라21-1-603
 다나까, 마사야끼
 일본 336-0921 사이따마켄 사이따마시 미도리꾸 이누마까따647-6-201

(74) 대리인 장수길
 이중희
 구영창

심사청구 : 있음

(54) 스핀 의존 전달 특성을 갖는 전계 효과 트랜지스터 및그것을 이용한 비휘발성 메모리

요약

게이트 전압(V_{GS})의 인가에 의해, 강자성 소스에서의 금속적 스핀 밴드에 의한 쇼트키 장벽 폭이 감소하고, 이 금속적 스핀 밴드로부터의 업 스핀 전자가 채널 영역에 터널 주입된다. 이 때, 강자성 소스(3a)의 반도체적 스핀 밴드에 의한 에너지 장벽에 의해 비자성 콘택트(3b)로부터 다운 스핀 전자는 주입되지 않는다. 즉, 강자성 소스(3a)로부터는 채널층에 업 스핀 전자만이 주입된다. 강자성 소스(3a)와 강자성 드레인(5a)이 평행 자화인 경우는, 업 스핀 전자는 강자성 드레인의 금속적 스핀 밴드를 전도하여 드레인 전류로 되지만, 반평행 자화를 갖는 경우는, 업 스핀 전자는 강자성 드레인(5a)에서의 반도체적 스핀 밴드에 의한 높이(ΔE_C)의 에너지 장벽에 의해 강자성 드레인(5a)을 전도할 수 없다.

상기 동작 원리의 MISFET에 기초하여, 고성능, 고집적 밀도의 비휘발성 메모리를 구성할 수 있다.

대표도

도 2

색인어

스핀 의존 전달 특성, 강자성 소스, 스핀 밴드, 강자성 드레인, 스핀 필터 효과

명세서

기술분야

본 발명은, 신규한 트랜지스터에 관한 것으로서, 더 상세하게는 스핀 의존전달 특성을 갖는 전계 효과 트랜지스터 및 그것을 이용한 비휘발성 메모리에 관한 것이다.

배경기술

최근의 고도 정보화 사회의 발전은 눈부시고, 특히 최근에는 "모바일 기기"를 매개로 하여 급속히 민간으로 확대되고 있다. "모바일 기기"라는 큰 수요는 금후 반도체 산업의 핵심이 될 수 있다고 인식되어 있지만, 그 대응에는 반도체 집적 회로의 고속화, 저소비 전력화, 대용량화라는 종래로부터의 고성능화에 부가하여, 정보의 비휘발이라는 새로운 요구에 부응할 필요가 발생한다. 이와 같은 요구에 대하여, 비휘발 고밀도 기록으로서 우수한 강자성체 스토리지 기술과 반도체 집적 일렉트로닉스 기술을 융합시킨 새로운 메모리 디바이스가 주목을 끌고 있다. 이 디바이스는 자기 랜덤 액세스 메모리(magnetoresistive random access memory;이하, "MRAM"이라 함)라 불리고, 얇은 절연성의 터널 장벽을 강자성 전극으로 끼운 구조를 갖는 강자성 터널 접합(magnetic tunnel junction;이하, "MTJ"라 함)을 그 기억 소자로서 이용한다(예를 들면, K. Inomata, "Present and future of magnetic RAM technology", IEICE Trans. Electron. Vol.E84-C, pp740-746, 2001. 참조).

MTJ에서는 강자성 전극간의 상대적인 자화의 방향에 따라 터널 저항이 달라진다. 이것을 터널 자기 저항(tunnelling magnetoresistance;이하, "TMR"이라 함) 효과라고 부른다. TMR을 이용하면, 강자성체의 자화 상태를 전기적으로 검출하는 것이 가능하게 된다. 따라서, MTJ의 존재에 의해 강자성체에 의한 정보의 비휘발 스토리지 기술을 반도체 집적 일렉트로닉스에 이상적으로 도입하는 것이 가능하게 된다.

이하, 도 10을 참조하여 종래 기술의 일례에 대하여 설명한다. 도 10에 도시한 바와 같이 MRAM의 메모리 셀(100)에서는, 1비트의 메모리 셀을, 1개의 MTJ(101)와 1개의 금속-산화물-반도체 전계 효과 트랜지스터(이하, "MOSFET"라 함)(103)에 의해 구성하는 방법이 주로 이용된다. MTJ(101)는, 제1 강자성 전극(105)과, 제2 강자성 전극(107)과, 양자 사이에 구비된 절연체에 의해 형성된 터널 장벽(절연체)(108)으로 이루어지는 터널 접합이다.

MOSFET(103)의 소스(S)를 접지(GND)하고, 드레인(D)을 MTJ(101)의 한쪽 강자성 전극(107)에 플러그(PL) 등을 이용하여 접속한다. MTJ(101)의 다른 쪽 강자성 전극(105)은 비트선(BL)에 접속하고, 재기입용 워드선(111)은, MTJ(101)의 바로 위 또는 바로 아래에서 MTJ(101) 및 다른 배선과, 절연막(115)에 의해 전기적으로 절연한 상태에서 비트선(BL)과 교차하도록 배치한다. 판독용 워드선(WL)은 MOSFET(103)의 게이트 전극(G)에 접속한다.

강자성체에서는, 자화의 방향을 비휘발로 유지할 수 있기 때문에, MTJ에서는 강자성 전극간의 상대적인 자화 상태를 평행 자화 또는 반평행 자화로 함으로써, 2치의 정보를 비휘발로 기억할 수 있다. 또한, MTJ에서는 TMR 효과에 의해 2개의 강자성 전극간에서의 상대적인 자화 상태에서 터널 저항이 상이하다. 따라서, 평행 자화, 반평행 자화라는 자화 상태에 대응한 터널 저항을 이용하면 MTJ 내의 자화 상태를 전기적으로 검출할 수 있다.

정보의 재기입은, MTJ(101)에서의 2개의 강자성 전극(105, 107)의 유지력을 변경해 두거나, 한쪽 강자성 전극의 자화 방향을 고정해 두고, 유지력이 작은 강자성 전극 또는 자화 방향이 고정되어 있지 않은 강자성 전극을 자화 반전시킴으로써 행한다. 이하, 자화 반전을 행하는 강자성 전극을 프리층, 자화 반전을 행하지 않는 강자성 전극을 핀층이라고 부른다. 구체적으로는, 선택 셀 상에서 교차하는 비트선(BL)과 재기입용 워드선(111)의 각각에 전류를 흘려, 각각의 전류에 의해 유지되는 자계의 합성 자계에 의해 선택된 메모리 셀(100) 내의 MTJ(101)의 자화 상태를 평행 자화 또는 반평행 자화로 변화시킨다. 이 때, 선택한 셀과 동일한 비트선(BL) 또는 재기입용 워드선(111)을 갖는 비선택 셀이 자화 반전하지 않도록, 한쪽 배선만으로부터의 자계에서는 비선택 셀의 MTJ(101)가 자화 반전을 하지 않도록 각각의 배선에 흘리는 전류 값을 설정해 둔다. 정보의 판독은, 선택 셀에 접속된 판독용 워드선(WL)에 전압을 인가하여 MOSFET(103)를 도통시키고 나서, 비트선(BL)을 통해 판독용 구동 전류를 MTJ(101)에 흘린다. MTJ(101)에서는, TMR 효과에 의해 평행 자화 또는

반평행 자화의 자화 상태에 의존하여 터널 저항이 달라지기 때문에, 관독용 구동 전류에 의한 MTJ(101)에서의 전압 강하(이하, "출력 전압"이라 함)를 검출하면 자화 상태를 판정할 수 있다(K. Inomata, "Present and future of magnetic RAM technology", IEICE Trans. Electron. Vol.E84-C, pp740-746, 2001. 참조).

발명의 상세한 설명

MTJ는, 터널 장벽을 사이에 두고 상대하는 강자성 전극의 자화 상태가 평행 자화인지 반평행 자화인지에 대응하여 2치의 저항 값을 얻는다. 이 2치의 정보 중 어느 정보가 기억되어 있는지를 구동 전류로 고감도로 검출하기 위해서는, MTJ 자신의 임피던스(접합 저항)를 조절하여 출력 전압의 크기를 최적화할 필요가 있다.

또한, 정보의 기억 내용을 정확하게 관독하기 위해, 평행 자화와 반평행 자화의 2개의 자화 상태간에서의 출력 신호의 비를 크게 할 필요가 있다. 이 때문에, TMR 비라 불리는 MTJ가 평행 자화를 갖는 경우와 반평행 자화를 갖는 경우의 각각에 있어서의 TMR의 변화율을 크게 할 필요가 있다. TMR 비는, 강자성 전극의 스핀 분극률(P)에 의존하지만, TMR 비를 크게 취하기 위해서는, P의 값이 큰 강자성체를 강자성 전극에 이용하는 것이 필요하다.

또한, MTJ에서의 TMR 비는, MTJ에 인가하는 바이어스 전압에 강하게 의존하여, 바이어스 전압과 함께 급격히 감소한다. 고감도로 또는 고속으로 정보의 관독을 행하기 위해 큰 구동 전류를 MTJ에 흘리면, MTJ에서의 전압 강하가 커지고, TMR 비가 감소한다. 따라서, MTJ에서의 큰 전압 강하가 발생하더라도 TMR 비가 감소하지 않도록, TMR 비의 내 바이어스(bias resistance)가 필요해진다.

MRAM은, 구조가 간단하고, 또한 MTJ는 나노 스케일의 사이즈까지 미세화할 수 있는 점에서, 고밀도 집적화에 적합한 메모리이다. 수 기가비트 이상의 고집적도를 실현하려고 하면, MOSFET의 채널 길이는 0.1 μm 정도 이하로 되는 것이 예상되지만, 이와 같은 미세한 트랜지스터에 맞춰서 미세한 MTJ를 집적화하려고 하여도, 컨택트, 다층 배선이 셀 면적을 점유하게 되어, 양자를 초고밀도로 집적하기가 어려워진다. 따라서, 더 단순한 구조를 갖는 메모리 셀이 요구된다.

본 발명은, 소스 및 드레인에 강자성체에 의한 쇼트키 접합을 이용한 금속-절연체-반도체 전계 효과 트랜지스터(MISFET)를 제공하는 것을 목적으로 한다. 또한, 이 트랜지스터 단체(單體)로 1비트의 메모리 셀을 구성함으로써 대용량, 비휘발성 기억 장치를 제공하는 것을 목적으로 한다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 MISFET의 개략 구성을 도시한 단면도.

도 2a는 강자성 소스와 강자성 드레인에 강자성 금속을 이용한 도 1의 구조에서의 축적 n채널형 MISFET의 강자성 소스/반도체층/강자성 드레인의 에너지 밴드도, 도 2b는 반전 n채널형 MISFET에서의 강자성 소스/반도체층/강자성 드레인의 에너지 밴드도.

도 3은 본 발명의 제2 실시예에 따른 MISFET의 구조를 도시한 도면으로서, 도 3a는 강자성 소스와 강자성 드레인에 하프 메탈을 이용한 도 1의 구조에서의 축적 n채널형 MISFET의 강자성 소스/반도체층/강자성 드레인의 에너지 밴드도, 도 3b는 반전형 n채널 MISFET에서의 강자성 소스/반도체층/강자성 드레인의 에너지 밴드도.

도 4는 도 2a의 에너지 밴드 구조를 갖는 MISFET의 동작 원리를 도시한 도면으로서, 도 4a는 평형 상태에서의 에너지 밴드도, 도 4b는 강자성 소스와 강자성 드레인이 평행 자화인 경우에서 V_{DS} 를 인가한 경우의 에너지 밴드도, 도 4c는 도 4b의 상태에서부터 V_{GS} 를 더 인가한 경우의 에너지 밴드도, 도 4d는 도 4c와 동일한 바이어스 하에서 강자성 소스와 강자성 드레인이 반평행 자화인 경우의 에너지 밴드도.

도 5는 도 2b의 에너지 밴드 구조를 갖는 MISFET의 동작 원리를 도시한 도면으로서, 도 5a는 평형 상태에서의 에너지 밴드도, 도 5b는 강자성 소스와 강자성 드레인이 평행 자화인 경우에서 V_{DS} 를 인가한 경우의 에너지 밴드도, 도 5c는 도 5b의 상태에서부터 V_{GS} 를 더 인가한 경우의 에너지 밴드도, 도 5d는 도 5c와 동일한 바이어스 하에서 강자성 소스와 강자성 드레인이 반평행 자화인 경우의 에너지 밴드도.

도 6은 도 3a의 에너지 밴드 구조를 갖는 MISFET의 동작 원리를 도시한 도면으로서, 도 6a는 평형 상태에서의 에너지 밴드도, 도 6b는 강자성 소스와 강자성 드레인이 평행 자화인 경우에서 V_{DS} 를 인가한 경우의 에너지 밴드도, 도 6c는 도 6b의 상태에서부터 V_{GS} 를 더 인가한 경우의 에너지 밴드도, 도 6d는 도 6c와 동일한 바이어스 하에서 강자성 소스와 강자성 드레인이 반평행 자화인 경우의 에너지 밴드도.

도 7은 도 3b의 에너지 밴드 구조를 갖는 MISFET의 동작 원리를 도시한 도면으로서, 도 7a는 평형 상태에서의 에너지 밴드도, 도 7b는, 강자성 소스와 강자성 드레인이 평행 자화인 경우에서 V_{DS} 를 인가한 경우의 에너지 밴드도, 도 7c는 도 7b의 상태에서부터 V_{GS} 를 더 인가한 경우의 에너지 밴드도, 도 7d는 도 7c와 동일한 바이어스 하에서 강자성 소스와 강자성 드레인이 반평행 자화인 경우의 에너지 밴드도.

도 8은 본 실시예에 따른 MISFET의 소스 접지의 드레인 전류-전압 특성의 개념도.

도 9a는 본 실시예에 따른 MISFET를 이용한 메모리 회로의 일 구성예를 도시한 도면, 도 9b는 도 9a에 도시한 메모리 회로의 비트선 단에 출력 단자(V_O)와, 이 출력 단자(V_O)로부터 분기하여 부하(R_L)를 통해 전원 전압(V_{DD})에 접속된 메모리 회로, 도 9c는 도 9b에 도시한 메모리 셀의 정적 특성과 동작점을 나타낸 도면.

도 10은 일반적인 MRAM에 이용되는 메모리 셀의 구조를 도시한 단면도.

도 11은 본 발명의 각 실시예에 따른 메모리 셀 구조의 일례로서, 강자성 소스를 공통으로 한 구성예를 도시한 도면.

도 12는 본 발명의 제3 실시예에 따른 MISFET의 구조예를 도시한 에너지 밴드도.

도 13은 본 발명의 제4 및 제5 실시예에 따른 MISFET의 구조예를 도시한 에너지 밴드도로서, 도 13a는 소스/드레인에 n형 강자성 반도체를 이용하고, 소스/드레인간에 진성 반도체를 이용한 MISFET의 구조예를, 도 13b는 소스/드레인에 n형 강자성 반도체를 이용하고, 소스/드레인 간에 p형 반도체를 이용한 MISFET의 구조예를 도시한 도면.

<발명을 실시하기 위한 최선의 형태>

본 발명에 따른 금속-절연체-반도체 전계 효과 트랜지스터(이하, "MISFET"라 함)는, 강자성체로 이루어지는 소스에 대한 드레인(이하, 각각 "강자성 소스", "강자성 드레인"이라 함)의 상대적인 자화의 방향으로서 정보를 기억하고, 이 상대적인 자화 방향에 의존하는 전달 특성을 이용하여 기억된 정보를 판독한다. 따라서, 본 발명에 따른 MISFET를 이용하면, 트랜지스터 단체로 1비트의 비휘발성 메모리 셀을 구성할 수 있는 점에서, 고속, 대용량의 비휘발성 메모리를 실현하는 것이 가능하게 된다.

우선, 본 발명의 제1 실시예에 따른 MISFET에 대하여 도면을 참조하면서 설명한다.

도 1은 본 발명의 제1 실시예에 따른 MISFET의 단면 구조를 도시한 도면이다. 도 1에 도시한 바와 같이 본 실시예에 따른 MISFET는, 일반적인 MISFET(예를 들면 SiMOSFET 등)와 마찬가지로의 게이트 전극(7)과, 게이트 절연막(11)과, 비자성 반도체층(1)으로 이루어지는 MIS 구조와, 비자성 반도체층(1)과의 사이에서 쇼트키 접합을 형성하는 강자성체로 이루어지는 소스(강자성 소스)(3)와 드레인(강자성 드레인)(5)을 갖고 있다. 강자성 소스 및 강자성 드레인에는, Fe, Ni, Co, 퍼멀로이, CoFe 합금($Co_{1-x}Fe_x$), CoFeB 합금($Co_{1-x-y}Fe_xB_y$) 등의 강자성 금속이나, Co_2MnSi 등의 호이슬러 합금(Heusler alloy), CrO_2 , Fe_3O_4 (Magnetite), 섬아연광형의 CrAs, CrSb, MnAs 등의 하프 메탈을 이용할 수 있다. 또한, 강자성 금속적인 밴드 구조를 갖는 강자성 반도체나 하프 메탈로 되는 밴드 구조를 갖는 강자성 반도체를 이용할 수도 있다. 강자성 소스(3)와 강자성 드레인(5)은, 강자성체를 비자성 반도체층(1) 상에 에피택셜 성장 또는 퇴적에 의해 형성한다. 혹은, 열 확산 또는 이온 주입 등의 방법에 의해 비자성 반도체층(1) 내에 자성 원자를 도입함으로써 형성해도 된다. 또한, 도면 중의 강자성 소스와 강자성 드레인 상에 도시한 화살표는 자화 방향을 나타낸다. 또한, 게이트 절연막으로서는 SiO_2 , Al_2O_3 나, 고유전율 재료인 HfO_2 등을 이용할 수 있다.

본 실시예에 따른 MISFET에서는, 비자성 반도체층(또는 반도체 기판)(1)과 동일한 전도형의 캐리어를 전도 캐리어로 하는 것이 가능하고, 혹은 비자성 반도체층(1)과 반대의 전도형의 캐리어를 유기하여 전도 캐리어로 할 수도 있다. 여기서는,

편의상, 전자를 축적 채널형이라 하고, 후자를 반전 채널형이라 한다. n채널의 MISFET를 구성하는 경우에는, 축적 채널형에서는 n형 반도체를, 반전 채널형에서는 p형 반도체를 이용한다. 마찬가지로, p채널의 MISFET인 경우에는, 축적 채널형에서는 p형 반도체를 이용하고, 반전 채널형에서는 n형 반도체를 이용한다. 이후, n채널의 축적 채널형을 축적 n채널형이라 하고, n채널의 반전 채널형을 반전 n채널형이라 한다. p채널에 대해서도, n채널의 경우와 마찬가지로 축적 p채널형, 반전 p채널형이라고 부른다.

또한, 실제의 채널의 유무에 상관없이, 게이트 절연막/반도체 계면의 바로 아래의 반도체 영역을 채널 영역이라고 부른다. 이하, 강자성 소스와 강자성 드레인에 강자성 금속을 이용한 경우와, 하프 메탈을 이용한 경우의 각각에 있어서의 축적 n채널형과 반전 n채널형 트랜지스터의 에너지 밴드 구조에 대하여 설명한다. 또한, 이하에서 상세한 설명은 생략하지만, 마찬가지로 하여 축적 p채널형과 반전 p채널형의 MISFET를 구성할 수 있다. 본 발명에서는, 인헨스먼트형 및 디플리션형의 MISFET를 구성할 수 있지만, 이하에서는 인헨스먼트형에 대하여 진술한다. 또한, 본래 "스핀"이라는 용어는 스핀 각운동량에 관련하여 이용하는 용어이지만, 이하에서는 업 스핀을 갖는 전자를 단순히 업 스핀 등이라 부르는 것처럼 캐리어의 의미로도 이용한다.

도 2a 및 도 2b는, 강자성체로서 강자성 금속을 이용한 경우의 에너지 밴드도이고, 도 3a 및 도 3b는, 강자성체로서 하프 메탈을 이용한 경우의 에너지 밴드도이다.

도 2a는, 강자성 소스 및 강자성 드레인에 강자성 금속을 이용한 경우의, 축적 n채널형 MISFET의 채널 영역 근방에서의 에너지 밴드 구조를 도시한 도면이다. 강자성 소스(3)와 강자성 드레인(5)은, 비자성의 n형 반도체층(1)과 강자성 금속(3, 5)을 쇼트키 접합함으로써 형성한다. 도 2a에서의 강자성 소스(3) 및 드레인(5) 상에 나타난 실선과 n형 반도체층(1) 상에 나타난 점선은, 페르미 에너지(E_F)를 나타낸다. E_G 는 반도체의 밴드 갭을 나타낸다.

E_C 와 E_V 는, 각각 반도체층(1)의 전도 밴드의 바닥과 가전자 밴드의 정상을 나타낸다. E_F , E_C , E_V , E_G 는, 이하의 도면에서도 마찬가지로 의미로 이용한다. ϕ_n 은 강자성 금속과 n형 반도체의 쇼트키 접합의 장벽 높이이다. 즉, 페르미 에너지(E_F)와 접합 계면에서의 n형 반도체층(1)의 전도체 바닥(E_C)과의 에너지 차를 나타낸다. 또한, 강자성 소스(3)와 강자성 드레인(5)의 페르미 에너지 상에 나타난 화살표는 다수 스핀의 방향을 나타내고, 상향이면 업 스핀, 하향이면 다운 스핀을 나타낸다. 또한, 소수 스핀의 표시는 생략되어 있다. 이하, 강자성 금속을 이용하는 경우에는 마찬가지로 하여 다수 스핀의 방향을 밴드도 상에 표시한다.

도 2b는, 강자성 소스와 강자성 드레인에 강자성 금속을 이용한 경우의, 반전 n채널형 MISFET의 채널 영역 근방에서의 밴드 구조를 도시한 도면이다. 강자성 금속으로 이루어지는 강자성 소스(3) 및 강자성 드레인(5)과 p형 반도체층(1)이 쇼트키 접합을 형성하고 있다. ϕ_p 는 강자성 금속과 p형 반도체층(1)의 쇼트키 접합의 장벽 높이이고, 페르미 에너지(E_F)와 접합 계면에서의 p형 반도체층의 가전자 밴드 정상(E_V)과의 에너지 차이이다. ϕ_n 은, 페르미 에너지(E_F)와 접합 계면에서의 p형 반도체층의 전도 밴드 바닥(E_C)과의 에너지 차를 나타낸다.

다음으로, 본 발명의 제2 실시예에 따른 MISFET에 대하여 도면을 참조하면서 설명한다.

도 3a는, 본 실시예에 따른 MISFET로서, 강자성 소스와 강자성 드레인에 하프 메탈을 이용한 경우에 있어서의 축적 n채널형 MISFET의 채널 영역 근방에서의 밴드 구조를 도시한 도면이다. 하프 메탈은, 한쪽 스핀에 대해서는 금속적인 밴드 구조(이하, "금속적 스핀 밴드"라 함)를 취하지만, 다른 한쪽(다른 쪽) 스핀에 대하여 반도체(절연체)적으로 되는 밴드 구조(이하, "반도체적 스핀 밴드"라 함)를 갖는다. 즉, 하프 메탈에서는, 한쪽 스핀에 대해서는 도중까지 점유된 밴드를 갖고, 다른 쪽 스핀에 대해서는 완전히 채워진 밴드(가전자 밴드)가 밴드 갭에 의해 빈 밴드(전도 밴드)와 분리되어 있다. 따라서, 페르미 에너지(E_F)는, 한쪽 스핀의 금속적 스핀 밴드를 가로지르지만, 다른 쪽 스핀에 대해서는 밴드 갭 내를 가로지르고, 캐리어의 전도는, 금속적 스핀 밴드에 속하는 한쪽 스핀만이 담당하는 것으로 된다.

도 3a에 있어서, 강자성 소스(3a) 및 강자성 드레인(5a) 상 중앙에 도시한 실선은 하프 메탈에서의 페르미 에너지(E_F)이다. 즉, E_F 는 금속적 스핀 밴드의 페르미면으로 된다. 또한, E_F 의 상하에 도시한 실선(E_C^{HM} , E_V^{HM})은 각각 반도체적 스핀 밴드에서의 전도 밴드의 바닥 및 가전자 밴드의 정상을 나타낸다. E_C^{HM} 은, 하프 메탈(3a·5a)의 반도체적 스핀 밴드의 밴드 갭을 나타낸다. 하프 메탈(3a·5a)을 이용하여 축적 n채널형의 MISFET를 형성하는 경우에는, 하프 메탈(3a·5a)에서의

금속적 스핀 밴드와 n형 반도체층(1)이 장벽 높이(ϕ_n)의 쇼트키 접합을 형성할 필요가 있다. 또한, 이 접합에 의해 하프 메탈(3a·5a)에서의 반도체적 스핀 밴드에서의 전도 밴드의 바닥은, n형 반도체층(1)의 전도 밴드의 바닥보다 높은 에너지를 갖고, 계면에서 에너지 불연속(ΔE_C)을 형성하도록 하는 것이 바람직하다.

에너지 불연속(ΔE_V)은, 하프 메탈(3a·5a)에서의 반도체적 스핀 밴드의 가전자 밴드 정상의 에너지와 접합 계면에 있어서의 n형 반도체층(1)에서의 가전자 밴드 정상의 에너지의 에너지 차이이다. 이하에서도, 마찬가지로 하프 메탈을 강자성 소스(3a)와 강자성 드레인(5a)에 이용한 경우에, 반도체적 스핀 밴드에서의 전도 밴드 및 가전자 밴드의 반도체층(1)과의 접합 계면에서의 에너지 불연속량을, 각각 ΔE_C 와 ΔE_V 라 한다.

또한, 도면 중에는 하프 메탈로 이루어지는 강자성 소스(3a)와 강자성 드레인(5a)에 접합된 비자성 콘택트(3b·5b)의 페르미 에너지도 나타내고 있다. 따라서, 도 1의 강자성 소스(3)는 하프 메탈을 이용한 경우에는, 강자성 소스(3a)와 비자성 콘택트(3b)로 이루어진다. 강자성 드레인에 대해서도 마찬가지이다. 또한, 이하에서 강자성 금속 또는 하프 메탈의 지정 없이 강자성 소스(3) 또는 강자성 드레인(5)이라 기술하는 경우에는 강자성 소스(3a)와 강자성 드레인(5a)을 포함하는 것으로 한다. ϕ_n' 는, 이 비자성 콘택트(3b·5b)의 페르미 에너지(E_F)와 하프 메탈(3a·5a)에 있어서의 반도체적 스핀 밴드에서의 전도 밴드(E_C^{HM})와의 에너지 차이이다.

도 3b에, 강자성 소스와 강자성 드레인에 하프 메탈을 이용한 경우의 반전 n채널형 MISFET의 채널 영역 근방에서의 밴드 구조를 도시한다.

강자성 소스(3a)와 강자성 드레인(5a)은, p형 반도체층(1)과 하프 메탈의 금속적 스핀 밴드를 쇼트키 접합함으로써 형성할 필요가 있다. ϕ_p 는, 하프 메탈(3a·5a)에서의 금속적 스핀 밴드와 p형 반도체층(1)의 쇼트키 접합의 장벽 높이이다. ϕ_n 은, 하프 메탈(3a·5a)에서의 페르미 에너지(E_F)와 접합 계면에서의 p형 반도체층(1)의 전도체 바닥(E_C)과의 에너지 차를 나타낸다. 또한, 하프 메탈(3a·5a)의 반도체적 스핀 밴드에서의 전도 밴드의 바닥은, p형 반도체층(1)의 전도체의 바닥에 비하여 에너지가 높고, 계면에서 ΔE_C 의 에너지 불연속을 발생하고 있는 것이 바람직하다.

또한, ϕ_n' 및 ϕ_p' 는, 각각 페르미 에너지와 하프 메탈(3a·5a)에서의 반도체적 스핀 밴드의 전도 밴드의 바닥(E_C^{HM}) 및 가전자 밴드의 정상(E_V^{HM})과의 차이이다.

이하에, 전술한 본 실시예에 따른 각 MISFET의 동작 원리에 대하여 도면을 참조하여 설명한다. 본 실시예에 따른 MISFET에 있어서, 강자성 소스는 채널에 스핀을 주입하는 스핀 인젝터로서 기능하고, 또한 강자성 드레인은 채널에 주입된 전도 캐리어의 스핀의 방향을 전기 신호로서 검출하는 스핀 애널리저로서 기능한다. 본 실시예에 따른 MISFET에서는, 전술한 바와 같이 강자성 소스와 강자성 드레인에, 강자성 금속을 이용할 수도 있고, 하프 메탈을 이용하는 것도 가능하다. 또한, 소스와 드레인의 한쪽이 강자성 금속, 다른 쪽이 하프 메탈이어도 된다.

이하, 강자성 소스에 대한 강자성 드레인의 상대적인 자화의 방향이 같은 방향인 경우를 평행 자화라 하고, 이들의 상대적인 자화 방향이 상호 반대 방향인 경우를 반평행 자화라 한다. 또한, MISFET의 채널 길이는, 스핀의 완화 거리보다 충분히 짧은 것으로 하고, 또한 게이트 전압에 의한 래시바 효과(Rashba Effect)를 무시한다.

도 4a부터 도 4d까지를 참조하여 강자성 소스와 강자성 드레인에 강자성 금속을 이용한 축적 n채널형 MISFET의 동작 원리를 설명한다. 도 4a는 평형 상태에서의 에너지 밴드도로서, 도 2a에 대응하는 도면이다.

도 4a의 평형 상태에서부터, 강자성 소스(3)와 게이트 전극(7) 사이에 바이어스(V_{GS})를 $V_{GS}=0$ 으로 하여, 강자성 소스(3)와 강자성 드레인(5) 사이에 바이어스(V_{DS})를 인가하면, V_{DS} 를 강자성 소스(3)의 쇼트키 접합과 강자성 드레인(5)의 쇼트키 접합으로 분압하고, 도 4b에 도시한 바와 같은 포텐셜로 된다. 강자성 드레인(5)의 쇼트키 접합은 순 바이어스되어 있고, 채널 중앙부의 전도대의 바닥에서 본 드레인측 쇼트키 접합의 장벽 높이는 감소(또는 소실)하지만, 강자성 소스(3)의 쇼트키 접합은 역 바이어스되어 있고, 채널 중앙부의 전도대의 바닥에서 본 소스측 쇼트키 접합에서는 장벽 높이가 증가한다. 이 때, V_{DS} 는, 강자성 소스(3)의 페르미 에너지(E_F)가 소스측 쇼트키 장벽의 밴드단을 가로지르도록 인가하지만, 터널 효과에 의한 전류는 거의 발생하지 않는 정도의 크기의 바이어스이다. 즉, 소스측 쇼트키 접합 계면으로부터 강자성 소스(3)의 페르미 에너지와 이 쇼트키 장벽의 밴드단이 교차하기까지의 거리(d)는, 강자성 소스(3)로부터 채널에 캐리어의 터

널 효과가 발생하지 않을 정도로 충분히 두껍다. 소스측 쇼트키 접합은 역 바이어스되어 있기 때문에, 강자성 소스(3)로부터 높이(ϕ_n)의 장벽을 열적으로 타고 넘는 캐리어에 의한 쇼트키 접합의 역방향 포화 전류 정도의 전류가 발생하지만, ϕ_n 을 적절하게 선정함으로써 이 전류 성분을 충분히 억제하여 작게 하는 것이 가능하다. 따라서, $V_{GS}=0$ 에서는 MISFET는 차단 상태로 된다.

다음으로, 게이트 전극(7)(도 1)에 바이어스(V_{GS})(>0)를 인가하면, 게이트 전극(7)으로부터 강자성 소스(3)를 향하는 전기력선에 의해, 소스측 쇼트키 장벽 근방의 전계가 강화되고, 도 4c에 도시한 바와 같이 쇼트키 장벽의 장벽 폭이 감소한다(도면 중의 d'). 따라서, 강자성 소스(3)의 전도 전자는, 이 포텐셜 장벽을 터널 효과에 의해 통과하여 게이트 절연막(11) 바로 아래의 채널 영역에 주입된다. 이 때, 강자성 소스(3)로부터는 다수 스핀과 소수 스핀이 주입되지만, 다수 스핀의 캐리어 밀도가 소수 스핀보다 크기 때문에 주입 전자는 스핀 편극한다. 주입 전자의 스핀 편극률은 강자성 소스(3)의 페르미 에너지 근방에서의 스핀 분극률에 의존하고, 이 스핀 분극률이 클수록 주입 전자의 스핀 편극률은 크다.

이하, 스핀 편극한 전자를 스핀 편극 전자라고 부른다. 스핀 편극 전자의 다수 스핀 및 소수 스핀은, 각각 강자성 소스(3)의 다수 스핀 및 소수 스핀과 평행이다. 채널에 주입된 스핀 편극 전자는, V_{GS} 에 의해 게이트 절연막/반도체 계면에 끌여당겨지면서, V_{DS} 에 의해 강자성 드레인(5)의 쇼트키 장벽 계면까지 수송된다. 강자성 소스(3)와 강자성 드레인(5)이 평행 자화를 갖는 경우에서는, 스핀 편극 전자의 다수 스핀과 소수 스핀은, 각각 강자성 드레인(5)의 다수 스핀과 소수 스핀에 평행이다. 따라서, 강자성 드레인(5)에 주입된 스핀 편극 전자는, 스핀 의존 산란을 거의 받지 않고 강자성 드레인(5)을 전도하여 강자성 드레인에 유입되는 전류로 된다(이하, 이 전류를 "드레인 전류"라 함). 특히, 강자성 소스(3)와 강자성 드레인(5)이 평행 자화인 경우에, 어떤 정해진 드레인 전류가 발생하는 V_{GS} 를 임계값(V_T)으로 한다.

한편, 강자성 소스(3)와 강자성 드레인(5)이 반평행 자화를 갖는 경우에서는, 채널에 주입된 스핀 편극 전자 중 다수 스핀은, 강자성 드레인(5)의 다수 스핀과 반평행이다(도 4d). 따라서, 채널의 스핀 편극 전자는, 강자성 드레인(5)에서 스핀 의존 산란에 의한 전기 저항을 발생한다. 따라서, MISFET가 동일 바이어스 하에 있어도, 반평행 자화인 경우에는 이 스핀 의존 산란에 의해 평행 자화인 경우에 비하여 드레인 전류가 감소한다. 즉, 강자성 소스(3)와 강자성 드레인(5) 사이의 상대적인 자화 상태가 평행 자화를 갖는 경우의 전달(상호) 컨덕턴스에 비하여, 반평행 자화를 갖는 경우의 전달 컨덕턴스는 작아진다. 또한, 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정(mean free path) 이하이면, 채널 내를 캐리어가 발리스틱하게 전도하기 때문에, 터널 자기 저항 효과와 유사한 자기 저항 효과를 기대할 수 있다. 이 경우에는 평행 자화와 반평행 자화에 있어서의 전달 컨덕턴스의 변화는 더 커진다.

도 5a부터 도 5d까지는, 강자성 금속을 소스(3)와 드레인(5)에 이용한 반전 n채널형 MISFET의 동작 원리를 도시한 도면이다. 평형 상태에서부터(도 5a), $V_{GS}=0$ 의 상태에서 V_{DS} (>0)를 인가하면, 도 5b에 도시한 바와 같이 강자성 소스(3)가 순 바이어스되고, 강자성 드레인(5)이 역 바이어스된다. 채널 영역이 p형이기 때문에, 강자성 드레인(5)으로부터 정공이 주입되면 전류가 발생하지만, 강자성 드레인(5)의 역 바이어스된 쇼트키 접합에 의해 정공은 거의 주입되지 않는다. 열적으로 ϕ_p 를 타고 넘는 정공에 의한 쇼트키 접합의 역방향 포화 전류 정도가 작은 전류가 발생하지만, ϕ_p 를 적절하게 선택하면, 이 전류를 충분히 작게 할 수 있다. 따라서, $V_{GS}=0$ 인 경우에는 MISFET는 차단 상태로 된다.

게이트 전극(7)(도 1)에 디바이스 구조로부터 결정되는 어느 임계값(V_T) 이상의 V_{GS} ($>V_T$)를 인가하면, 게이트 절연막/반도체 계면에 전자가 유기되어 반전층이 형성된다(따라서, 반전 채널형과 축적 채널형에서는 임계값(V_T)의 정의가 상이하지만, 편의상 모든 경우에 임계값을 V_T 로 기재한다). 이 때, 채널 영역에서의 강자성 소스(3) 및 강자성 드레인(5)의 각각의 접합 계면에서는, 반전층의 전자에 대하여 장벽 높이(ϕ_n)의 장벽이 형성되지만, V_{DS} 에 의해 강자성 드레인(5)의 접합 및 강자성 소스(3)의 접합은 도 5c와 같이 바이어스된다.

전술한 바와 같이, 충분히 큰 ϕ_p 를 선택해 두면, $\phi_n(=E_G-\phi_p)$ 은 작고, 강자성 소스(3)로부터 열 방출에 의해 스핀 편극 전자가 채널에 주입된다. 또한, 강자성 소스(3)로부터 캐리어를 열 방출할 수 있는 만큼 ϕ_n 이 작지 않은 경우라도, 축적 채널형과 마찬가지로 강자성 소스(3)측의 쇼트키 장벽을 터널링하여 강자성 소스(3)로부터 채널에 스핀 편극 전자를 주입하는 것도 가능하다.

채널에 주입된 스핀 편극 전자는, V_{DS} 에 의해 강자성 드레인(5)측의 쇼트키 장벽 계면까지 수송된다. 강자성 소스(3)와 강자성 드레인(5)이 평행 자화를 갖는 경우에서는, 스핀 편극 전자의 다수 스핀과 소수 스핀은, 각각 강자성 드레인(5)의 다수 스핀과 소수 스핀에 대하여 평행이다. 따라서, 평행 자화인 경우에서는, 축적 채널형인 경우와 마찬가지로, 강자성 드레인(5)에 주입된 스핀 편극 전자는 스핀 의존 산란을 거의 받지 않고 강자성 드레인(5)을 전도하여 드레인 전류로 된다.

한편, 도 5d에 도시한 바와 같이 강자성 소스(3)와 강자성 드레인(5)이 반평행 자화를 갖는 경우에서는, 채널에 주입된 스핀 편극 전자의 다수 스핀은 강자성 드레인(5)의 다수 스핀과 반평행이다. 따라서, 스핀 편극 전자는 강자성 드레인(5)에서 스핀 의존 산란에 의한 전기 저항을 발생한다. 따라서, 반전 채널형이라도, 강자성 소스(3)와 강자성 드레인(5) 사이의 상대적인 자화 상태에 기초하여 MISFET의 전달 컨덕턴스가 변화한다. 즉, 동일 바이어스 하라도, 강자성 소스(3)와 강자성 드레인(5)이 반평행 자화인 경우에는 평행 자화인 경우에 비하여 드레인 전류는 작아진다. 또한, 축적 채널형인 경우와 마찬가지로, 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정 이하이면, 터널 자기 저항 효과와 유사한 자기 저항 효과를 기대할 수 있기 때문에, 평행 자화와 반평행 자화에 있어서의 전달 컨덕턴스의 변화는 더 커진다.

다음으로, 강자성체로서 하프 메탈을 이용한 경우에 대해 설명한다. 도 6a부터 도 6d까지를 참조하여, 하프 메탈을 강자성 소스와 강자성 드레인에 이용한 경우의 축적 n채널형 MISFET의 동작 원리를 설명한다. 도 6a는 평형 상태에서의 에너지 밴드도로서, 도 3a에 대응하는 도면이다.

도 6b는, $V_{GS}=0$ 의 상태에서, $V_{DS}(> 0)$ 를 인가한 경우의 포텐셜 형상을 도시한 도면이다. 이하에서는, 도 6b에 도시한 바와 같이 강자성 소스(3a)의 금속적 스핀 밴드에 속하는 스핀을 업 스핀이라 하고, 반도체적 스핀 밴드에 속하는 스핀을 다운 스핀이라 한다. 금속적 스핀 밴드에 속하는 업 스핀에 대해서는, 반도체층(1)과의 접합 계면에서, 장벽 높이(ϕ_n)의 쇼트키 접합이 형성되기 때문에, V_{DS} 는 소스측 쇼트키 접합과 드레인측 쇼트키 접합에 의해 분압된다. 따라서, 강자성 드레인(5a)의 쇼트키 접합은 순 바이어스되고, 강자성 소스(3a)의 쇼트키 접합은 역 바이어스된다. 이 때, V_{DS} 는, 강자성 소스(3a)의 페르미 에너지(E_F)가 소스측 쇼트키 장벽의 밴드단을 가로지르도록 인가하지만, 쇼트키 접합의 장벽 폭(d)은 강자성 소스(3a)의 금속적 스핀 밴드로부터 업 스핀이 터널링하지 않을 정도로 두껍게 해 둔다. 즉, $V_{GS}=0$ 의 상태에서는, 강자성 소스(3a)의 금속적 스핀 밴드의 업 스핀은 채널 영역으로의 터널 주입이 억제되어 있다. 또한, 쇼트키 접합의 장벽 높이(ϕ_n)를 열적으로 타고 넘음으로써 발생하는 쇼트키 접합의 역방향 포화 전류로서 업 스핀을 채널 영역에 주입할 수 있지만, ϕ_n 의 값을 적절하게 선택함으로써 이 전류 값을 충분히 작게 할 수 있다.

한편, 다운 스핀을 갖는 강자성 소스(3a)의 반도체적 스핀 밴드의 밴드 갭에 의해, 강자성 소스(3a)의 반도체적 스핀 밴드와 비자성 컨택트(3b) 사이에 장벽 높이(ϕ_n')의 에너지 장벽이 형성된다. 강자성 소스(3a)의 반도체적 스핀 밴드에는 전도 캐리어가 존재하지 않는 점에서, 다운 스핀이 반도체층(1)에 주입되기 위해서는, 비자성 컨택트(3b)로부터 다운 스핀이 강자성 소스(3a)의 반도체적 스핀 밴드를 터널링하거나, 열적으로 장벽을 타고 넘어야만 한다. 강자성 소스(3a)의 막 두께를 충분히 두껍게 하고, 또한 비자성 금속 전극(3b)에서 본 에너지 장벽의 장벽 높이(ϕ_n')를 충분한 높이로 선택하면, 다운 스핀이 채널 영역에 주입되는 확률은 매우 낮게 할 수 있고, 캐리어의 주입은 발생하지 않는다. 따라서, $V_{GS}=0$ 의 상태에서는, 업 스핀 및 다운 스핀에 의한 전류는 거의 발생하지 않고, MISFET는 차단 상태로 된다.

다음으로, 도 6c에 도시한 바와 같이 게이트 전극(7)(도 1)에 바이어스(V_{GS})(> 0)를 인가하면, 게이트 전극(7)(도 1)으로부터 강자성 소스(3a)를 향하는 전기력선에 의해, 소스측 쇼트키 장벽 근방의 전계가 강화되고, 강자성 소스에서의 금속적 스핀 밴드에 대한 쇼트키 장벽의 장벽 폭이 감소한다(도 6c 중의 d' 참조). 따라서, 강자성 소스(3a)의 금속적 스핀 밴드로부터 업 스핀은 이 쇼트키 장벽을 터널링하여 게이트 절연막 바로 아래의 반도체층(1)의 채널 영역에 주입된다. 이 때, 다운 스핀에 대해서는 강자성 소스(3a)의 반도체적 스핀 밴드에 의한 장벽 높이(ϕ_n')의 에너지 장벽에 의해 비자성 컨택트(3b)로부터 다운 스핀은 거의 주입되지 않는다. 따라서, 하프 메탈에 의해 형성되는 강자성 소스(3a)는, 선택적으로 업 스핀만을 주입한다.

채널에 주입된 업 스핀은, V_{DS} 에 의해 강자성 드레인(5a)측의 쇼트키 장벽 계면까지 수송된다. 강자성 소스(3a)와 강자성 드레인(5a)이 평행 자화를 갖는 경우에서는, 주입된 업 스핀은 강자성 드레인(5a)의 금속적 스핀 밴드의 스핀과 평행이

다. 따라서, 강자성 드레인(5a)에 주입된 업 스핀은, 스핀 의존 산란을 거의 받지 않고 강자성 드레인(5a)을 전도하여 드레인 전류로 된다. 특히, 강자성 소스(3a)와 강자성 드레인(5a)이 평행 자화를 갖는 경우에 정해진 어느 드레인 전류가 발생하는 V_{GS} 를 V_T 라 정의한다.

한편, 도 6d에 도시한 바와 같이 강자성 소스(3a)와 강자성 드레인(5a)이 반평행 자화를 갖는 경우에는, 채널에 주입된 업 스핀은 강자성 드레인(5a)의 금속적 스핀 밴드의 스핀과 반평행으로 되고, 반도체적 스핀 밴드의 스핀과 평행으로 된다. 따라서, 채널에 주입된 업 스핀은, 강자성 드레인(5a)을 장벽 높이(ΔE_C)의 에너지 장벽으로서 느낀다. 이 채널의 업 스핀이 터널링할 수 없도록, 또는 열적으로 이 장벽을 타고 넘을 수 없도록, 강자성 드레인(5a)의 막 두께와 ΔE_C 를 선택해 두면, 비자성 소스 전극(3b)으로부터 주입된 업 스핀은 강자성 드레인(5a)을 거의 전도할 수 없다. 따라서, 드레인 전류는 거의 발생하지 않는다. 따라서, 강자성 드레인(5a)에서의 하프 메탈은 금속적 스핀 밴드의 스핀과 평행한 스핀만을 통과시키고, 반평행의 스핀을 통과시키지 않는다.

하프 메탈로 이루어지는 강자성 소스(3a)로부터는, 스핀 편극률이 매우 높은 스핀 편극 전자를 채널에 주입할 수 있고, 또한 하프 메탈에 의해 형성된 강자성 드레인(5a)의 스핀 선택률은 매우 크기 때문에, 강자성 소스(3a)와 강자성 드레인(5a) 사이의 상대적인 자화 상태가 반평행 자화인 경우에는 평행 자화인 경우에 비하여 드레인 전류는 매우 작아진다. 따라서, 하프 메탈을 이용한 경우에는, 통상의 강자성 금속을 이용한 경우에 비하여 강자성 소스(3a)와 강자성 드레인(5a)의 상대적인 자화 상태가 평행 자화인 경우와 반평행 자화인 경우의 각각에 있어서의 드레인 전류의 비를 매우 크게 할 수 있다.

다음으로, 하프 메탈을 강자성 소스와 강자성 드레인에 이용한 반전 n채널형 MISFET의 동작 원리에 대하여 도 7a부터 도 7d까지를 참조하여 설명한다. 이하에서도, 하프 메탈에 의해 형성된 강자성 소스(3a)의 금속적 스핀 밴드에 속하는 스핀을 업 스핀이라 하고, 반도체적 스핀 밴드에 속하는 스핀을 다운 스핀이라 한다.

도 7a는, 평형 상태에서의 에너지 밴드도로서, 도 3b에 대응한다. $V_{GS}=0$ 의 상태에서 V_{DS} 를 인가한 경우, 반도체층(1)이 p형 반도체이기 때문에, 드레인측으로부터 정공이 주입되면 MISFET에 전류가 발생하지만, 강자성 드레인(5a)에서의 하프 메탈의 금속적 스핀 밴드에 의한 쇼트키 접합이 역 바이어스되고, 정공의 주입이 억제되어 있다. 단, 쇼트키 접합의 역방향 포화 전류 정도의 전류는 발생하지만, ϕ_p 를 적절하게 선정함으로써 이 전류를 충분히 작게 할 수 있다.

또한, 강자성 드레인(5a)의 반도체적 스핀 밴드에 의한 에너지 장벽(ϕ_p')에 의해 드레인측 비자성 콘택트(5b)로부터도, 정공의 주입은 억제되어 있다. 따라서, 도 7b에 도시한 경우에는 MISFET는 차단 상태로 된다.

게이트 전극에 임계값(V_T) 이상의 V_{GS} 를 인가하면, 게이트 절연막/반도체 계면에 전자가 유기되어 반전층이 형성된다(따라서, 반전 채널형과 축적 채널형에서는 V_T 의 정의가 상이하하다). 이 때, 도 7c에 도시한 바와 같이 반전층과 강자성 소스(3a) 및 강자성 드레인(5a)의 각각의 접합 계면에서는, 하프 메탈의 금속적 스핀 밴드에 의한 장벽 높이(ϕ_n)의 장벽이 형성된다.

V_{DS} 의 인가에 의해 강자성 드레인(5a) 및 강자성 소스(3a)의 접합은 도 7c에 도시한 바와 같이 바이어스된다. 충분히 큰 ϕ_p 를 선택해 두면, $\phi_n (=E_G - \phi_p)$ 은 작고, 강자성 소스(3a)의 금속적 스핀 밴드로부터 열 방출에 의해 업 스핀이 채널에 주입된다. 또한, 강자성 소스(3a)로부터 업 스핀을 열전자 주입할 수 있는 정도로 ϕ_n 이 작지 않은 경우라도, 축적 채널형과 마찬가지로 터널 주입에 의해 강자성 소스(3a)의 금속적 스핀 밴드로부터 채널로 업 스핀을 주입하는 것도 가능하다. 한편, 강자성 소스(3a)의 반도체 스핀 밴드에 의해 다운 스핀은 거의 주입되지 않는다.

채널에 주입된 업 스핀은, V_{DS} 에 의해 드레인측의 접합 계면까지 수송된다. 강자성 소스(3a)와 강자성 드레인(5a)이 평행 자화를 갖는 경우에는, 채널에 주입된 업 스핀은 강자성 드레인(5a)에서의 금속적 스핀 밴드의 스핀과 평행이다. 따라서, 업 스핀은 강자성 드레인(5a)의 금속적 스핀 밴드를 전도하여 드레인 전류로 된다.

도 7d에 도시한 바와 같이 강자성 소스(3a)와 강자성 드레인(5a)이 반평행 자화를 갖는 경우에는, 채널에 주입된 업 스핀은 강자성 드레인(5a)의 금속적 스핀 밴드의 스핀과는 반평행하고, 강자성 드레인(5a)의 반도체적 스핀 밴드와 평행이다.

따라서, 채널에 주입된 업 스핀은 강자성 드레인(5a)을 장벽 높이(ΔE_C)의 에너지 장벽으로서 느낀다. 채널의 업 스핀이 터널링할 수 없도록, 또는 열적으로 장벽 높이(ΔE_C)의 에너지 장벽을 타고 넘을 수 없도록, 강자성 드레인(5a)의 막 두께와 ΔE_C 를 선정해 두면, 드레인 전류 성분은 거의 발생하지 않는다.

따라서, 강자성 드레인(5a)에서의 하프 메탈은 금속적 스핀 밴드의 스핀과 평행한 스핀만을 통과시키는 점에서, 강자성 소스(3a)와 강자성 드레인(5a) 사이의 상대적인 자화 상태에 의해 전달 컨덕턴스를 제어할 수 있다. 즉, 강자성 소스(3a)와 강자성 드레인(5a)이 반평행 자화를 갖는 경우에는 평행 자화인 경우에 비하여 드레인 전류는 작아진다.

진술한 강자성 금속 또는 하프 메탈에 의한 강자성 소스(3 또는 3a) 및 강자성 드레인(5 또는 5a)을 갖는 MISFET에서, 반도체층(1)을 도핑되지 않은 반도체 또는 진성 반도체로 치환할 수도 있다. 이 경우에 발생하는 강자성 금속과 반도체의 접합으로 발생하는 장벽 구조는 쇼트키 장벽과 상이하지만, 이 장벽 구조에 의해서도 마찬가지로 MISFET의 동작을 기대할 수 있다. 이 MISFET에서는, 채널 영역을 진성 반도체로 구성하고 있기 때문에, 채널 영역에서의 불순물 산란의 영향이 없고, 전도 캐리어에 관하여 큰 이동을 기대할 수 있다. 특히, 나노 스케일의 단채널의 MISFET에서는, 고속화에 유효한 캐리어의 발리스틱 전도도 기대할 수 있다.

또한, 이 MISFET에서는, 극미세화한 낮은 임계값의 MISFET를 고밀도로 집적화한 경우에도, 임계값의 변동은 본질적으로 발생하지 않는다고 하는 이점이 있다. 또한, 진성 반도체로 이루어지는 채널은, SOI 구조에도 적합하다. 따라서, 진성 반도체를 채널 영역에 이용함으로써, 본 발명의 MISFET 및 이것을 이용한 비휘발성 메모리(후술)의 성능을 한층 향상시킬 수 있다.

다음으로, 본 발명의 제3 실시예에 따른 MISFET에 대하여 도면을 참조하면서 설명한다. 본 실시예에 따른 MISFET에서는, 강자성 소스와 강자성 드레인은, 원하는 장벽 높이로 되는 얇은 금속층과 반도체층의 쇼트키 접합을 형성하고, 이 금속층 위에 강자성 금속이나 하프 메탈을 형성하고 있다. 도 12는 본 실시예에 따른 MISFET의 구조예를 도시한 에너지 밴드도이다. 도 12에 도시한 바와 같이 본 실시예에 따른 MISFET는, 강자성 금속(23 및 25)을 소스와 드레인에 각각 이용하고, 반도체층(21)과 강자성 금속(23 및 25)의 각각의 계면에 장벽 높이를 제어하기 위한 얇은 금속층(23a, 25a)을 도입한 구조를 갖고 있다. 원하는 배리어 높이(ϕ_n)를 얻을 수 있는 금속(23a, 25a)과 반도체층(21)의 쇼트키 접합을 우선 형성하고, 이 금속층(23a, 25a) 위에 각각, 강자성 금속층(23, 25)을 형성한다. 이 금속층(23a, 25a)의 구체적 재료로서는, Si를 반도체층(21)으로 한 경우에, $ErSi_x$, $PtSi_x$ 등의 실리사이드를 이용하는 것을 생각할 수 있다.

또한, 상기 강자성 금속층(23, 25)의 각각을, 제2 실시예에서 설명한 하프 메탈로 치환한 구조, 즉 하프 메탈에 의한 강자성 소스와 강자성 드레인을 갖는 MISFET를 이용하여도, 도 12의 구조와 마찬가지로 쇼트키 장벽 높이를 제어하는 것이 가능하다. 이 구조도 본 발명의 범주에 들어가는 것이다. 혹은, 강자성 금속 또는 하프 메탈과, 반도체층의 계면에, 강자성 금속 또는 하프 메탈 사이에 원하는 쇼트키 장벽 높이가 얻어지는 별도의 반도체를 삽입해도 된다. 혹은, 쇼트키 장벽 높이의 제어를 위해, 강자성 금속 또는 하프 메탈과, 반도체층의 계면에 금속/반도체 헤테로 구조를 삽입해도 된다.

이상의 방법을 이용함으로써, 반도체층과 강자성 금속 또는 하프 메탈 사이의 쇼트키 높이를 고려하지 않고, 강자성 소스와 강자성 드레인의 재료를 자유롭게 선택할 수 있다.

다음으로, 본 발명의 제4 실시예에 따른 MISFET에 대하여 도면을 참조하면서 설명한다. 상기 제1부터 3까지의 실시예에서는, 강자성 금속 또는 하프 메탈에 의한 쇼트키 접합을 이용하여 강자성 소스와 강자성 드레인을 구성한 MISFET에 대하여 설명했지만, 본 실시예에 따른 MISFET는, 강자성 소스와 강자성 드레인과 강자성 반도체를 이용한 구조를 갖고 있다. 이와 같이 함으로써, 쇼트키 접합을 이용하지 않더라도, 제1 내지 3의 실시예에 따른 MISFET와 마찬가지로의 특성을 얻는 것을 기대할 수 있다.

예를 들면, 도 13a에 도시한 바와 같이 채널 영역으로서 진성 반도체(31)를 이용하고, 진성 반도체(31) 상에 게이트 절연체(41)와 게이트(전극)(37)을 적층한 구성을 갖는 MISFET에서, 강자성 소스(33)와 강자성 드레인(35)을 n형의 강자성 반도체로 하면, 상기 MISFET(예를 들면, 도 2a)와 마찬가지로의 특성을 기대할 수 있는 n채널의 MISFET를 구성할 수 있다. 또한, p채널의 MISFET를 형성하는 경우에는, 강자성 소스와 강자성 드레인을 p형의 강자성 반도체로 하면 된다.

다음으로, 본 발명의 제5 실시예에 따른 MISFET에 대하여 도면을 참조하면서 설명한다. 본 실시예에 따른 MISFET는, 강자성 반도체와 반도체의 pn 접합을 이용하여 강자성 소스와 강자성 드레인을 구성한다(이 경우에는, MISFET는 반전 채널형으로서 동작한다). 예를 들면, 도 13b에 도시한 바와 같이 n형의 강자성 반도체를 소스(53)와 드레인(55)에 이용하고,

채널 영역을 포함하는 반도체층(51)을 p형 반도체로 하면 된다. 이 경우도, p형 반도체층(51) 상에 게이트 절연막(61)과 게이트(전극)(57)를 적층한다. 마찬가지로 p형 반도체를 소스와 드레인에 이용하여 채널 영역을 n형 반도체로 해도 된다.

본 발명의 제4 또는 제5 실시예에서 설명한 바와 같이, 강자성 반도체에 의해 강자성 소스와 강자성 드레인을 구성하는 경우라도, 드레인에서의 스핀 의존 산란에 의해, 드레인 전류는 소스와 드레인이 평행 자화와 반평행 자화인 경우에서 상이하다. 또한, 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정 이하이면, 캐리어의 발리스틱 전도에 기초하여, 터널 자기 저항 효과와 유사한 스핀 의존 전도가 얻어지고, 이러한 경우에는 평행 자화와 반평행 자화에서의 전달 컨덕턴스의 변화를 크게 할 수 있다.

제4 및 제5 실시예에 따른 MISFET에 이용하는 강자성 반도체로서는, Si, Ge, Si_xGe_{1-x}, SiC 등의 반도체에 Mn이나 Cr 등의 천이 금속 원소나 희토류 원소를 도입한 것을 생각할 수 있다.

다음으로, 상기 각 실시예에 따른 MISFET의 출력 특성에 대하여 설명한다. 도 8은 V_{GS}를 파라미터로 한 드레인 전류(I_D)의 V_{DS} 의존성을 나타낸 도면이다. 본 실시예에 따른 MISFET에서는, 강자성 소스(3) 및 강자성 드레인(5)에 강자성 금속 또는 하프 메탈 중 어느 것을 이용한 경우라도, 또한 반전 채널형과 축적 채널형의 모든 경우에서, 게이트 전극(7)에 대하여 디바이스 구조로부터 결정되는 어느 임계값(V_T) 이하의 전압을 인가한 경우에는 MISFET는 차단 상태이다. 이것은 강자성 소스(3)와 강자성 드레인(5)의 상대적인 자화 상태에 의하지 않는다.

게이트 전극(7)에 대하여 임계값 이상의 전압(V₁(>V_T))을 인가하면, 트랜지스터를 도통 상태로 할 수 있다. 이 때, 강자성 소스(3)에 대한 강자성 드레인(5)의 상대적인 자화 상태에 의해, 강자성 소스(3)와 강자성 드레인(5) 사이에 발생하는 드레인 전류(I_D)의 크기가 상이하다. 즉, 동일 바이어스 하라도 평행 자화인 경우는 드레인 전류(I_D)가 크고(도면 중의 I_{D↑↑}), 반평행 자화인 경우는 드레인 전류(I_D)가 작다(도면 중의 I_{D↓↓}). 이 특징을 다시 말하면, MISFET의 전달(상호) 컨덕턴스를 강자성 소스(3)와 강자성 드레인(5) 사이의 자화 상태에서 제어하는 것과 등가이다. 따라서, 본 실시예의 MISFET는, 게이트 전극(7)에 인가하는 전압에 의해 드레인 전류(I_D)를 제어할 수 있음과 아울러, 강자성 소스(3)에 대한 강자성 드레인(5)의 상대적인 자화 상태에 의존하는 전달 컨덕턴스를 함께 갖는다.

강자성체에서는, 외부로부터 보자력 이상의 자장이 인가되지 않는 한 자화의 방향을 유지할 수 있다. 이 때문에, 본 실시예에 따른 MISFET에서는, 강자성 소스와 강자성 드레인의 상대적인 자화 상태를 평행 자화 또는 반평행 자화로 함으로써 2치의 정보를 기억할 수 있다.

또한, 상기 MISFET는, 전술한 바와 같이 드레인 전류의 크기 또는 전달 컨덕턴스의 크기에 기초하여, 강자성 소스와 강자성 드레인 사이의 상대적인 자화 상태를 전기적으로 검출할 수 있다. 따라서, 상기 MISFET는, 1개의 MISFET에 의해 1비트의 비휘발성 메모리 셀을 구성할 수 있다.

도 9a는 본 실시예에 따른 MISFET를 이용한 메모리 회로의 일 구성예를 도시한 도면이다. 도 9a에 도시한 메모리 회로에서는, MISFET를 다수 매트릭스 형상으로 배치하고, 소스 단자(S)를 접지하여 드레인 단자(D)와 게이트 단자(G)를 각각 관독용 비트선(BL)과 관독용 워드선(WL)에 접속하고 있다. 또한, 재기입용 워드선과 재기입용 비트선을, 상기 MISFET 상에서 다른 배선과 전기적으로 절연한 상태에서 교차하도록 배치한다. 이 재기입용 워드선과 재기입용 비트선으로서, 상기 관독용 비트선(BL)과 관독용 워드선(WL)을 병용해도 된다. 도 9a는, 병용한 경우의 셀 구성을 도시한 도면이다. 도 9a의 경우는, MISFET 단체로 메모리 셀을 구성할 수 있음과 아울러, 배선에 관해서도 매우 단순한 구성으로 할 수 있다.

종래의 구성에 따른 MRAM의 메모리 셀은, 1개의 MTJ와 1개의 MISFET와 4개의 배선(도 10 참조)의 구성을 갖고 있고, MTJ 및 재기입용 워드선의 존재에 의해 소스를 인접한 셀에서 공유하여 셀 면적을 작게 하는 등의 고안이 어려웠다. 이에 대하여, 본 실시예에 따른 메모리 셀에서는, 도 9a에 도시한 바와 같이 1개의 MISFET와 3개의 배선만의 가장 단순한 구성으로 메모리 셀을 구성할 수 있기 때문에, 미세화에 적합한 레이아웃을 용이하게 구성할 수 있다.

예를 들면, 2개의 본 실시예에 따른 MISFET의 강자성 소스를 1개의 강자성 소스로 공통으로 한 구조를 형성하는 것도 가능하다. 도 11은 공통 소스 구성을 갖는 메모리 셀의 단면 구조예를 도시한 도면이다. 도 11에 도시한 메모리 셀 구조는, 상호 인접하는 제1 MISFET와 제2 MISFET와, 제1 MISFET의 게이트 전극(G1)과 제2 MISFET의 게이트 전극(G2)을 공

통 접속하는 워드선(WL)과, 제1 MISFET의 제1 강자성 드레인(D1)과 접속하는 제1 비트선(BL1)과, 제2 강자성 드레인(D2)과 접속하는 제2 비트선(BL2)과, 제1 및 제2 MISFET에 공통의 강자성 소스(S)와, 이것을 접지하는 배선을 갖는다. 상기 구조를 이용하면, 소스를 공통으로 하기 때문에, 고밀도화에 더욱 적합한 셀 구성으로 된다.

이하, 도 9a를 이용하여, 메모리 셀의 동작을 설명한다. 전술한 재기입/판독용 비트선 및 재기입/판독용 워드선을 각각 공용하는 경우로서, 단순히 각각 비트선(BL), 워드선(WL)이라 한다. 정보의 재기입은, 본 실시예에 따른 MISFET에서의 강자성 소스(3) 또는 강자성 드레인(5)의 유지력을 변경해 두거나 한쪽의 자화 방향을 고정해 두고, 강자성 소스(3)에 대한 강자성 드레인(5)의 상대적인 자화 방향을 평행 자화 또는 반평행 자화로 함으로써 행할 수 있다. 예를 들면, 평행 자화 또는 반평행 자화의 자화 상태를 "0" 또는 "1"의 2치의 정보에 대응시킨다. 구체적으로는, 선택한 메모리 셀 상에서 교차하는 비트선(BL)과 워드선(WL)에 전류를 흘리고, 각각의 배선에 흐르는 전류에 의해 유기되는 자계의 합성 자계에 의해 선택된 메모리 셀의 유지력이 작은 강자성체 또는 자화 방향이 고정되어 있지 않은 강자성체의 자화를 반전시켜 정보를 기억한다. 이 때, 선택한 셀과 동일한 비트선(BL) 또는 워드선(WL)에 접속하고 있는 비선택 셀이 자화 반전하지 않도록 하기 위해, 한쪽 배선만으로부터의 자계에서는 자화 반전을 발생하지 않도록 각각의 배선에 흘리는 전류 값을 설정해 둔다.

정보의 판독은, 선택 셀에 접속된 워드선(WL)에 전압을 인가하여 본 실시예에 따른 MISFET를 도통시키고 나서, 비트선(BL)에 드레인 전압을 인가하여 드레인 전류(I_D)의 크기를 검출한다. 본 실시예에 따른 MISFET에서는, 강자성 소스와 강자성 드레인의 상대적인 자화 상태가 평행 자화인 경우는 전달 컨덕턴스가 크고, 큰 I_D 를 발생하지만, 반평행 자화인 경우는 전달 컨덕턴스가 작고 I_D 도 작다. 따라서, I_D 의 크기에 기초하여, 강자성 소스와 강자성 드레인의 상대적인 자화 상태를 검출할 수 있다. 또한, 프리차지에 의해 필요한 바이어스를 가하여 검출을 행해도 된다.

통상의 MTJ에서, 평행 자화에서의 전류는 양강자성 전극에서의 다수 스핀의 상태 밀도간의 터널과 소수 스핀의 상태 밀도간의 터널에 의해 발생하고, 반평행 자화인 경우는 소수 스핀의 상태 밀도로부터 다수 스핀의 상태 밀도로의 터널과 다수 스핀의 상태 밀도로부터 소수 스핀의 상태 밀도로의 터널에 의해 발생한다. 따라서, 평행 자화 및 반평행 자화인 경우에 흐르는 전류에 소수 스핀에 의한 전류 성분이 포함되기 때문에, 평행 자화와 반평행 자화의 각각의 경우에 있어서의 전류의 비는, 용이하게는 크게 할 수 없다.

한편, 본 실시예에 따른 하프 메탈을 강자성 소스와 강자성 드레인에 이용한 MISFET에서는, 하프 메탈과 반도체층의 접합에 의해 강자성 소스에서는 금속적 스핀 밴드에 속하는 한쪽 스핀만을 채널에 주입할 수 있고, 또한 강자성 드레인에서는 금속적 스핀 밴드의 스핀과 평행한 스핀만을 채널로부터 취출하여 드레인 전류로 할 수 있다(이하, 이 하프 메탈에 의한 작용을 "스핀 필터 효과"라 함).

따라서, 본 실시예에 따른 하프 메탈을 강자성 소스와 강자성 드레인에 이용한 MISFET에서는, 평행 자화와 반평행 자화의 각각의 경우에 있어서의 전류의 비(드레인 전류비)는, MTJ의 경우에 있어서의 전류비에 비하여 크게 할 수 있다. 따라서, 본 실시예에 따른 MISFET를 이용하면, 상기 메모리 회로에서 용이하게 자화 상태를 검출할 수 있다.

또한, 강자성 금속을 이용하여 강자성 소스와 강자성 드레인을 구성하는 경우라도, 게이트 바이어스에 의한 소스측 쇼트키 장벽에 발생하는 강한 전계의 효과에 의해, 강자성 소스로부터 주입하는 캐리어의 스핀 분극률(스핀 주입 효율)을 강자성 금속의 스핀 분극률 이상으로 증대할 수 있는 가능성이 있다. 이 효과를 이용하면, 평행 자화와 반평행 자화의 각각의 경우에 있어서의 드레인 전류의 비를 MTJ에서의 전류비에 비하여 크게 할 수 있는 가능성이 있다.

또한, MTJ에서는 TMR 비가 바이어스 전압과 함께 급격히 감소하기 때문에, 회로에 필요한 바이어스 하에서는 TMR 비가 크게 감소하는 문제도 있었다. 이에 대하여, 본 실시예에 따른 MISFET에서는, 강자성 금속에 의한 스핀 의존 산란 또는 하프 메탈에 의한 스핀 필터 효과를 이용하고 있기 때문에 MTJ와 같은 바이어스 의존성은 원리적으로 존재하지 않는다. 따라서, 회로에 필요한 바이어스 하에서 큰 드레인 전류비를 실현할 수 있다.

도 9b는, 도 9a에 도시한 메모리 회로의 비트선단에 출력 단자(V_o)와, 이 출력 단자(V_o)로부터 분기하여 부하(R_L)를 통해 전원 전압(V_{DD})에 접속한 메모리 회로이다. 도 9c에, 도 9b에 도시한 메모리 셀의 정적 특성과 동작점을 나타낸다. 여기서, 부하로서 순저항을 이용하고 있지만, 트랜지스터에 의한 능동 부하를 이용해도 된다. 도 9c에 도시한 바와 같이 정보의 판독시에는 MISFET의 게이트 전극에 게이트 전압(V_{GS})를 인가하고, 비트선(BL)에 부하 저항(R_L)을 통해 전원 전압(V_{DD})을 인가하면, 부하 저항(R_L)에 의한 동작점은, 강자성 소스와 강자성 드레인 사이의 자화 상태에 따라 도 9c 중의 부하 직선상을 움직이고, 평행 자화와 반평행 자화의 경우의 출력 신호(V_o)는 각각 도면 중의 $V_{o\uparrow}$ 와 $V_{o\downarrow}$ 로 된다. 각각의

출력 신호의 절대값 및 비($V_{o\uparrow}/V_{o\downarrow}$)는, R_L , V_{DD} 등의 외부 회로의 파라미터에 의해 최적화할 수 있다. 예를 들면, 부하 직선의 기울기를 조정함(이 경우에는 작계 함)으로써, 드레인 전류비($I_{D\uparrow}/I_{D\downarrow}$)가 작은 경우라도 큰 출력 신호비를 얻을 수 있다. 따라서, 본 실시예에 따른 기억 회로에서는, 원하는 크기의 출력 신호를 얻을 수 있다고 하는 이점을 갖는다.

이상, 설명한 바와 같이, 본 발명의 실시예에 따른 강자성 소스와 강자성 드레인을 구비한 MISFET에 따르면, 드레인 전류를 게이트 전압으로 제어할 수 있는 트랜지스터로서의 기능을 구비함과 아울러, 그 전달(상호) 컨덕턴스를 강자성 소스와 강자성 드레인의 상대적인 자화의 방향에 의해 제어할 수 있다고 하는 특징적인 특성을 함께 갖는다. 강자성 소스와 강자성 드레인간의 상대적인 자화의 방향은 에너지를 공급하지 않더라도 전의 상태를 유지할 수 있는 소위 비휘발성의 성질을 갖는다. 따라서, 이 상대적인 자화의 방향에 의해 2치의 정보를 비휘발성으로 기억할 수 있다. 또한, 전술한 전달 특성을 이용하면, 이 상대적인 자화의 방향을 전기적으로 검출할 수 있다. 즉, 상기 MISFET는, 1개의 트랜지스터만으로 1비트의 비휘발성 메모리 셀을 구성할 수 있다. 따라서, 본 실시예에 따른 MISFET를 이용하면, 비휘발성 메모리 셀의 구성을 단순하게 할 수 있기 때문에, 비휘발성 기억 회로의 속도 및 집적도를 향상시킬 수 있다고 하는 이점이 있다.

이상, 본 발명의 실시예에 따라 설명했지만, 본 발명은 이들에 제한되는 것이 아니다. 기타, 여러 가지 변경, 개량, 조합이 가능한 것은 당업자에게 자명할 것이다. 예를 들면, 본 명세서 내에서 설명한 모든 MISFET는, 본 명세서 내에서 설명한 기억 소자, 기억 회로에 적용할 수 있음은 물론이다.

산업상 이용 가능성

강자성 금속 또는 하프 메탈을 이용한 쇼트키 접합에 의한 강자성 소스와 강자성 드레인을 구비한 본 발명의 MISFET에 따르면, 강자성 소스에 대한 강자성 드레인과와의 상대적인 자화의 방향에 의해 2치의 정보를 기억할 수 있음과 아울러, 이 상대적인 자화의 방향을 전기적으로 검출할 수 있다. 따라서, 상기 MISFET를 이용하면, 1개의 트랜지스터만으로 1비트의 비휘발성 메모리 셀을 구성할 수 있기 때문에, 고속 또한 고집적 밀도의 비휘발성 기억 회로의 실현이 가능하게 된다.

(57) 청구의 범위

청구항 1.

스핀 편극한 전도 캐리어(이하, "스핀 편극 전도 캐리어"라 함)를 주입하는 강자성체로 이루어지는 소스(이하, "강자성 소스"라 함)와,

상기 강자성 소스로부터 주입된 스핀 편극 전도 캐리어를 받는 강자성체로 이루어지는 드레인(이하, "강자성 드레인"이라 함)과,

상기 강자성 소스와 상기 강자성 드레인 사이에 형성되고, 상기 강자성 소스 및 상기 강자성 드레인과와의 각각의 접합 계면에서 쇼트키 장벽을 갖는 쇼트키 접합을 형성하는 반도체층과,

상기 반도체층에 대하여 형성되는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 2.

제1항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인의 자화의 방향을 반전시킴으로써, 상기 강자성 소스에 대한 상기 강자성 드레인의 상대적인 자화의 방향을 같은 방향(이하, "평행 자화"라 함) 또는 반대 방향(이하, "반평행 자화"라 함)으로 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 3.

제1항 또는 제2항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인은, 강자성 금속에 의해 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스핀 편극 전도 캐리어의 전도형이 상기 반도체층과 동일한 경우(이하, "축적 채널형"이라 함)에서, 상기 스핀 편극 전도 캐리어가 전자인 경우는 상기 쇼트키 장벽은 전도 밴드측에 발생하고, 상기 스핀 편극 전도 캐리어가 정공인 경우는 상기 쇼트키 장벽은 가전자 밴드측에 발생하는 것을 특징으로 하는 트랜지스터.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스핀 편극 전도 캐리어의 전도형이 상기 반도체층과 상이한 경우(이하, "반전 채널형"이라 함)에 있어서의, 상기 반도체층에 반전층이 형성되어 있지 않은 경우에서, 상기 스핀 편극 전도 캐리어가 전자인 경우 상기 쇼트키 장벽은 가전자 밴드측에 발생하고, 상기 스핀 편극 전도 캐리어가 정공인 경우 상기 쇼트키 장벽은 전도 밴드측에 발생하는 것을 특징으로 하는 트랜지스터.

청구항 6.

제4항에 있어서,

상기 축적 채널형에서의 상기 게이트 전극과 상기 강자성 소스 사이에 전압을 인가하지 않은 상태에서, 상기 스핀 편극 전도 캐리어는 상기 쇼트키 장벽에 의해 상기 반도체층에의 터널 및 열 방출에 의한 주입이 억제되는 것을 특징으로 하는 트랜지스터.

청구항 7.

제4항 또는 제6항에 있어서,

상기 축적 채널형에서, 상기 게이트 전극에 대하여 전압을 인가함으로써, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어는, 상기 강자성 소스와 상기 반도체층의 계면에서의 상기 쇼트키 장벽을 터널링함으로써 상기 반도체층에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 8.

제4항에 있어서,

상기 축적 채널형에서의, 상기 게이트 전극에 대하여 전압을 인가하지 않은 상태에서, 상기 스핀 편극 전도 캐리어는, 상기 쇼트키 장벽에 의해 상기 반도체층에의 열 방출에 의한 주입이 억제되지만, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어는 상기 쇼트키 장벽을 터널링함으로써 상기 반도체층에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 9.

제4항 또는 제8항에 있어서,

상기 축적 채널형에서, 상기 게이트 전극에 대하여 전압을 인가함으로써, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어가 상기 강자성 소스와 상기 반도체층의 계면에서의 상기 쇼트키 장벽을 터널링하는 것에 기초하여, 상기 강자성 소스와 상기 강자성 드레인 사이에 발생하는 전류를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 10.

제5항에 있어서,

상기 반전 채널형에서의, 상기 게이트 전극과 상기 강자성 소스 사이에 전압을 인가하지 않은 상태에서, 상기 쇼트키 장벽에 의해, 상기 스핀 편극 전도 캐리어는 상기 반도체층에의 터널 및 열 방출에 의한 주입이 억제되는 것을 특징으로 하는 트랜지스터.

청구항 11.

제5항 또는 제10항에 있어서,

상기 반전 채널형에서, 상기 게이트 전극에 대하여 인가하는 전압에 의해 상기 반도체층에 반전층이 형성된 경우에, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어가 열 방출 또는 터널 중 적어도 한쪽에 의해 상기 반도체층 내에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 12.

제5항에 있어서,

상기 반전 채널형에서의, 상기 게이트 전극에 대하여 전압을 인가하지 않은 상태에서도, 상기 반도체층에 반전층이 형성되어 있고, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어가 열 방출 또는 터널 중 적어도 한쪽에 의해 상기 반도체층 내에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 13.

제5항 또는 제12항에 있어서,

상기 반전 채널형에서, 상기 게이트 전극에 대하여 인가하는 전압에 의해, 상기 강자성 소스의 상기 스핀 편극 전도 캐리어가 상기 강자성 소스로부터 상기 반도체층에 열 방출 또는 터널 중 적어도 한쪽에 의해 주입되는 것에 기초하여, 상기 강자성 소스와 상기 강자성 드레인 사이에 발생하는 전류를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 14.

제4항 내지 제13항 중 어느 한 항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서, 상기 반도체층에 주입되는 상기 스핀 편극 전도 캐리어는, 상기 강자성 소스의 페르미 에너지에서의 스핀 분극률에 의존하여 스핀 편극하고 있는 것을 특징으로 하는 트랜지스터.

청구항 15.

제4항 내지 제14항 중 어느 한 항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화 상태가 평행 자화인 경우에, 상기 강자성 소스로부터 주입된 상기 스핀 편극 전도 캐리어의 상기 강자성 드레인에서의 스핀 의존 산란에 의한 전기 저항이 작고, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향이 반평행 자화인 경우에, 상기 스핀 편극 전도 캐리어의 상기 강자성 드레인에서의 스핀 의존 산란에 의한 전기 저항이 커지는 것을 특징으로 하는 트랜지스터.

청구항 16.

제1항 내지 제15항 중 어느 한 항에 있어서,

동일 바이어스 하에서, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의해 전달 컨덕턴스를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 17.

제4항 내지 제16항 중 어느 한 항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서, 상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에, 상기 게이트 전극에 대하여 인가하는 전압에 의해 상기 강자성 소스와 상기 강자성 드레인 사이에, 사전에 정해진 전류를 발생시키는 게이트 전압으로서 정의되는 임계값을 갖는 것을 특징으로 하는 트랜지스터.

청구항 18.

강자성체로서, 한쪽 스핀에 대해서는 금속적인 밴드 구조(이하, "금속적 스핀 밴드"라 함)를, 다른 쪽 스핀에 대해서는 반도체적 또는 절연체적인 밴드 구조(이하, "반도체적 스핀 밴드"라 함)를 취하는 하프 메탈로 이루어지고, 스핀 편극한 전도 캐리어를 주입하는 강자성 소스와,

상기 강자성 소스로부터 주입된 스핀 편극한 상기 전도 캐리어를 받는 하프 메탈로 이루어지는 강자성 드레인과,

상기 강자성 소스와 상기 강자성 드레인 사이에 형성되고, 상기 강자성 소스 및 상기 강자성 드레인의 각각과 접합한 반도체층과,

상기 반도체층에 대하여 형성되는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 19.

제18항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인은, 상기 하프 메탈에서의 금속적 스핀 밴드가 상기 반도체층과의 계면에서 쇼트키 장벽을 갖는 쇼트키 접합을 형성하는 것을 특징으로 하는 트랜지스터.

청구항 20.

제18항 또는 제19항에 있어서,

상기 전도 캐리어의 전도형이 상기 반도체층과 동일한 경우(이하, "축적 채널형"이라 함)에서, 상기 전도 캐리어가 전자인 경우는 상기 금속적 스핀 밴드에 의한 상기 쇼트키 장벽은 전도 밴드측에 발생하고, 상기 전도 캐리어가 정공인 경우는 상기 금속적 스핀 밴드에 의한 상기 쇼트키 장벽은 가전자 밴드측에 발생하는 것을 특징으로 하는 트랜지스터.

청구항 21.

제18항 또는 제19항에 있어서,

상기 전도 캐리어의 전도형이 상기 반도체층과 상이한 경우(이하, "반전 채널형"이라 함)에서의, 상기 반도체층에 반전층이 형성되어 있지 않은 경우에서, 상기 전도 캐리어가 전자인 경우는 상기 쇼트키 장벽은 가전자 밴드측에 발생하고, 상기 전도 캐리어가 정공인 경우는 상기 쇼트키 장벽은 전도 밴드측에 발생하는 것을 특징으로 하는 트랜지스터.

청구항 22.

제18항 또는 제19항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인과 상기 반도체층의 접합에서, 상기 하프 메탈의 반도체적 스핀 밴드의 밴드 갭은 상기 반도체층의 밴드 갭보다 큰 것을 특징으로 하는 트랜지스터.

청구항 23.

제18항 또는 제19항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인과 상기 반도체층의 접합에서, 상기 하프 메탈에서의 반도체적 스핀 밴드는 상기 반도체층에 대하여 에너지 장벽을 형성하고, 상기 전도 캐리어가 전자인 경우에는 적어도 전도 밴드측에 에너지 장벽을 발생하고, 상기 전도 캐리어가 정공인 경우에는 적어도 가전자 밴드측에 에너지 장벽을 발생시키는 것을 특징으로 하는 트랜지스터.

청구항 24.

제18항 내지 제23항 중 어느 한 항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인에 대하여, 각각 비자성 금속 또는 비자성 전도체로 이루어지는 컨택트(이하, "비자성 컨택트"라 함)가 더 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 25.

제24항에 있어서,

상기 비자성 컨택트는, 상기 금속적 스핀 밴드에 대하여 금속간의 접합 또는 오믹 접합을 형성하고, 상기 반도체적 스핀 밴드에 대하여 반도체적 스핀 밴드가 에너지 장벽으로 되는 금속과 반도체간 또는 금속과 절연체간의 접합 구조를 형성하는 것을 특징으로 하는 트랜지스터.

청구항 26.

제20항에 있어서,

상기 축적 채널형에서의, 상기 게이트 전극과 상기 강자성 소스 사이에 전압을 인가하지 않은 상태에서, 상기 금속적 스핀 밴드의 상기 전도 캐리어는, 상기 금속적 스핀 밴드에 의한 쇼트키 장벽에 의해, 상기 반도체층에 터널링 및 열 방출에 의한 주입이 억제되는 것을 특징으로 하는 트랜지스터.

청구항 27.

제20항 또는 제26항에 있어서,

상기 축적 채널형에서, 상기 게이트 전극에 대하여 전압을 인가함으로써, 상기 강자성 소스에서의 상기 금속적 스핀 밴드의 전도 캐리어는, 상기 강자성 소스와 상기 반도체층의 계면에서의 상기 쇼트키 장벽을 터널링함으로써 반도체층에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 28.

제20항에 있어서,

상기 축적 채널형에서의, 상기 게이트 전극에 대하여 전압을 인가하지 않은 상태에서, 상기 금속적 스핀 밴드의 상기 전도 캐리어는, 상기 쇼트키 장벽에 의해 상기 반도체층에의 열 방출에 의한 주입이 억제되지만, 상기 강자성 소스에서의 상기 금속적 스핀 밴드의 전도 캐리어는, 상기 쇼트키 장벽을 터널링함으로써 상기 반도체층에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 29.

제20항 또는 제28항에 있어서,

상기 축적 채널형에서, 게이트 전극에 대하여 인가하는 전압에 의해, 상기 강자성 소스에서의 금속적 스핀 밴드의 전도 캐리어가 상기 강자성 소스와 상기 반도체층의 계면에서의 상기 쇼트키 장벽을 터널링하는 것에 기초하여, 상기 강자성 소스와 상기 강자성 드레인 사이에 발생하는 전류를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 30.

제20항에 있어서,

상기 축적 채널형에서, 상기 강자성 소스에 대하여 형성된 상기 비자성 콘택트로부터 상기 강자성 소스에서의 상기 반도체적 스핀 밴드와 평행한 스핀을 갖는 전도 캐리어는, 상기 반도체적 스핀 밴드에 의한 상기 비자성 콘택트에 대한 상기 에너지 장벽에 의해 상기 반도체층에의 터널 및 열 방출에 의한 주입이 억제되어 있는 것을 특징으로 하는 트랜지스터.

청구항 31.

제21항에 있어서,

상기 반전 채널형에서의, 상기 게이트 전극과 상기 강자성 소스 사이에 전압을 인가하지 않은 상태에서, 상기 금속적 스핀 밴드의 상기 전도 캐리어는, 상기 쇼트키 장벽에 의해, 상기 반도체층에의 터널 및 열 방출에 의한 주입이 억제되어 있는 것을 특징으로 하는 트랜지스터.

청구항 32.

제21항 또는 제31항에 있어서,

상기 반전 채널형에서, 게이트 전극에 대하여 전압을 인가함으로써 상기 반도체층에 반전층이 형성된 경우에, 상기 강자성 소스에서의 상기 금속적 스핀 밴드의 전도 캐리어가 상기 강자성 소스로부터 상기 반도체층에 열 방출 또는 터널 중 적어도 한쪽에 의해 주입되는 것을 특징으로 하는 트랜지스터.

청구항 33.

제21항에 있어서,

상기 반전 채널형에서의, 상기 게이트 전극에 대하여 전압을 인가하지 않은 상태에서도, 상기 반도체층에 반전층이 형성되어 있고, 상기 강자성 소스에서의 상기 금속적 스핀 밴드의 상기 전도 캐리어가 열 방출 또는 터널 중 적어도 한쪽에 의해 상기 반도체층 내에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 34.

제21항 또는 제33항에 있어서,

상기 반전 채널형에서, 상기 게이트 전극에 대하여 인가하는 전압에 의해, 상기 강자성 소스에서의 상기 금속적 스핀 밴드의 전도 캐리어가 상기 강자성 소스로부터 상기 반도체층에 열 방출 또는 터널 중 적어도 한쪽에 의해 주입되는 것에 기초하여, 상기 강자성 소스와 상기 강자성 드레인 사이에 발생하는 전류를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 35.

제21항에 있어서,

상기 반전 채널형에서, 상기 강자성 소스에 대하여 형성된 상기 비자성 컨택트로부터 상기 강자성 소스에서의 상기 반도체적 스핀 밴드와 평행한 스핀을 갖는 전도 캐리어는, 상기 반도체적 스핀 밴드에 의한 상기 비자성 컨택트에 대한 상기 에너지 장벽에 의해, 상기 반도체층에 터널 및 열 방출에 의한 주입이 억제되는 것을 특징으로 하는 트랜지스터.

청구항 36.

제20항 또는 제21항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서, 상기 강자성 소스의 상기 금속적 스핀 밴드로부터 상기 반도체층에 주입된 한쪽 스핀을 갖는 전도 캐리어와, 상기 강자성 소스에 대하여 형성된 상기 비자성 컨택트로부터 상기 강자성 소스의 상기 반도체적 스핀 밴드를 통하여 상기 반도체층에 주입된 다른 한쪽의 스핀을 갖는 전도 캐리어의 존재 비로 결정되는 전도 캐리어의 스핀 편극률을, 상기 강자성 소스에서의 상기 반도체적 스핀 밴드의 에너지 갭 또는 상기 비자성 컨택트에서 본 상기 강자성 소스의 반도체적 스핀 밴드에 의한 장벽 높이 또는 상기 강자성 소스의 막 두께로 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 37.

제20항 내지 제36항 중 어느 한 항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서,

상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화 상태가 평행 자화인 경우에, 상기 강자성 소스의 상기 금속적 스핀 밴드로부터 상기 반도체층에 주입된 전도 캐리어가 상기 강자성 드레인의 상기 금속적 스핀 밴드를 전도 가능하고,

상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화 상태가 반평행 자화인 경우에, 상기 강자성 소스의 상기 금속적 스핀 밴드로부터 상기 반도체층에 주입된 상기 전도 캐리어가 상기 강자성 드레인에서의 상기 반도체적 스핀 밴드에 의한 에너지 장벽에 의해 전도가 억제되는 것을 특징으로 하는 트랜지스터.

청구항 38.

제20항 내지 제37항 중 어느 한 항에 있어서,

상기 축적 채널형 또는 상기 반전 채널형에서, 상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에, 게이트 전극에 대하여 인가하는 전압에 의해 상기 강자성 소스와 상기 강자성 드레인 사이에 정해진 어느 전류를 발생시키는 게이트 전압으로서 정의되는 임계값을 갖는 것을 특징으로 하는 트랜지스터.

청구항 39.

제18항 내지 제38항 중 어느 한 항에 있어서,

동일 바이어스 하에서, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의해 전달 컨덕턴스를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 40.

제1항 내지 제39항 중 어느 한 항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인은, 상기 반도체층에 성장 또는 퇴적에 의해 형성되는 것을 특징으로 하는 트랜지스터.

청구항 41.

제1항 내지 제39항 중 어느 한 항에 있어서,

상기 강자성 소스 및 상기 강자성 드레인은, 상기 반도체층 내에 자성 원소를 도입함으로써 형성되는 것을 특징으로 하는 트랜지스터.

청구항 42.

제1항 내지 제41항 중 어느 한 항의 1개의 트랜지스터를 이용하여, 상기 강자성 소스에 대한 상기 강자성 드레인의 상대적인 자화의 방향에 의해 정보를 기억하고, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의존하는 트랜지스터의 전달 컨덕턴스에 기초하여 상기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 기억 소자.

청구항 43.

제1항 내지 제41항 중 어느 한 항의 1개의 트랜지스터와,
상기 게이트 전극과 접속하는 제1 배선과,
상기 강자성 드레인과 접속하는 제2 배선과,
상기 강자성 소스를 접지하는 제3 배선을 갖는 기억 소자.

청구항 44.

제1항 내지 제41항 중 어느 한 항의 1개의 트랜지스터와,
상기 게이트 전극과 접속하는 제1 배선과,
상기 강자성 드레인과 접속하는 제2 배선과,
상기 강자성 소스를 접지하는 제3 배선과,
상기 제2 배선의 일단에 형성되는 출력 단자와,
상기 제2 배선으로부터 분기하여 부하를 통하여 전원과 접속하는 제4 배선을 갖는 기억 소자.

청구항 45.

제43항 또는 제44항에 있어서,
상기 트랜지스터 상 또는 그 근방에서 상호 전기적으로 절연된 상태에서 교차하는 제1 별도 배선 및 제2 별도 배선을 더 갖는 것을 특징으로 하는 기억 소자.

청구항 46.

제43항 또는 제44항에 있어서,
상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽을 대신하여, 상기 제1 배선 및 상기 제2 배선, 또는 상기 제1 배선 또는 상기 제2 배선 중 어느 한쪽을 이용하는 것을 특징으로 하는 기억 소자.

청구항 47.

제45항 또는 제46항에 있어서,

상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 이들을 치환한 상기 제1 배선 및 상기 제2 배선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽을 치환한 상기 제1 배선 또는 상기 제2 배선 및 이들로 치환되지 않은 쪽의 상기 제1 별도 배선 또는 상기 제2 별도 배선에 전류를 흘림으로써 유기되는 자장에 의해, 상기 강자성 소스 또는 상기 강자성 드레인의 자화를 반전시키고, 상기 강자성 소스와 상기 강자성 드레인 사이의 상대적인 자화 상태를 변화시킴으로써 정보의 재기입을 행하는 것을 특징으로 하는 기억 소자.

청구항 48.

제43항 내지 제47항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에서의 상기 임계값 이상의 큰 전압을 상기 제1 배선에 대하여 인가하고, 상기 강자성 소스와 상기 강자성 드레인 사이에 소정의 바이어스를 인가한 경우의 상기 트랜지스터에서의 드레인 전류의 크기에 기초하여 정보의 판독을 행하는 것을 특징으로 하는 기억 소자.

청구항 49.

제44항 내지 제47항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에서의 임계값보다 큰 전압을 상기 제1 배선을 통하여 상기 게이트 전극에 대하여 인가한 경우의 상기 트랜지스터에서의 드레인 전류에 의해 발생하는 상기 부하에 의한 전압 강하에 기초하여 얻어지는 출력 전압에 의해, 정보의 판독을 행하는 것을 특징으로 하는 기억 소자.

청구항 50.

매트릭스 형상으로 배치된 제1항 내지 제41항 중 어느 한 항의 트랜지스터와,

상기 강자성 소스를 각각 접지하는 제1 배선과,

열방향으로 배열하는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수 개의 워드선과,

행방향으로 배열하는 상기 트랜지스터의 각각의 강자성 드레인을 공통으로 접속하는 복수 개의 비트선을 갖는 기억 회로.

청구항 51.

매트릭스 형상으로 배치된 제1항 내지 제41항 중 어느 한 항의 트랜지스터와,

상기 강자성 소스를 각각 접지하는 제1 배선과,

열방향으로 배열하는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수 개의 워드선과,

행방향으로 배열하는 상기 트랜지스터의 각각의 강자성 드레인을 공통으로 접속하는 복수 개의 비트선과,

상기 비트선의 각각의 일단에 형성되는 출력 단자와,

상기 비트선으로부터 각각 분기하여 부하를 통하여 전원에 접속하는 제2 배선을 갖는 기억 회로.

청구항 52.

제50항 또는 제51항에 있어서,

상기 트랜지스터 상 또는 그 근방에서 상호 전기적으로 절연된 상태에서 교차하는 제1 별도 배선 및 제2 별도 배선을 더 갖는 것을 특징으로 하는 기억 회로.

청구항 53.

제52항에 있어서,

상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽을 대신하여, 상기 워드선 및 상기 비트선, 또는 상기 워드선 또는 상기 비트선 중 어느 한쪽을 이용하는 것을 특징으로 하는 기억 회로.

청구항 54.

제50항 내지 제53항 중 어느 한 항에 있어서,

상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 이들을 치환한 상기 워드선 및 상기 비트선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽을 치환한 상기 워드선 또는 상기 비트선 및 이들로 치환되지 않은 쪽의 상기 제1 별도 배선 또는 제2 별도 배선에 전류를 흘림으로써 유기되는 자장에 의해, 상기 강자성 소스 또는 상기 강자성 드레인의 자화를 반전시키고, 상기 강자성 소스와 상기 강자성 드레인 사이의 상대적인 자화 상태를 변화시킴으로써 정보의 재기입을 행하는 것을 특징으로 하는 기억 회로.

청구항 55.

제50항 내지 제54항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에서의 상기 임계값보다 큰 전압을 상기 워드선에 대하여 인가하고, 상기 강자성 소스와 상기 강자성 드레인 사이에 소정의 바이어스를 인가한 경우의 상기 트랜지스터에서의 드레인 전류의 크기에 기초하여, 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

청구항 56.

제51항 내지 제54항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인이 평행 자화를 갖는 경우에서의 상기 임계값보다 큰 전압을 상기 워드선을 통하여 상기 게이트 전극에 대하여 인가한 경우의 상기 트랜지스터에서의 드레인 전류에 의해 발생하는 상기 부하에 의한 전압 강하에 기초하여 얻어지는 출력 전압에 의해, 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

청구항 57.

제43항 내지 제55항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인의 자화를 반전시킴으로써 정보의 재기입을 행하는 것을 특징으로 하는 기억 소자 또는 기억 회로.

청구항 58.

제1항 내지 제41항 중 어느 한 항의 제1 및 제2의 2개의 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 공통 접속하는 제1 배선과,

상기 제1 트랜지스터가 갖는 제1 강자성 드레인과 접속하는 제2 배선 및 제2 트랜지스터가 갖는 제2 강자성 드레인과 접속하는 제3 배선과,

상기 제1 및 제2 트랜지스터에 공통의 상기 강자성 소스를 접지하는 제4 배선을 갖는 기억 소자.

청구항 59.

제58항의 기억 소자를 메모리 셀로 하고, 상기 메모리 셀을 매트릭스 형상으로 배치한 구성을 갖는 기억 회로.

청구항 60.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 반도체층으로서, 도핑되지 않은 반도체 또는 진성 반도체를 이용하는 것을 특징으로 하는 트랜지스터.

청구항 61.

제18항 또는 제19항에 있어서,

상기 반도체층으로서, 도핑되지 않은 반도체 또는 진성 반도체를 이용하는 것을 특징으로 하는 트랜지스터.

청구항 62.

제4항, 제6항 내지 제9항, 제14항 내지 제17항, 제20항, 제22항 내지 제30항, 제36항 내지 제41항 중 어느 한 항에 있어서,

상기 축적 채널형에서의 상기 반도체층으로서, 도핑되지 않은 반도체 또는 진성 반도체를 이용하는 것을 특징으로 하는 트랜지스터.

청구항 63.

제5항, 제10항 내지 제15항, 제17항, 제21항, 제31항 내지 제41항 중 어느 한 항에 있어서,

상기 반전 채널형에서의 상기 반도체층으로서, 도핑되지 않은 반도체 또는 진성 반도체를 이용하는 것을 특징으로 하는 트랜지스터.

청구항 64.

제1항 내지 제39항 또는 제60항, 제61항 중 어느 한 항에 있어서,

상기 반도체층에서의 캐리어의 전도 방향의 길이 또는 상기 강자성 소스와 강자성 드레인 사이의 간격으로서 정의되는 채널 길이로서 상기 반도체층을 캐리어가 발리스틱하게 전도 가능한 길이를 갖거나, 또는 상기 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정(mean free path) 이하인 것을 특징으로 하는 트랜지스터.

청구항 65.

제1항 내지 제17항, 또는 제60항 또는 제64항 중 어느 한 항에 있어서,

상기 강자성 금속과 상기 반도체층의 계면에, 상기 반도체층과의 사이에 쇼트키 접합을 형성하는 금속층 또는 상기 강자성 금속과의 사이에 쇼트키 접합을 형성하는 반도체층, 혹은 금속/반도체 쇼트키 접합층을 갖는 것을 특징으로 하는 트랜지스터.

청구항 66.

제18항 내지 제39항, 또는 제61항 또는 제64항 중 어느 한 항에 있어서,

상기 하프 메탈과 상기 반도체층의 계면에, 상기 반도체층과의 사이에 쇼트키 접합을 형성하는 금속층 또는 상기 하프 메탈과의 사이에 쇼트키 접합을 형성하는 반도체층, 혹은 금속/반도체 쇼트키 접합층을 갖는 것을 특징으로 하는 트랜지스터.

청구항 67.

제60항 내지 제66항 중 어느 한 항에 있어서,

상기 강자성 소스에 대한 상기 강자성 드레인이 반평행 자화인 경우에는, 평행 자화인 경우에 비하여 드레인 전류가 작아지는 것을 특징으로 하는 트랜지스터.

청구항 68.

제60항 내지 제67항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의해 전달 컨덕턴스를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 69.

제60항 내지 제68항 중 어느 한 항의 1개의 트랜지스터를 이용하여, 상기 강자성 소스에 대한 상기 강자성 드레인과 상대적인 자화의 방향에 의해 정보를 기억하고, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의존하는 트랜지스터의 전달 컨덕턴스에 기초하여 상기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 기억 소자.

청구항 70.

제42항 내지 제49항 또는 제58항 중 어느 한 항에 있어서,

상기 트랜지스터로서, 제60항 내지 제68항 중 어느 한 항의 트랜지스터를 이용하는 것을 특징으로 하는 기억 소자.

청구항 71.

제50항 내지 제57항 또는 제59항 중 어느 한 항에 있어서,

상기 트랜지스터로서, 제60항 내지 제68항 중 어느 한 항의 트랜지스터를 이용하는 것을 특징으로 하는 기억 회로.

청구항 72.

제1 도전형을 갖고, 강자성 반도체로 이루어지는 소스 및 드레인과,

상기 소스와 상기 드레인에 대하여 구비되고, 상기 제1 도전형 채널이 형성되는 반도체층과,

상기 반도체층에 대하여 형성되는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 73.

제72항에 있어서,

상기 반도체층이 도핑되지 않은 반도체 또는 진성 반도체에 의해 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 74.

제72항 또는 제73항에 있어서,

상기 반도체층에서의 캐리어의 전도 방향의 길이 또는 상기 강자성 소스와 강자성 드레인 사이의 간격으로서 정의되는 채널 길이로서 상기 반도체층 내를 캐리어가 발리스틱하게 전도 가능한 길이를 갖거나, 또는 상기 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정 이하인 것을 특징으로 하는 트랜지스터.

청구항 75.

상호 도전형이 상이한 제1 강자성 반도체와 반도체층 사이에 형성되는 제1 pn 접합에 의해 형성되는 소스와,

상호 도전형이 상이한 제2 강자성 반도체와 상기 반도체층 사이에 형성되는 제2 pn 접합에 의해 형성되는 드레인과,

상기 반도체층에 대하여 형성되는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 76.

제75항에 있어서,

상기 반도체층에서의 캐리어의 전도 방향의 길이 또는 상기 강자성 소스와 강자성 드레인 사이의 간격으로서 정의되는 채널 길이로서 상기 반도체층 내를 캐리어가 발리스틱하게 전도 가능한 길이를 갖거나, 또는 상기 채널 길이가 캐리어의 에너지 완화에 대한 평균 자유 행정 이하인 것을 특징으로 하는 트랜지스터.

청구항 77.

제72항 내지 제76항 중 어느 한 항에 있어서,

상기 강자성 소스에 대한 상기 강자성 드레인이 반평행 자화인 경우에는, 평행 자화인 경우에 비하여 드레인 전류가 작아지는 것을 특징으로 하는 트랜지스터.

청구항 78.

제72항 내지 제77항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의해 전달 컨덕턴스를 제어 가능한 것을 특징으로 하는 트랜지스터.

청구항 79.

제72항 내지 제78항 중 어느 한 항의 1개의 트랜지스터를 이용하여, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의해 정보를 기억하고, 상기 강자성 소스와 상기 강자성 드레인의 상대적인 자화의 방향에 의존하는 트랜지스터의 전달 컨덕턴스에 기초하여 상기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 기억 소자.

청구항 80.

제42항 내지 제49항 또는 제58항 중 어느 한 항에 있어서,

상기 트랜지스터로서, 제72항 내지 제78항 중 어느 한 항의 트랜지스터를 이용하는 것을 특징으로 하는 기억 소자.

청구항 81.

제50항 내지 제57항 또는 제59항 중 어느 한 항에 있어서,

상기 트랜지스터로서, 제72항 내지 제78항 중 어느 한 항의 트랜지스터를 이용하는 것을 특징으로 하는 기억 회로.

청구항 82.

스핀 편극한 전도 캐리어를 주입하는 강자성체 강자성 소스와,

상기 강자성 소스로부터 주입된 스핀 편극 전도 캐리어를 받는 강자성체로 이루어지는 강자성 드레인과,

상기 강자성 소스와 상기 강자성 드레인 사이에 구비되고, 상기 강자성 소스 및 상기 강자성 드레인의 각각의 접합을 형성하는 반도체층과,

상기 반도체층에 대하여 형성되는 게이트 전극을 갖고,

상기 소스와 상기 드레인 중 어느 한쪽에 강자성 금속을, 다른 쪽에 하프 메탈을 이용하는 것을 특징으로 하는 트랜지스터.

청구항 83.

제1항 내지 제41항, 제60항 내지 제68항, 제72항 내지 제78항, 제82항 중 어느 한 항에 있어서,

상기 게이트 전극과 상기 반도체층 사이에 형성되는 게이트 절연막으로서, 산화 또는 퇴적에 의해 형성된 절연체를 이용하는 것을 특징으로 하는 트랜지스터.

청구항 84.

제83항에 있어서,

상기 게이트 절연막은, 고유전율 재료를 포함하는 것을 특징으로 하는 트랜지스터.

청구항 85.

제1항 내지 제41항, 제60항 내지 제68항, 제72항 내지 제78항, 제82항, 제84항 중 어느 한 항에 있어서,

상기 트랜지스터가 MISFET인 것을 특징으로 하는 트랜지스터.

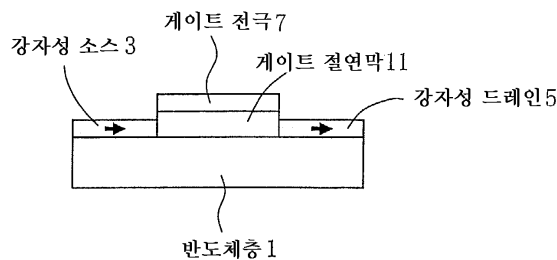
청구항 86.

제1항 내지 제3항, 제8항, 제9항, 제12항, 제13항, 제18항, 제19항, 제28항, 제29항, 제33항, 제34항, 제72항 내지 제78항, 제82항 내지 제85항 중 어느 한 항에 있어서,

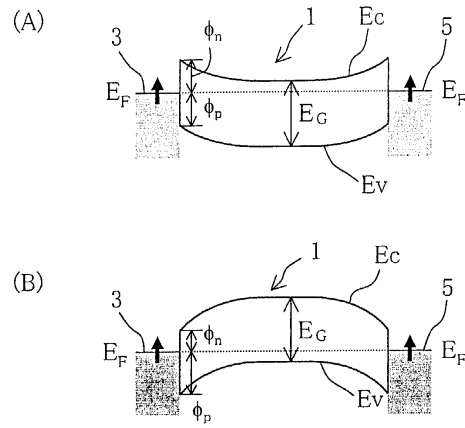
상기 반도체층에 불순물을 첨가함으로써 디플리션 모드의 트랜지스터로서 기능하는 것을 특징으로 하는 트랜지스터.

도면

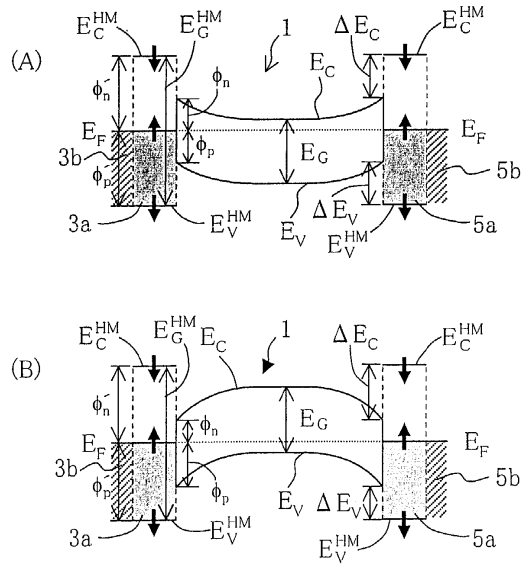
도면1



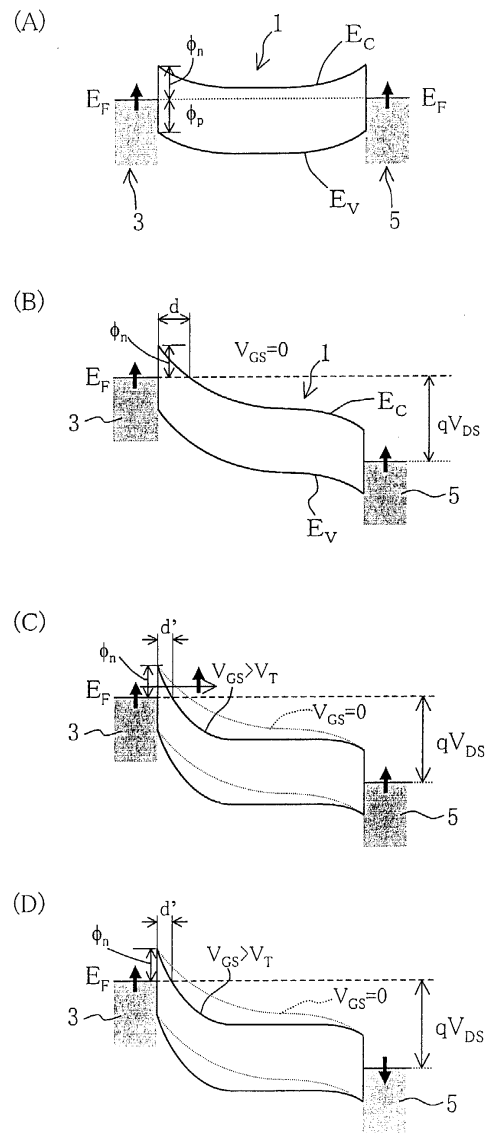
도면2



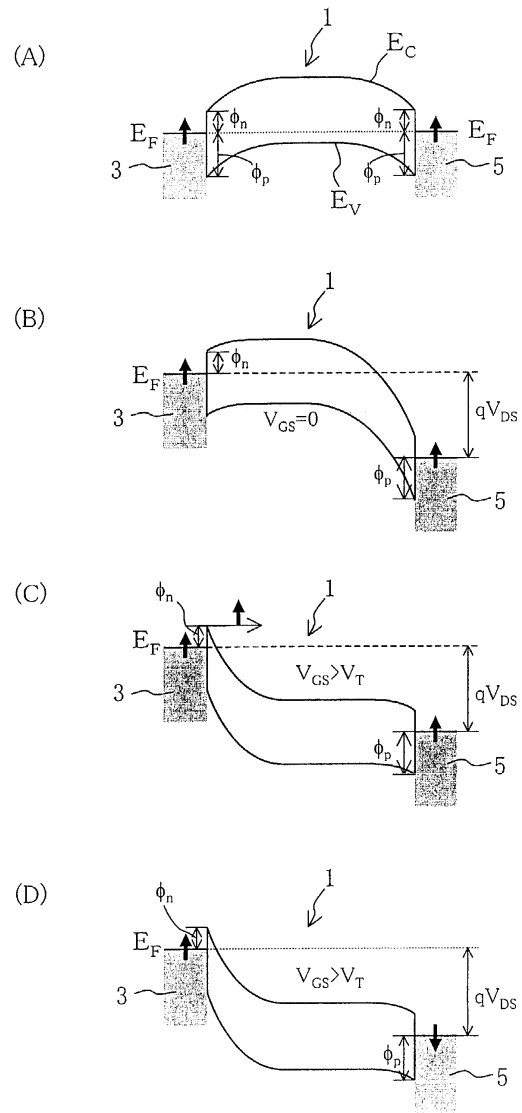
도면3



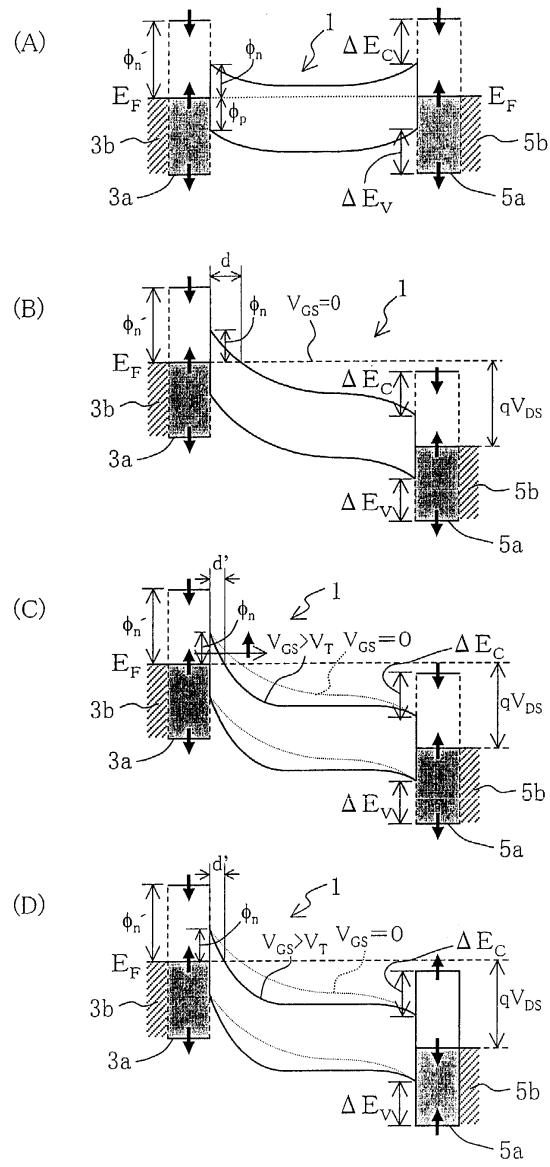
도면4



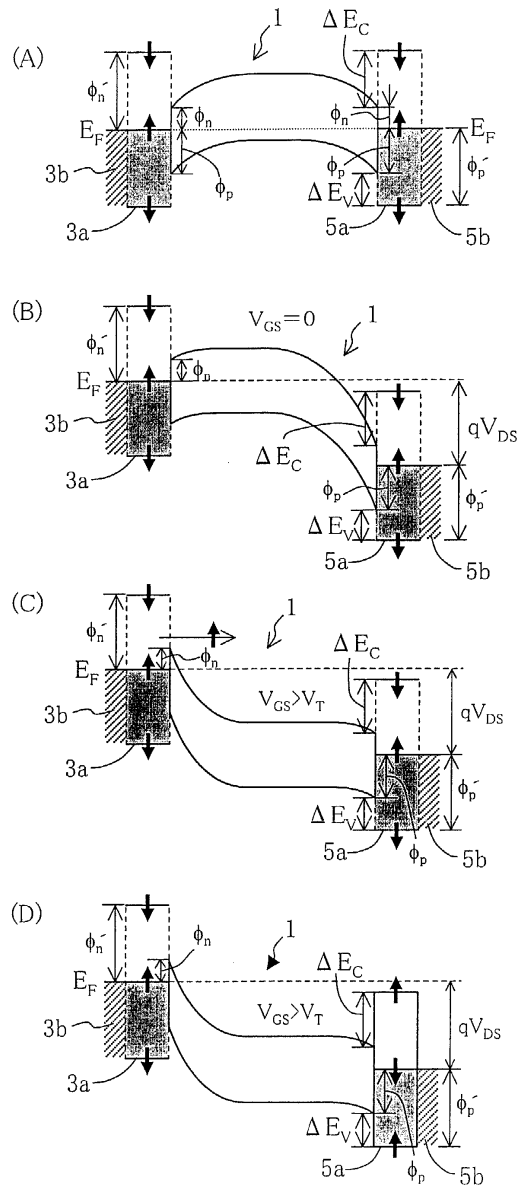
도면5



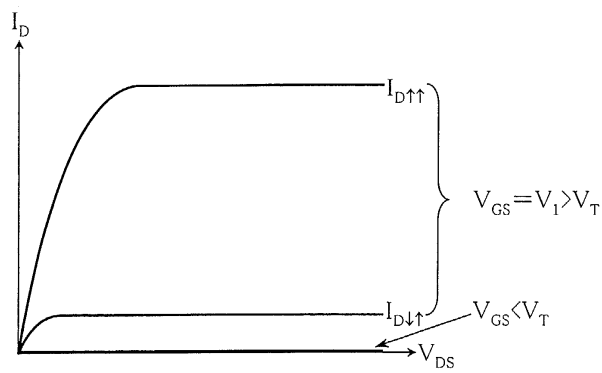
도면6



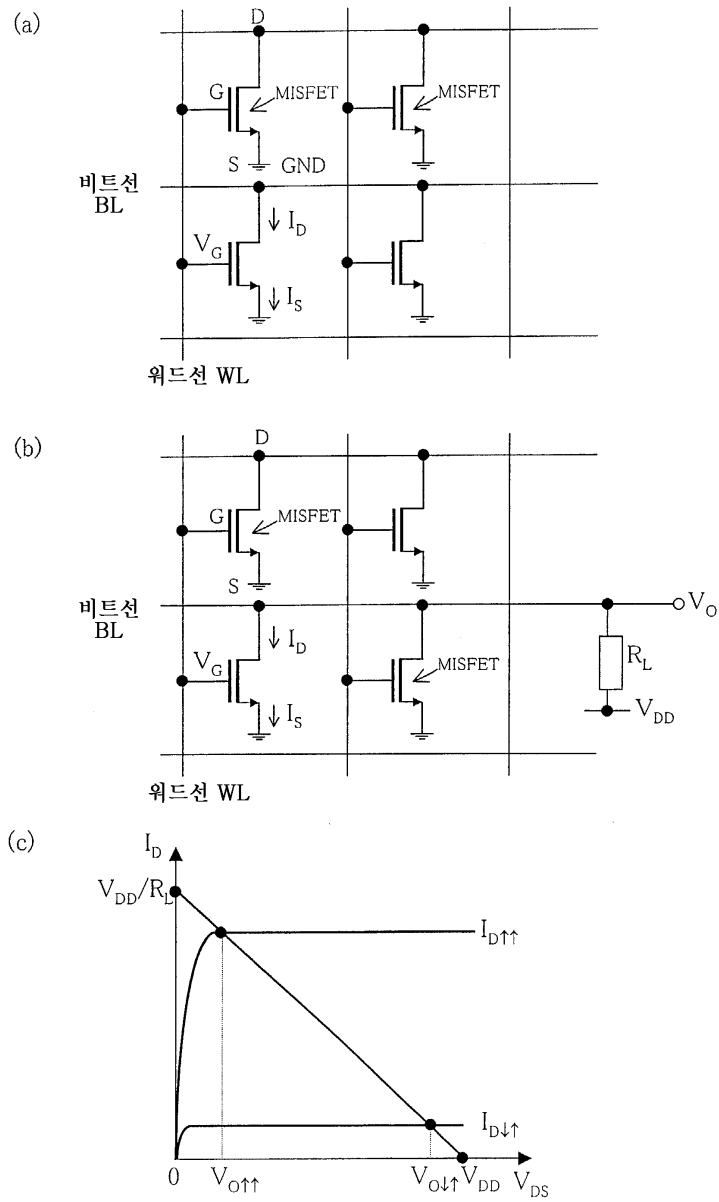
도면7



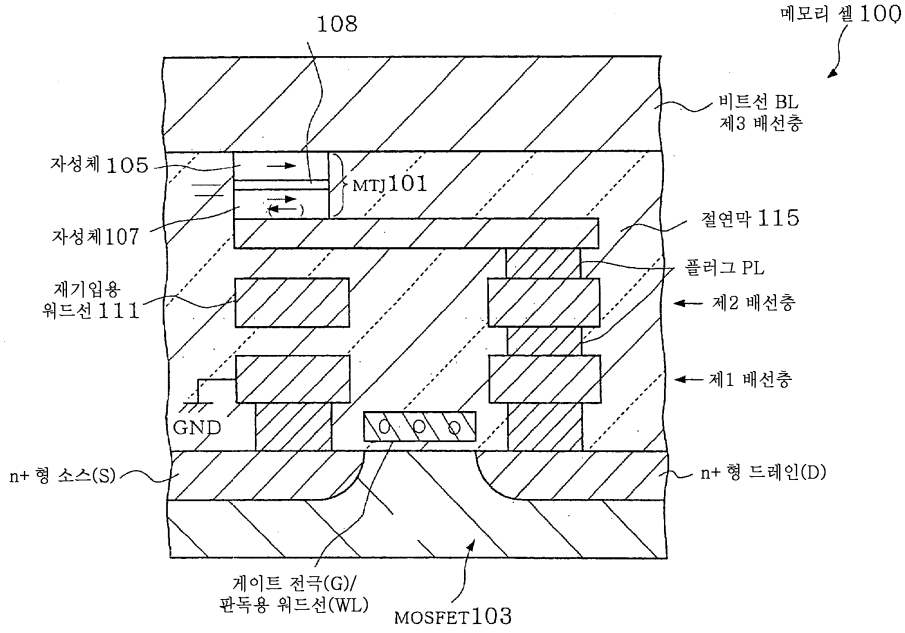
도면8



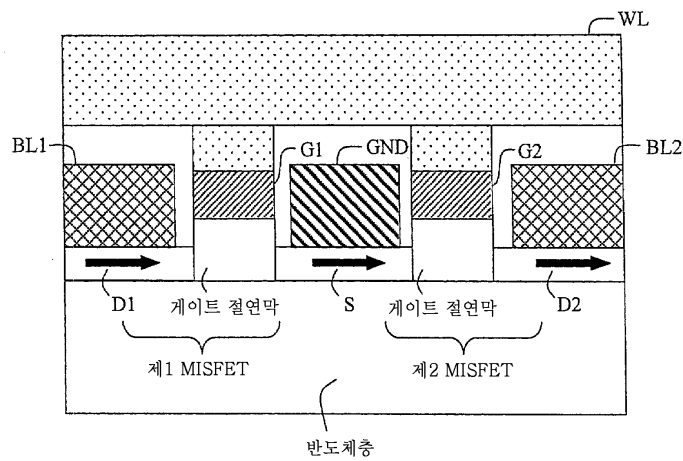
도면9



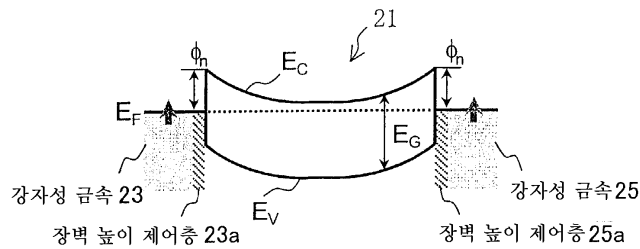
도면10



도면11



도면12



도면13

