

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0037411
H01L 21/336 (2006.01) (43) 공개일자 2006년05월03일

(21) 출원번호	10-2006-7002013	(87) 국제공개번호	WO 2005/010974
(22) 출원일자	2006년01월27일	국제공개일자	2005년02월03일
번역문 제출일자	2006년01월27일		
(86) 국제출원번호	PCT/JP2004/010696		
국제출원일자	2004년07월28일		

(30) 우선권주장 JP-P-2003-00281104 2003년07월28일 일본(JP)

(71) 출원인 도꾸리쓰교세이호징 가가꾸 기쥬쓰 신키 기꼬
일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자 수다 준
일본국 시가켄 오즈시 타나베쵸 3-19
마쯔나미 히로유키
일본국 교토부 야와타시 니시야마 아다치 1-9

(74) 대리인 이한영

심사청구 : 있음

(54) 전계효과 트랜지스터 및 그의 제조방법

요약

본 발명의 전계효과 트랜지스터는 SiC 기판(1), SiC 기판(1)의 표면에 형성된 소스(3a) 및 드레인(3b), SiC 표면에 접하여 형성되고 두께가 1 분자층 이상의 AlN층(5), 그 위에 형성된 SiO₂층을 가지는 절연구조, 및, 전기 절연구조상에 형성된 게이트 전극(15)을 포함하며, SiC와의 사이의 계면상태를 양호하게 유지하면서, 리크(leak) 전류를 억제할 수 있다.

대표도

도 4

색인어

전계효과 트랜지스터, 비휘발성 기억소자

명세서

기술분야

본 발명은 SiC계의 MISFET에 관한 것으로, 특히, AlN계의 절연막을 가지는 MISFET에 관한 것이다.

배경기술

SiC는 3eV 이상의 넓은 금제대폭(forbidden-band width)과 2.5MV/cm를 넘는 극히 높은 절연파괴 전계강도(breakdown field intensity)라는 우수한 물성치(physical property value)를 가지기 때문에, 기존의 반도체인 Si 및 GaAs 등의 반도체에서는 이론적으로 실현 불가능한 초저손실의 파워 트랜지스터, 고출력고주파 트랜지스터, 또는, 극히 작은 게이트장을 가지는 전계효과 트랜지스터가 실현가능한 반도체 재료로서 주목받고 있다.

그러나, SiC를 이용하여 절연 게이트를 가지는 전계효과 트랜지스터 장치의 기본구조인 금속-실리콘 산화막-반도체 전계효과 트랜지스터(MOSFET)를 제조할 때, SiO₂/SiC 계면에서의 실효채널 전자 이동도(effective channel electron mobility)가 벌크(bulk) SiC의 전자 이동도보다 극히 작아지기 때문에, 채널 저항이 커지게 된다. 따라서, 트랜지스터의 온특성(on-characteristic)이 나빠지고, 고성능 장치의 구현이 어려워지게 된다.

실효채널 전자 이동도가 극히 작은 원인은 SiO₂/SiC 계면에 있다고 여겨지고 있다. 따라서, SiO₂/SiC의 형성 단계 등에 관하여, 예를 들어, SiC의 산화온도, 산화분위기의 분석, 또는, 실리콘 산화막으로의 질소 첨가, 산화되는 SiC 결정 면방위(orientation)의 변경 등 여러 가지 대책이 강구되고 있다.

한편, 게이트 절연막으로서 SiO₂를 사용하지 않고, 다른 절연막을 사용하려고 하는 시도도 있다. 사용할 물질로는, 산화막과 동일한 비정질(非晶質) 물질, SiC와 동일한 단결정 물질 등이 대상이 된다. 그 중에서도, AlN은 SiC와 동일하게 반전대칭(inversion symmetry)을 가지지 않는 육방정의 결정구조를 가지며, 또한, 격자정수도 비교적 가까운 것으로 관심이 집중되고 있어, 이미, 금속/AlN/SiC계의 금속-절연체-반도체 전계효과 트랜지스터(MISFET)의 시제품 제조에 관한 보고가 이루어지고 있다(참조: 비특허문헌 1).

그러나, SiC 표면상으로의 고품질 AlN의 결정성장은 매우 어려웠다. 저품질의 AlN층밖에 얻을 수 없기 때문에, AlN층에는 큰 리크(leakage) 전류가 흐르기 때문에, 작성한 AlN/SiC계 MISFET는 특히 게이트의 절연특성이 극히 악화되어 실용에 적절한 장치는 실현될 수 없다.

최근, 발명자들은 SiC 표면에서의 고품질 AlN 결정을 성장시키는 방법을 알아내고, 극히 양호한 절연특성을 가지는 AlN층의 결정성장에 성공하였다. 그럼에도 불구하고, AlN이 고품질이라 하더라도 AlN과 SiC의 사이의 전도대 밴드 불연속량(conduction-band discontinuous quantity)은 약 2.0eV로 SiO₂와 SiC와의 사이의 불연속량 2.74eV에 비해 그다지 크지 않기 때문에, 예를 들어, 3MV/cm에 가까운 전계가 AlN층에 인가되면(applied), 양자(量子) 역학적 터널효과에 의하여 전자가 AlN층을 통과하여, 그 결과, 게이트 절연성을 잃어버리게 되는 것이 이론적으로나 실험적으로 입증되어 있다(참조: 비특허문헌 2).

비특허문헌 1

세텔링(C.-M. Zetterling) 등, 「SiC MISFETs with MBE-grown AlN Gate Dielectric」 2000년, Material Science Forum 338-342권, p.1315-p.1318

비특허문헌 2

오노지마(Onojima, N.) 등, 「Molecular-beam epitaxial growth of insulating AlN on surface-controlled 6H-SiC substrate by HCl gas etching」 2002년, Physics Letters 80권, No. 1, p.76-p.78

발명의 상세한 설명

발명의 개시

AlN층을 두껍게 함으로써 전계를 3MV/cm 이하로 억제하는 것도 생각할 수 있지만, AlN과 SiC 사이의 격자 부정합(lattice mismatch)이 약 0.9%인 것을 고려하면, AlN층의 두께는 30nm가 한계이다. 즉, 30nm 이상의 두께에서는 다수의 미스피트(misfit) 전위가 AlN층 안에 도입되어, AlN층의 결정성 저하의 원인으로 리크 전류가 증가한다는 문제가 있다.

AlN/SiC의 전도대 밴드 오프셋은 약 2.0eV로 보고되어 있다. 이 구조에서의 전기적 절연성은 터널전류에 의하여 규정된다. AlN의 물성치를 이용하여 대략적으로 계산해 보면, AlN/SiC 계면의 AlN층 측에 약 3MV/cm 이상의 전계가 더해지면 터널전류가 증대하고 절연성이 없어진다. 실제로, 테스트 장치를 제조하여 검증하였는 바, 도 10과 같은 결과를 얻을 수 있었다. 도 10은 AlN/SiC MIS 다이오드의 전계강도와 전류밀도와와의 관계를 나타낸 그래프이다. 도 10에서 보여지는 바와 같이, 상기 구조에서는 AlN으로의 인가되는 전계가 3MV/cm 정도로 절연막을 흐르는 전류가 10^{-6} A/cm²를 초과한다. 이 3MV/cm이라는 절연내압(dielectric voltage)을 대폭 향상시키는 것은 AlN/SiC 구조를 이용하는 한 이론적으로 불가능하다.

또한, AlN보다도 밴드 간격이 큰 SiO₂를 이용하면, 그 상한은 7MV/cm 부근까지 향상될 수 있으므로, 이 문제를 회피할 수 있지만, SiC와의 사이에서 양호한 계면을 형성하는 것이 어렵고 실효채널 전자 이동도가 낮아진다.

본 발명은 고성능 절연 게이트 SiC계 MISFET를 실현하는 것을 목적으로 한다.

과제를 해결하기 위한 수단

본 발명의 일측면에 의하면, SiC 표면구조, 전기 SiC 표면구조에 형성된 소스 및 드레인, 전기 SiC 표면구조에 접하여 형성되고, 두께가 1 분자층 이상의 III족 질화물층을 포함하는 계면제어층과, 전기 계면제어층상에 전기 계면제어층과는 다른 재료이며, 전기 계면제어층보다도 전도 캐리어(conduction layer)에 대한 큰 밴드 오프셋(band offset)의 재료에 의하여 형성된 절연층을 가지는 절연구조, 및, 전기 절연구조상에 형성된 게이트 전극을 포함하는 전계효과 트랜지스터가 제공된다.

상기 전계효과 트랜지스터에 의하면, SiC와의 사이에서 양호한 계면을 형성하는 계면제어층, 전기 계면제어층보다도 전도 캐리어에 대한 밴드 오프셋이 큰 절연층과의 다층구조 절연체를 이용함에 따라, 전도 캐리어의 이동도의 저하를 억제함과 동시에, 전계효과 트랜지스터의 전기 절연구조를 푸는 게이트 리크를 저감시킨다. III족 질화물로는 Al과 N을 포함하는 것이 바람직하다. 이 때, 두께가 6nm 이하인 것으로 격자 부정합의 영향을 저감시킬 수 있다.

또는, 전기 계면제어층은 B_xAl_{1-x-y}Ga_yN층(x<0.4, y<0.4)을 포함하는 것이 바람직하다. B_xAl_{1-x-y}Ga_yN층은 SiC층과의 격자 정합(lattice matching)을 취할 수 있기 때문에, III족 질화물과 SiC의 사이에 보다 양호한 계면을 형성한다.

전기 절연층은 AlN, Al, Al_xN_y, AlAs, 및 AlN_xAs_{1-x}로부터 구성되는 군(群) 중에서 선택되는 적어도 하나의 재료로 구성된 증착층을 산화시켜 형성된 Al₂O₃층 또는 소량의 N, As를 포함하는 Al₂O₃층으로 제조하는 것도 가능하다. 이렇게 하면, 제조공정이 간단화될 수 있다.

본 발명의 다른 측면에 의하면, SiC 표면구조를 가지는 기판을 수득하는 공정, 전기 SiC 표면구조에 소스 및 드레인을 형성하는 공정, 전기 SiC 표면구조의 표면을 청정화하는 공정, 전기 SiC 표면구조에 접하여 Al과 N을 포함하며 두께가 1 분자층 이상의 계면제어층을 형성하고, 전기 계면제어층상에 전기 계면제어층과는 다른 재료에 의해 형성된 절연층을 형성하여, 절연구조를 형성하는 공정, 및, 전기 절연구조상에 게이트 전극을 형성하는 공정을 포함하는 전계효과 트랜지스터의 제조방법이 제공된다.

상기 방법에 의하면, 표면의 스택구조제어 및 청정화된 SiC 표면구조에 접하여 계면제어층을 형성하기 때문에, SiC와의 계면상태가 양호해진다. 그 위에 리크 전류 억제효과가 높은 절연층을 형성함으로써, 계면상태가 양호한 그대로 리크 전류를 억제할 수 있다.

도면의 간단한 설명

도 1(A) 내지 도 1(C)까지는 본 발명의 제 1의 실시태양에 의한 MISFET의 제조방법을 나타내는 도면이다.

도 2(D) 내지 도 2(F)까지는 본 발명의 제 1의 실시태양에 의한 MISFET의 제조방법을 나타내는 도면이며, 도 1과 연속되는 도면이다.

도 3(G) 내지 도 3(H)까지는 본 발명의 제 1의 실시태양에 의한 MISFET의 제조방법을 나타내는 도면이며, 도 2와 연속되는 도면이다.

도 4(I)는 본 발명의 제 1의 실시태양에 의한 MISFET의 제조방법을 나타내는 도면이며, 도 3과 연속되는 도면이다. 도 4(J)는 도 4(I)에 나타내는 MISFET의 게이트로부터 기판에 걸친 에너지 밴드 구조를 나타내는 도면이다.

도 5는 본 발명의 제 2의 실시태양에 의한 MISFET 구조(도 5(A))와 그의 에너지 밴드 구조(도 5(B))를 나타내는 도면이다.

도 6은 도 5(A) 및 (B)에 나타내는 구조의 제조공정의 한 예를 나타내는 도면이다.

도 7은 본 발명의 제 3의 실시태양에 의한 MISFET의 구조를 나타내는 도면이다.

도 8은 본 발명의 제 4의 실시태양에 의한 MISFET의 구조를 나타내는 도면이다.

도 9는 본 발명의 제 5의 실시태양에 의한 MISFET이며, 플로팅게이트 구조를 가지는 전계효과 트랜지스터이고, 플로팅게이트 구조를 가지는 전계효과 트랜지스터의 구조를 나타내는 도면이다.

도 10은 AlN/SiC MIS 다이오드의 전계강도와 전류밀도와의 관계를 나타내는 도면이다.

실시예

발명을 실시하기 위한 최량의 형태

본 발명에 따른 MISFET는 전자가 주행하는 절연체/SiC 계면에는 SiC와 동일한 결정구조를 가지는 III족 질화물, 예를 들어, AlN 단결정을 SiC 표면에 접하여 사용하는 한편, 게이트 절연성의 확보를 위하여 또 다른 절연막을 사용하는 것을 특징으로 한다.

이하에서는, 본 발명의 실시태양에 대하여 첨부된 도면을 참조하면서 설명한다. 우선, 본 발명의 제 1의 실시태양에 의한 MISFET에 대하여 도면을 참조하면서 설명한다. 도 1(A) 내지 도 4(J)까지 의거하여, 본 발명의 제 1의 실시태양에 의한 MISFET의 제조방법에 대하여 설명한다. 우선, 도 1(A)에서 보여지는 바와 같이, 4H-SiC(0001)_{Si} 기판(1)(저스트 기판(just substrate) 또는 임의의 결정방향으로 15°이하의 오프셋(offset)각을 가지는 기판으로 한다. 그 이상 큰 오프셋각이 되면 스텝의 근접이나 파셋(facet)의 형성이 문제가 되고, 다른 결정성장기구를 고려할 필요가 생긴다. 또한, SiC의 결정구조는 4H가 아닌 6H이어도 무방하다) 위에 SiC층(1a)을, 예를 들어, 호모에피택셜(homoepitaxial) 성장에 의하여 형성된다. 이 에피택셜층은 고품질의 단결정층이다. 도 1(B)에서 보여지는 바와 같이, SiC층(1a) 위에, 적어도, 후에 소스/드레인이 형성되는 영역에 개구(開口)를 가지는 마스크 R을 형성하고, SiC 내에서의 n형 도전층을 형성하기 위한 불순물로서 V족 원소인 N이나 P를 이온주입한다. 이온주입된 원자를 전기적으로 활성화하기 위한 고온의 어닐링(annealing) 처리로 도 1(C)에 보여지는 바와 같이, 소스/드레인 영역(3a)/(3b)를 형성할 수 있다.

도 1(C)까지의 공정을 끝낸 후, 도 2(D)에 보여지는 바와 같이, SiC 기판(1)을 세정하고, 예를 들어, 석영으로 제조한 가열로 내에서 수소가스로 희석된 HCl가스 분위기 중에서(예를 들어, 캐리어가스(carrier gas)인 수소가스의 유량은 1slm이며, HCl가스의 유량은 3sccm이다), 예를 들어, 1300℃에서 10분간 열처리한다(가스에칭(gas etching)에서도 고온의 어닐링 처리와 동일한 가열로를 이용하는 것으로 세정과 가열로의 교환을 생략한 연속처리도 가능하다). 이 조건하에서의 SiC의 에칭속도는 약 0.3μm/h이다. 이와 같은 가스 에칭처리에 따라 상술한 바와 같이, SiC 기판표면은 원자 레벨에서 평탄한 테라스와 스텝으로부터 구성되는 스텝테라스 구조가 된다. 테라스의 폭은 기판의 면방위(오프각)에 따른다. 예를 들어, (0001)_{Si}면에 대해서 0.2°정도의 오프셋각을 가질 경우, 테라스 폭은 μm 오더로 된다. 스텝의 높이는 SiC 기판표면의 경사각, 경사방향의 결정방위, 가스에칭의 조건을 조절하는 것으로, 4H-SiC의 [0001]방향의 적층구조의 단위주기에 대응한 4 모노레이어(monolayer)가 된다. 가스에칭 후에, SiC 기판을 대기중에 빼낸다. 빼낸 기판을 원자간력(原子間力, atomic force) 현미경에 의해 평가하였는 바, 기판표면은 스텝테라스 구조를 가지고 있으며, 테라스 위는 원자 레벨에서 평탄하다는 것을 알 수 있었다. 또한, 스텝의 높이는 4 모노레이어가 되어 있었다. III족 질화물을 성장시키기 전에 SiC 기판표면을 상기 구성으로 하는 것으로, 고품질의 구조를 성장시킬 수 있는 1개의 조건이 채워져 있는 것을 알 수 있었다.

다음으로, 도 2(E)에 보여지는 바와 같이, 대기 중에 뺀 SiC 기판(1)의 표면에 대하여 왕수, 염산, 불소산을 순서대로 처리하였다. 불소산 처리에 따라 SiC 기판(1)의 표면에 약간 형성되어 있는 실리콘 산화막을 제거할 수 있다. 기판표면(2)에는 SiC 청정표면(2)가 형성되어 있다. 이 처리를 수행한 SiC 기판(1)에 대해서도 원자간력 현미경에 의해 평가하였는 바, SiC 기판(1)의 표면에 스텝테라스 구조가 관찰되었다. 즉, 상기 화학처리에 의해서도 표면의 스텝테라스 구조는 변화하지 않고 유지되는 것이 확인되었다. 또한, X선 광전자분광법(XPS)에 의하여 표면분석을 수행하였는 바, 표면의 산소량이 불소산의 처리에 따라 대폭 저감되고 있는 것을 알 수 있었다. 그러나, 미량이지만, 유의한 양의 산소가 더 남아 있는 것도 확인되었다.

도 2(F)에 보여지는 바와 같이, 상기 SiC 기판(1)을 고진공장치, 예를 들어, MBE(Molecular beam epitaxy)장치내에 부착하여, 초 고진공상태(예를 들어, 10^{-6} 내지 10^{-8} Pa)로 유지시켰다. 초 고진공상태에서, 예를 들어, 800°C이하의 온도(도면에서는 600°C)에서 Ga 원자빔 또는 Si 원자빔의 조사를 시작한 후에, 800°C이상의 온도(예를 들어, 1000°C)로 올라가고, 이어서 일정기간 중 고온으로 유지된다. 가열·유지하는 단계는 적어도 1회이상(도면에서는 2회), 바람직하게는 3회이상 반복하였다. 가열 중에는 Ga 조사를 중단하는 것이 바람직하다

이어서, 1000°C 내지 600°C까지 온도를 내리고, 다시 Ga를 조사하여 온도를 유지한 후에, Ga의 조사를 중단해서 1000°C까지 온도를 높인다. 그 후, 온도를 예를 들어 900°C까지 내리고, Al(5a)와 N(5b)를 동시에 공급한다. 이 시점에서 AlN의 성장이 시작된다. 또한, Ga 원자빔(5a) 대신에, 또는 Ga 원자(5a)에 이어서 Si 원자빔을 조사하여도 무방하다. XPS에 의한 표면분석의 결과, Ga 조사·가열처리 후 표면의 산소량은 측정장치의 측정한계 이하가 되었다. Ga 조사와 그 후의 열처리에 의하여 불소산 처리에 의해서도 완전하게는 제거되지 않는, 또는, 불소산 처리후 대기중을 매개로 MBE장치에 부착한 사이에 흡착한 표면의 산소를 거의 완전하게 제거할 수 있었다.

도 3(G)에 보여지는 바와 같이, AlN막의 성장온도(예를 들어, $T_s=400^\circ\text{C}$ 내지 1100°C 사이, 예를 들어, 900°C)로 설정하고, 초 고진공상태(예를 들어, 10^{-6} 내지 10^{-8} Pa)에서 Al원자(5a)와 N원자(5b)를 SiC 기판(1) 표면에 공급한다. 또한, 성장 중의 진공도는 N 원자공급량과 성장장치의 진공 배기능력의 평행에 따라 결정된다. 일반적인 성장조건에서는 10^{-2} 내지 10^{-4} Pa정도가 된다. N원자(5b)는 예를 들어, 고주파 플라즈마 여기활성질소(RF-plasma excited active nitrogen)를 이용한 rf-MBE법에 따라 기판표면에 공급하였다. 이 시점으로부터 AlN층(5)이 SiC기판(1) 표면에 성장될 수 있다.

AlN층(5)의 성장이 시작된 시점으로부터 인 시츄(in-situ) 전자선회절(RHEED)을 측정한 결과, 진동이 관측되고, SiC 표면에 AlN층이 레이어·바이·레이어(도상의(island-like) 3차원 성장이 아닌 층상의(layered) 2차원 성장)의 양상으로 성장되고 있는 것을 확인할 수 있었다.

또한, RHEED 진동주기의 지속에 관해서는 성장조건에 의하여 크게 다르며, 보다 저온의 성장에서는 수(數) 10주기를 넘는 진동의 지속을 확인할 수 있다. 원자간력 현미경에 의한 AlN 성장표면의 스텝구조의 관찰에 의해 고온에서의 진동의 감되는 성장모드가 레이어·바이·레이어성장으로 부터 스텝플로우성장으로 이행한 것에 따른 것임을 알 수 있었다. 아울러, 스텝플로우성장도 2차원 성장이며, 결정의 고품질화라는 의미에서는 레이어·바이·레이어성장과 동일하게 결정성장에 있어서는 바람직한 것이다. 또한, AlN막의 결정성장온도를 600°C 내지 700°C정도까지 내린 경우에는, RHEED 진동의 주기가 20주기 이상에 걸쳐 명료하게 나타나 있으며, 결정성장온도를 저온화시켜 레이어·바이·레이어성장을 장시간에 걸쳐 지속가능한 것을 알 수 있다. 그러나, 예를 들어, 400°C이하의 저온에서는 원자의 마이그레이션(migration)이나 과잉원료의 재이탈이 불충분하게 되어 결정성이 대폭 악화된다. 즉, 고품질 AlN을 수득하기 위해서는 적어도 400°C이상의 온도가 필요하다는 것을 알 수 있다.

이어서, 도 3(H)에 보여지는 바와 같이, 두께 4nm의 AlN층(5)을 성장시킨 후에, AlN층(5) 위에 두께 44nm의 SiO₂층(7)을 형성시킨다. SiO₂층(7)은 AlN층(5) 위에 스퍼터링(sputtering)법 또는 CVD법 등에 의하여 무정형층(amorphous layer)으로 증착된다. 도 4(I)에 보여지는 바와 같이, 소스 전극(11a) 및 드레인 전극(11b)이 형성되는 영역에서의 AlN층(5) 및 SiO₂층(7)을 제거하여 소스 전극(11a) 및 드레인 전극(11b)을 형성함과 동시에, 게이트 전극(15)이 형성되는 영역상의 AlN층(5) 및 SiO₂층(7)을 남기고 그 위에 게이트 전극(15)을 형성시킨다.

도 4(J)에, 도 4(I)의 구조에서의 게이트 전극(15)(우측) 내지 SiC 기판(1)(좌측)까지의 기판법선방향(direction normal to the substrate)에서의 에너지밴드 구조의 개략을 나타낸다. 도 4(J)에 보여지는 바와 같이, SiC-AlN 사이의 전도대(conduction band) 에너지 불연속치(energy discontinuous value) ΔE_C 는 약 + 2.0eV이다. 또한, AlN-SiO₂ 사이의 전도

대 에너지 불연속치 ΔE_C 는 약 +0.74eV이다. WKB 근사치를 이용하여 터널확률을 계산하면, 4nm의 AlN층과 44nm의 SiO₂층의 적층구조에서는, 이 적층구조와 동일한 게이트 절연막 용량이 되는 100nm의 AlN 단일층의 경우와 비교하여, SiC 기판(1) 측으로부터 게이트 전극(15) 측으로 통과하는 전류성분을 대략 10분의 1로 대폭 저감시킬 수 있다. 즉, 보다 넓은 전계의 범위에서 절연성을 유지할 수 있음을 알 수 있다.

상기와 같이, 본 실시태양에 의한 MISFET를 사용하면, 게이트 절연성을 향상시킬 수 있다는 것을 알 수 있다. 한편, AlN층(5)과 SiC 기판(1)의 계면근방의 SiC층 안을 주행하는 채널전자(channel electron)의 실효 이동도는 AlN/SiC 계면에 의하여 결정되므로, 고품질 AlN층을 이용함으로써 전자의 실효 이동도를 높게 할 수 있으며, MISFET의 온 특성을 개선시킬 수 있다. 아울러, AlN/SiC 계면근방을 주행하는 전자가 AlN/SiC 계면의 영향하에 있기 위해서는, AlN층의 두께가 반드시 1 분자층(c축 격자정수의 반) 이상일 필요가 있다. 1 분자층에 못 미치는 도상의 AlN층을 이용하면 전자는 AlN과 SiO₂라는 다른 높이의 장벽의 영향을 직접적으로 받게되기 때문에, 계면 내에서의 장벽 높이의 차이에 의한 캐리어 산란(carrier scattering)을 강하게 받고, 성능이 현저하게 저하된다. 또한 AlN층은 가능한 한 평탄하게 가까운 쪽이 바람직하다. 전자는 AlN층을 매개로 SiO₂의 장벽의 영향을 받기 때문에, AlN층의 두께에 격차가 있으면, 실효적으로 전자가 영향을 받는 장벽높이에 대소가 생겨 전자가 산란되는 원인이 되기 때문이다. 원자레벨의 평탄성의 실현은 레이어·바이·레이어성장 또는 스텝플로우 성장에 의하여 AlN층을 형성시켜 이루어진다.

아울러, 계면제어층으로 작용시키기 위해서는, AlN층의 두께를 6nm 이하로 하는 것이 바람직하다. 즉, AlN층(5)이 두꺼워지면, SiC 기판(1)과의 격자 부정합으로 미스피트(misfit) 전위가 발생하고, 상기에 의거하는 AlN층 결정성의 악화가 문제가 된다. 이를 방지하기 위하여, AlN층의 두께는 미스피트 전위가 발생하지 않는, 이른바 임계막의 두께(the critical film thickness) 이하로 설정하는 것이 바람직하다. 발명자들의 실험결과에 의하면, 적어도 6nm를 넘으면 전위가 발생하기 시작하는 것을 알 수 있었다. 따라서, AlN층의 두께를 6nm 이하로 하는 것이 미스피트 전위제어를 위한 조건이다. 또한, AlN층의 두께를 작게 하는 것은 전계인가시에 전자가 AlN층을 통과하여, AlN과 SiO₂의 계면에 축적되는 것을 방지한다는 의미에서도 중요하다.

이상에서 설명한 바와 같이, 본 실시태양에 의한 MISFET를 이용하면, SiC기판과 AlN층의 양호한 계면을 형성할 수 있기 때문에, 실효채널 전자 이동도를 높일 수 있다. 한편, AlN층과 게이트 전극 사이에 SiO₂층이 형성되어 있기 때문에, SiC 기판(1) 측으로부터 게이트 전극(15) 측으로 통과하는 전류성분을 AlN층만의 경우에 비하여 대폭 저감시킬 수 있다.

아울러, 게이트 전극 측의 절연층으로는 SiO₂ 대신에 다른 물질을 이용하는 것도 가능하다. 절연체로는 여러 가지 선택사항이 있지만, 증착방법이 가장 잘 연구되고 있는 것으로서 SiO₂ 이외에는 Si_xN_y를 이용하는 것을 생각할 수 있다.

다음으로, 본 발명의 제 2의 실시태양에 의한 MISFET에 대하여 도면을 참조하면서 설명한다.

본 실시태양에 의한 게이트 전극 측의 절연체로 Al₂O₃를 이용한다. 도 5(A)에 보여지는 바와 같이, 본 실시태양에 의한 MISFET는 p형 SiC 기판(41)에 고농도로 n형 불순물이 첨가된 소스 및 드레인 영역(43a)·(43b), SiC 기판(1) 위의 상기 소스 영역(43a), 및, 드레인 영역(43b)의 사이에 형성되며, AlN층/Al₂O₃층의 적층구조(45), (51), 그 위에 형성되는 게이트 전극(55)을 포함하고 있다. 상기에서 AlN층(45)과의 친화성을 고려하면, Al을 성분으로 포함하는 절연체를 이용하는 것이 바람직하다. 또한, Al₂O₃는 큰 밴드 간격, 높은 절연성, 큰 유전율을 가지고 있어 MISFET로의 응용에 적합하다. 도 5(B)에, 도 5(A)에 나타내는 SiC계 MISFET의 게이트 전극(55)(우측)으로부터 SiC 기판(41)(좌측)으로 향한 에너지밴드 구조의 개략을 나타낸다. 도 5(B)에 보여지는 바와 같이, SiC-AlN 사이의 전도대 에너지 불연속치 ΔE_C 는 약 +2.0eV이다. 또한, AlN-Al₂O₃ 사이의 전도대 에너지 불연속치 ΔE_C 는 약 +0.29eV이다. 4nm의 AlN층과 108nm의 Al₂O₃층의 적층구조에서는, 이 적층구조와 동일한 게이트 절연막 용량이 되는 100nm의 AlN 단일층의 경우와 비교하여, SiC 기판(41) 측으로부터 게이트 전극(55) 측으로 통과하는 전류성분을 대략 100분의 1로 저감시킬 수 있다. 즉, 보다 넓은 전계의 범위에서 절연성을 유지할 수 있음을 알 수 있다.

상기에서 Al을 포함하는 절연체의 형성방법으로, 도 6(A)(도 3(H)에 대응한다)와 (B)에 보여지는 바와 같이, AlN층, Al층, Al_xN_y층, AlAs층, 또는 AlN_xAs_{1-x}층(5)(도면에서는 AlN)을 처음에 증착하여, 그것을 산화시켜 Al₂O₃층 또는 소량의 N, As를 포함한 Al₂O₃층(5a)을 형성시킬 수 있다. 도 6(A), (B)에 나타내는 산화법을 이용함으로써 AlN/Al₂O₃계의 다층 절연막을 형성시킬 수 있는 것은 공정의 간략화 관점에서 바람직하다.

이상, 본 실시태양에 의한 SiC계 MISFET에 의하면, 제 1의 실시태양에 의한 SiC계 MISFET와 동일한 효과를 수득할 수 있을 뿐만 아니라, 제조공정을 보다 간단히 할 수 있다는 이점이 있다.

다음으로, 본 발명의 제 3의 실시태양에 의한 SiC계 MISFET에 대하여 도면을 참조하면서 설명한다. 도 7은 본 실시태양에 의한 SiC계 MISFET의 구조예를 나타내는 단면도이다. 도 7에 보여지는 바와 같이, 본 실시태양에 의한 SiC계 MISFET는 p-SiC 기판(21)에 형성된 소스 영역(23a), 드레인 영역(23b), 각각의 위에 형성된 소스 전극(31a) 및 드레인 전극(31b), 채널 영역 위에 형성된 $B_xAl_{1-x-y}Ga_yN$ 층($x < 0.4, y < 0.4$), 및, 게이트 전극(35)을 포함하고 있다. BAlGaN 혼정(mixed crystal)을 이용하면, 면내의 격자정수를 SiC에 거의 완전하게 일치시킬 수 있다. 격자정수를 일치시킬 수 있으면, 계면에서의 왜곡(distortion)과 미스피트 전위의 발생을 억제시킬 수 있어 바람직하다. 아울러, 혼정 조성(mixed-crystal composition)이 커지면, 혼정의 미세한 조성 변동(fluctuation in the microscopic composition)에 의거하는, 이른바 합금 산란(alloy scattering)이 커져 전자 이동도의 저하가 발생하기 때문에, GaN, BN의 몰분율(molar fraction)은 각각 40% 이하로 하는 것이 바람직하다. 이와 같이, 계면제어층으로 BAlGaN층(25)을 이용하여, 그 면내의 격자정수가 SiC(21)의 면내의 격자정수에 대하여 0.5% 이하의 부정합인 것이 바람직하다. 아울러, 도 7에 보여지는 바와 같이, BAlGaN층 위에 예를 들어, SiO_2 층 또는 Si_xN_y 층 등을 적층하면, 터널전류를 억제할 수 있다는 이점이 있다.

다음으로, 본 발명의 제 4의 실시태양에 의한 SiC계 MISFET에 대하여 도면을 참조하면서 설명한다. AlN층 및 전극층과의 친화성(막이 형성된 시점의 습윤성(wettability), 장치특성에서의 열화(deterioration)로 연결된 고상반응(solid reaction)의 억제)을 위하여 절연체를 복수구조로 할 수도 있다. AlN층과 친화성이 뛰어난 제 1의 절연체와, 금속과 친화성이 뛰어난 제 2의 절연체를 적층하는 방법에 관해서는 제 2 및 제 3의 실시태양에서 설명하였지만, 아울러, 제 1의 절연체와 제 2의 절연체만으로는 성능이 부족할 경우, 예를 들어, 밴드 오프셋이 작은 문제 등을 해결하기 위하여, 제 1 및 제 2의 절연체 사이에 제 3의 절연체를 배치하는 3층 구조를 형성하는 것도 가능하다.

도 8(A)는 본 실시태양에 의한 SiC계 MISFET의 구조예를 나타내는 도면이다. 도 8(A)에 보여지는 바와 같이, 본 실시태양에 의한 SiC계 MISFET는 p-SiC 기판(61), 기판(61)에 형성된 소스 영역(63a) 및 드레인 영역(63b), 이들 위에 형성된 소스 전극(75a) 및 드레인 전극(75b), 채널층 위에 형성된 다층절연체(AlN층(65), Al_2O_3 층(67), SiO_2 층(71)), 및, 다층절연체 위에 형성된 게이트 전극(77)을 포함하고 있다. 도 8(B)는 도 8(A)의 구조에서의 게이트 전극(77)(우측)으로부터 SiC 기판(61)(좌측)까지의 기판법선방향에서의 에너지밴드 구조의 개략을 나타낸다. 도 8(B)에 보여지는 바와 같이, SiC-AlN 사이의 전도대 에너지 불연속치 ΔE_C 는 약 +2.0eV이다. 또한, AlN- Al_2O_3 사이의 전도대 에너지 불연속치 ΔE_C 는 약 +0.29eV이다. Al_2O_3 - SiO_2 사이의 전도대 에너지 밴드 불연속치 ΔE_C 는 약 +0.45eV이다. 예를 들어, 4nm의 AlN층과 5nm의 Al_2O_3 층과 42nm 두께의 SiO_2 층과의 적층구조에서는, 이 적층구조와 동일한 게이트 절연막 용량이 되는 100nm의 AlN 단일층의 경우와 비교하여, SiC 기판(41) 측으로부터 게이트 전극(55) 측으로 통과하는 전류성분을 대폭 저감시킬 수 있다. 즉, 보다 넓은 전계의 범위에서 절연성을 유지할 수 있음을 알 수 있다.

아울러, 절연체들간의 고상반응 억제를 위하여 절연체 사이에 이종(異種)물질을 삽입할 수도 있다. 단, 삽입되는 이종물질은 금속이나 반도체 등의 비교적 밴드 간격이 좁은 물질은 바람직하지 않다. 금속이나 반도체를 이용하면, 삽입물질 안에 전하가 축적되거나, 공명터널(resonance tunnel)이 발생하여 히스테리시스(hysteresis)가 발생하거나, 게이트 절연성이 나빠지게 된다.

다음으로, 본 발명의 제 5의 실시태양에 의한 SiC계 트랜지스터에 대하여 도면을 참조하면서 설명한다. 본 실시태양에 의한 SiC계 트랜지스터는 금속/절연체/금속/절연체/1 분자 이상의 두께의 Al과 N을 포함하는 계면제어층/SiC 구조를 가지는 플로팅게이트 구조를 가지는 전계효과 트랜지스터이며, 플로팅게이트 구조를 가지는 전계효과 트랜지스터이다. 플로팅 게이트 구조를 가지는 전계효과 트랜지스터는 예를 들어, 비휘발성 기억(nonvolatile memory) 등의 여러 가지 장치로의 응용이 가능하다. 도 9(A)는 본 실시태양에 의한 MISFET를 기초로 한 비휘발성 기억장치 구조예를 나타내는 도면이다. 도 9(A)에 보여지는 바와 같이, 본 실시태양에 의한 비휘발성 기억장치는 p-SiC 기판(81), 기판(81) 내에 형성된 소스 및 드레인 영역 (83a), (83b), 채널 영역 위에 형성된 적층구조이며, AlN층(85), GaN층(87), AlN층(91)의 적층구조, 소스 및 드레인 영역(83a), (83b)의 각각에 대하여 형성된 소스 및 드레인 전극(95a), 95(b), 및, 상기 적층 위에 형성된 게이트 전극(제어전극)(97)을 포함하고 있다.

도 9(B)는 도 9(A)의 구조에서의 게이트 전극(97)(우측)으로부터 SiC 기판(81)(좌측)까지의 기판법선방향에서의 에너지 밴드 구조의 개략을 나타낸 도면이다. 도 9(B)에 보여지는 바와 같이, SiC 기판(81)에 대하여 형성된 2층의 AlN층(85)과 (91) 사이에 AlN에 대하여 전도대 에너지 밴드 불연속치로 약 -2.0eV의 값을 가지는 GaN층(87)을 형성하면, GaN층(87)

은 양측을 에너지 장벽층으로 둘러싸인 양자 우물층으로서 작용하고, 이 양자 우물층(87) 안에 채널층에서의 전자를 축적해 놓을 수 있다. 장벽 높이가 2eV로 높기 때문에, 실온에서도 양자 우물(87)에서 채널층으로 돌아오는 전자의 양은 적다. 양자 우물층(87) 안에 축적되어 있는 전자(전하)량에 따라, 도 9(A)에 나타내는 트랜지스터의 임계 전압(threshold voltage)이 변화함을 이용하여 비휘발성 기억장치를 구성할 수 있다.

SiC상에 초저손실의 파워 트랜지스터, 고출력고주파 트랜지스터, 또는, 극히 작은 게이트장을 가지는 전계효과 트랜지스터를 형성할 경우에, 상기 비휘발성 기억장치를 동일한 기판 위에 집적화할 수 있다는 이점을 가지고 있다.

아울러, 본 명세서에서 "SiC 표면구조(SiC surface structure)"라는 용어는 SiC 기판의 표면이나, SiC 기판이나 사파이어 기판상 등의 이종재료 위에 증착된 SiC층의 표면 중 어느 하나를 포함하는 것으로 본다. 또한, "SiC 기판(SiC substrate)"이라는 경우에도, 그 중에는 SiC가 표면에 존재하는 기판이라는 의미가 함축되어 있는 것으로 본다.

본 명세서에서는 평면형(planar) MISFET을 실시예로 묘사하였지만, 본 발명의 실시는 평면형에 한정되지 않는다. 파워 트랜지스터 등에서는, 드레인 전극이 기판이면에 있는 수직 형태(vertical-type)의 FET이 자주 이용된다. 소스나 드레인 등의 구조는 다르지만, 스위치 작용을 하는 금속-절연체-반도체 구조는 동일하며, 본 발명의 적용범위에 해당하는 것으로 본다.

"III족 질화물(Group-III nitride)"로 칭하는 경우에는 B, Al, Ga, In 중 적어도 하나 이상 III족 원소와 N을 포함하는 것을 의미한다. V족 원소로서 N 이외의 원소를 포함하고 있어도 무방하고, 또한, GaN이나 AlN 등의 화합물만이 아니라, $Al_xIn_yGa_{1-x-y}N$ 등의 혼정도 포함되어 있는 것으로 본다.

산업상 이용 가능성

본 발명에 의하면, SiC와의 사이의 계면상태를 양호하게 유지하면서, 리크 전류를 억제할 수 있으며, 고성능 절연 게이트 SiC계 MISFET를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

SiC 표면구조;

전기 SiC 표면구조에 형성된 소스(source) 및 드레인(drain);

전기 SiC 표면구조에 접하여 형성되고, 두께가 1 분자층 이상의 III족 질화물층을 가지는 계면제어층과, 전기 계면제어층상에 전기 계면제어층과는 다른 재료이며, 전기 계면제어층보다도 전도 캐리어(conduction layer)에 대한 큰 밴드 오프셋(band offset)의 재료에 의하여 형성된 절연층을 가지는 절연구조; 및,

전기 절연구조상에 형성된 게이트 전극을 포함하는 전계효과 트랜지스터(field effect transistor).

청구항 2.

SiC 표면구조;

전기 SiC 표면구조에 형성된 소스 및 드레인;

전기 SiC 표면구조에 접하여 형성되고, Al과 N을 포함하는 두께가 1 분자층 이상의 계면제어층과, 전기 계면제어층상에 전기 계면제어층과는 다른 재료이며, 전기 계면제어층보다도 전도 캐리어에 대한 큰 밴드 오프셋의 재료에 의하여 형성된 절연층을 가지는 절연구조; 및,

전기 절연구조상에 형성된 게이트 전극을 포함하는 전계효과 트랜지스터.

청구항 3.

제 1항 또는 제 2항에 있어서,

전기 계면제어층은 두께가 6nm 이하의 AlN층을 포함하는 것을 특징으로 하는

전계효과 트랜지스터.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

전기 계면제어층은 B, Al, Ga, In 중 적어도 하나 이상과 III족 원소와 N을 포함하는 것을 특징으로 하는

전계효과 트랜지스터.

청구항 5.

제 1항 또는 제 2항에 있어서,

전기 계면제어층은 면내(面內, in-plane)의 격자정수가 SiC의 면내의 격자정수에 대하여 0.5% 이하의 부정합을 가지는 BAlN층을 포함하는 것을 특징으로 하는

전계효과 트랜지스터.

청구항 6.

제 1항 내지 제 5항 중 어느 한 항에 있어서,

전기 절연층은 SiO₂층, Si_xN_y층 및 Al₂O₃층으로 구성되는 군 중에서 선택되는 적어도 하나의 층을 포함하는 것을 특징으로 하는

전계효과 트랜지스터.

청구항 7.

제 1항 내지 제 5항 중 어느 한 항에 있어서,

전기 절연층은 AlN, Al, Al_xN_y, AlAs, 및, AlN_xAs_{1-x}로 구성되는 군 중에서 선택되는 적어도 하나의 재료의 증착층(deposition layer)을 산화 시켜 형성된 Al₂O₃층 또는 N 또는 As 중 적어도 소량의 어느 하나를 포함하는 Al₂O₃층인 것을 특징으로 하는

전계효과 트랜지스터.

청구항 8.

제 1항 내지 제 7항 중 어느 한 항에 있어서,

전기 절연층은 복수의 절연막에 의하여 형성된 다(多)층막을 가지고 있는 것을 특징으로 하는

전계효과 트랜지스터.

청구항 9.

SiC 표면구조;

전기 SiC 표면구조상에 형성되는 구조이며, 전기 SiC 표면에 접하여 형성되고 Al과 N을 포함하며, 1 분자 이상의 두께를 가지는 계면제어층을 포함하는 제 1의 절연체 장벽층(barrier layer), 금속 또는 반도체에 의하여 형성된 우물층(well layer), 제 2의 절연체 장벽층, 및, 게이트 전극층을 포함하는 플로팅게이트(floating-gate) 구조; 및,

전기 플로팅게이트 구조에 인접하여 전기 SiC 표면구조에 형성되는 소스 및 드레인층을 포함하는 비휘발성 기억소자(non-volatile memory element).

청구항 10.

SiC 표면구조를 가지는 기판을 수득하는 공정;

전기 SiC 표면구조에 소스 및 드레인을 형성하는 공정;

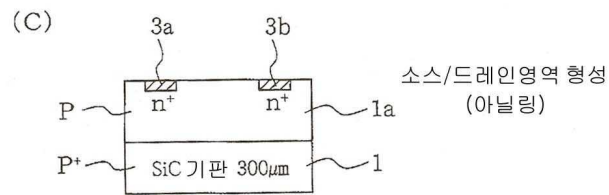
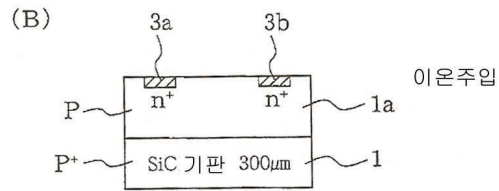
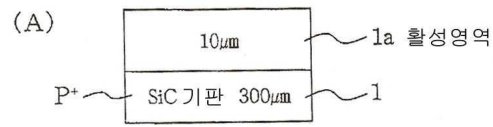
전기 SiC 표면구조의 표면의 스텝 구조제어 및 청정화하는 공정;

전기 SiC 표면구조에 접하여 Al과 N을 포함하며 두께가 1 분자층 이상의 계면제어층을 형성하고, 전기 계면제어층상에 전기 계면제어층과는 다른 재료이며 전기 계면제어층보다도 전도 캐리어에 대한 큰 밴드 오프셋의 재료에 의한 절연층을 가지는 절연구조를 형성하는 공정; 및,

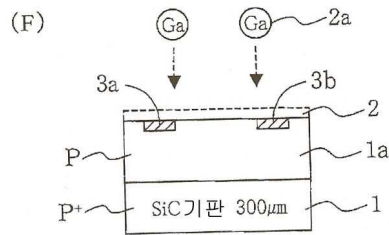
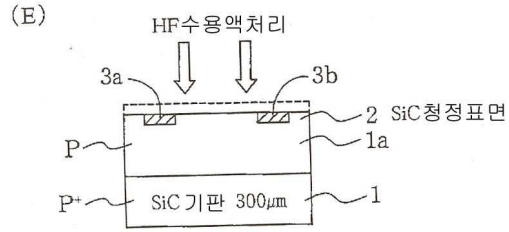
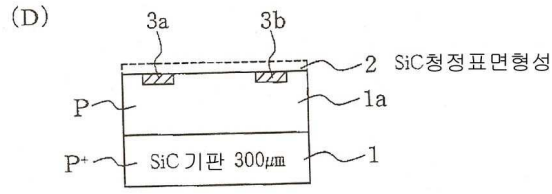
전기 절연구조상에 게이트 전극을 형성하는 공정을 포함하는 전계효과 트랜지스터의 제조방법.

도면

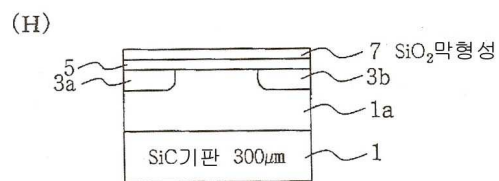
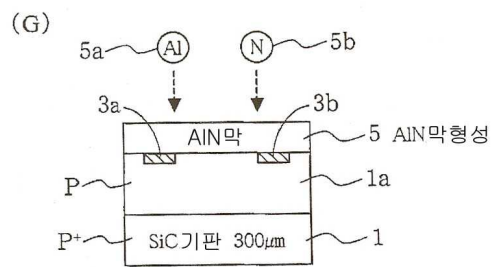
도면1



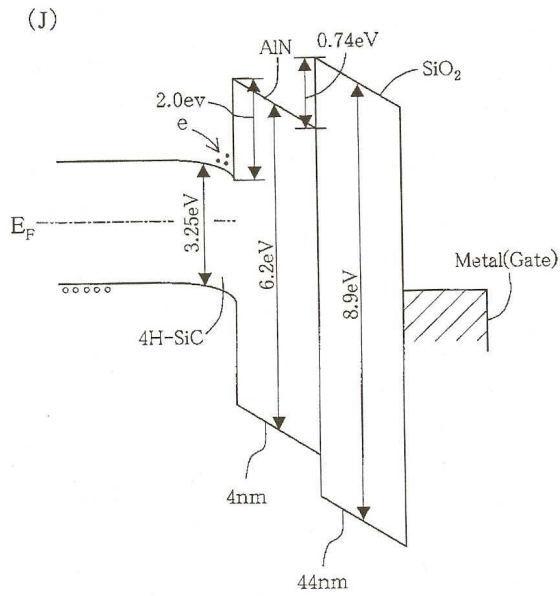
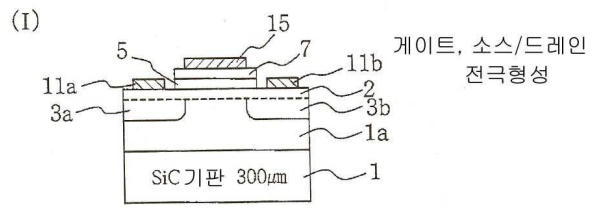
도면2



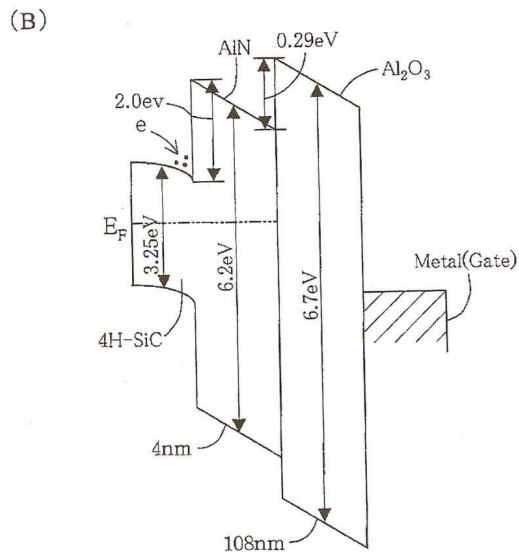
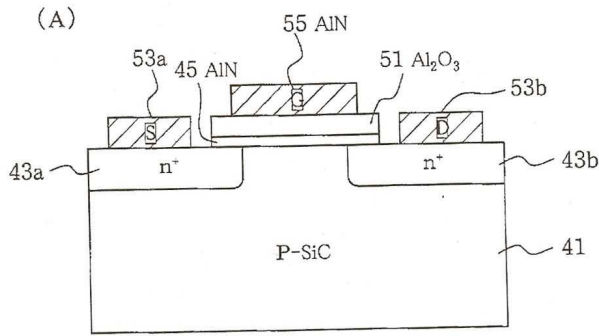
도면3



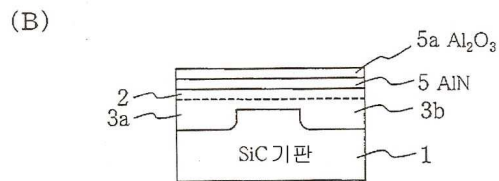
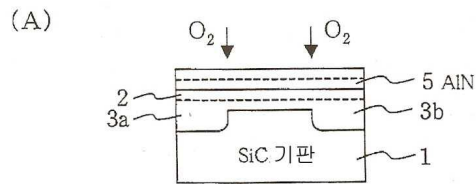
도면4



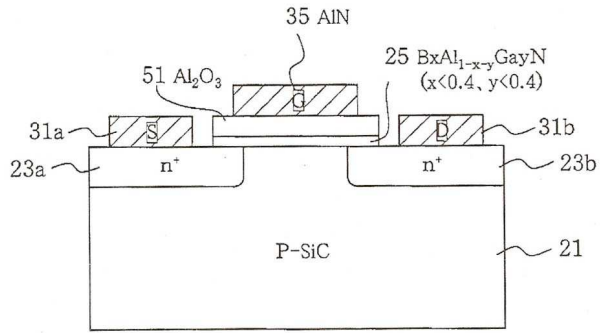
도면5



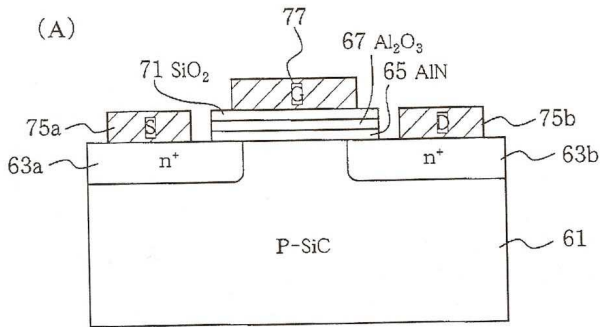
도면6



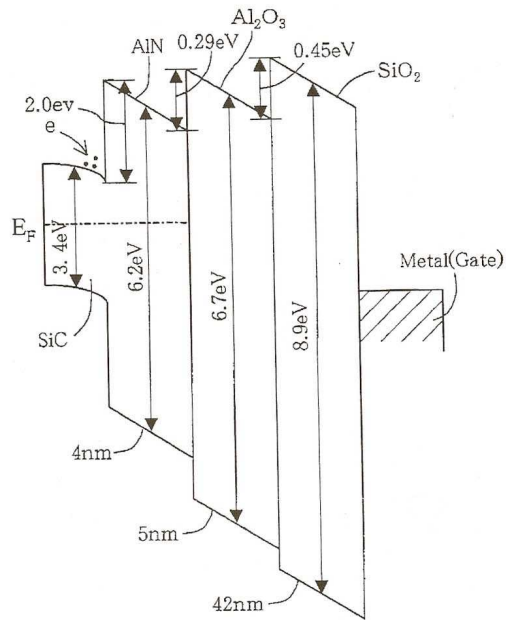
도면7



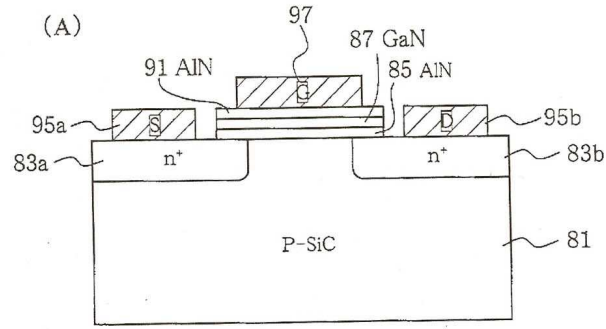
도면8



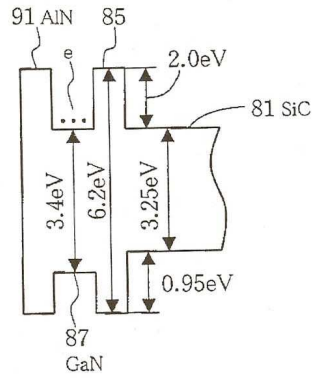
(B)



도면9



(B)



도면10

