

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. 7
H01L 29/786

(11) 공개번호 특2002- 0037447
(43) 공개일자 2002년05월21일

(21) 출원번호 10- 2001- 0070801
(22) 출원일자 2001년11월14일

(30) 우선권주장 JP- P- 2000- 0034 2000년11월14일 일본(JP)
6455

(71) 출원인 도꾸리쯔교세이호진 상교기쥬쯔 소고켄규쥬
추후제출
일본 도쿄도 치요다쿠 카스미가세키 1- 3- 1
카가쿠기쥬쯔 신코지교단
마쯔오 미쯔요시
일본국 사이타마켄 카와구찌시 혼쥬 4- 1- 8

(72) 발명자 후쿠다, 켄지
일본이바라키쥬쿠바우메조노1- 1- 1쥬쿠바추오우다이니도꾸리쯔교세이호진상교기쥬쯔소
고켄규쥬(내)
아라이, 카주오
일본이바라키쥬쿠바우메조노1- 1- 1쥬쿠바추오우다이니도꾸리쯔교세이호진상교기쥬쯔소
고켄규쥬(내)
센자키, 준지
일본이바라키쥬쿠바우메조노1- 1- 1쥬쿠바추오우다이니도꾸리쯔교세이호진상교기쥬쯔소
고켄규쥬(내)
하라다, 신수케
일본이바라키쥬쿠바우메조노1- 1- 1쥬쿠바추오우다이니도꾸리쯔교세이호진상교기쥬쯔소
고켄규쥬(내)
코수지, 료지
일본이바라키쥬쿠바우메조노1- 1- 1쥬쿠바추오우다이니도꾸리쯔교세이호진상교기쥬쯔소
고켄규쥬(내)
아다치, 카주히로
영국앤이17알유뉴캐슬뉴캐슬대학(내)

(74) 대리인 남상선

심사청구 : 없음

(54) S i C 반도체 소자

요약

본 발명은 실리콘 카바이드 기판을 사용하며 매립형 채널 구조를 가지는 MIS 트랜지스터에 관한 것이다. 실리콘 카바이드 기판의 표면 방향은 온 상태에서 상기 소자가 정상적으로 동작하지 않으며, 우수한 핫- 캐리어 내구성, 우수한 펀치- 스루 내구성, 및 높은 채널 이동도를 갖도록 최적화된다. 특히, p형 실리콘 카바이드 반도체 기판은 매립형 채널 영역을 형성하기 위해 사용된다. 높은 이동도를 얻기 위하여, 매립형 채널 영역이 형성되는 깊이가 최적화되며, 매립형 채널 영역의 접합 깊이(L_{bc})와 소스 및 드레인 영역의 접합 깊이(X_j)의 비율은 0.2 내지 1.0 이내가 되도록 형성된다. 상기 소자는 6방정계 또는 능방계의 임의의 면 또는 입방정계 실리콘 카바이드 결정의 (110) 면 상에 형성될 수 있으며, (11- 20) 면 상에 형성될 때 특히 우수한 효과를 제공한다.

대표도

도 1d

명세서

도면의 간단한 설명

도 1은 p형 게이트 전극과 매립형 채널 영역을 가지는 MIS 전계효과 트랜지스터를 제조하는 단계.

도 2는 p형 다결정 실리콘, n형 다결정 실리콘, 및 알루미늄의 게이트 전극을 구비한 MIS 전계효과 트랜지스터에서의 채널 이동도 및 문턱 전압 사이의 관계를 나타낸 측정 결과도.

도 3은 p형 다결정 실리콘 게이트 전극에 있어서의 매립형 채널의 채널 이동도의 L_{bc} / X_j 의존도를 나타내는 측정 결과도.

도 4는 다결정 실리콘 게이트의 불순물 농도 및 문턱 전압 사이의 관계를 나타내는 측정 결과도.

도 5는 채널 이동도 및 매립형 채널 영역의 불순물 농도 사이의 관계를 나타내는 측정 결과도.

도 6은 측면 리서프(resurf) 또는 측면 DMOS형 MOSFET의 단면도.

도 7은 웰이 형성된 측면 리서프 또는 측면 DMOS형 MOSFET의 단면도.

도 8은 DMOS형 MOSFET의 단면도.

도 9는 다른 DMOS형 MOSFET의 단면도.

도면의 주요부분에 대한 부호 설명

1 : 기판 2 : 매립형 채널 영역

3 : 펀치- 스루 방지 영역 5 : 소스

6 : 드레인 7 : 게이트 절연층

8 : p형 게이트 전극 9 : 내화성 금속 실리사이드 층

10 : 금속 와이어

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SiC 반도체 소자, 즉, 실리콘 카바이드 기판 상에 제조된 금속- 절연- 반도체(MIS) 전계- 효과 트랜지스터에 관한 것이다. 본 발명은 특히 최적화된 불순물 확산층 및 정의된 기판 결정면 방향을 가지는 SiC 반도체 소자에 관한 것이다.

실리콘 카바이드는 실리콘보다 2 내지 3배 큰 에너지 갭 및 약 3배 높은 브레이크 다운 전압을 갖는다. 실리콘 카바이드는 고전력, 고온 및 고주파 응용기기용 차세대 트랜지스터의 기판 재료로서 전망되고 있다. 특히, 스위칭 소자로서 금속- 절연- 반도체 전계- 효과 트랜지스터(MISFET)가 사용될 것으로 예상되는데, 이는 MISFET의 스위칭 속도는 바 이폴라 트랜지스터의 스위칭 속도보다 빠르기 때문이다.

그러나, 실리콘 카바이드 기판이 사용될 때, 산화물과 실리콘 카바이드 사이의 경계면은 실리콘 MIS 트랜지스터보다 약 1 등급 높은 경계 레벨 밀도를 가진다. 따라서, 실리콘 카바이드 기판을 사용하는 MIS 전계- 효과 트랜지스터는 실리콘 기판을 가지는 MIS 전계- 효과 트랜지스터보다 약 1 등급 낮은 채널 이동도를 가진다는데 문제가 있다.

전자가 소스에서 드레인으로 흐를 때, 산화층과 실리콘 카바이드 사이의 경계면의 효과에 실리콘 MIS 트랜지스터가 거의 영향을 받지 않도록 하기 위하여, 매립형 채널 영역을 구비하고, 탁월한 특성을 나타내는 MIS 전계- 효과 트랜지스터가 공지되어 있다. 그러나, 실리콘 카바이드 기판 상의 MIS 트랜지스터의 경우에, 지금까지 매립형 채널 영역 트랜지스터의 최적화가 충분히 이루어지지 않았으며, 상시(normally) 온 상태(게이트 전압이 0일 때에도 계속해서 소스 및 드레인 사이에 전류가 흐르는 상태)로 동작하는 경향이 있으며, 이것은 상기 소자를 사용하기 어렵게 만든다. 아울러, 정상화되지 않은 MIS 트랜지스터는 낮은 핫- 캐리어 내구성을 가져, 부적절한 펀치- 스루(punch-through) 내구성의 결과를 초래한다.

매립형 채널의 MIS 전계- 효과 트랜지스터의 특성을 향상시키기 위해 다수의 발명이 개시되어 있다. 예를 들어, USP 5,864,157에는 p형 하부 게이트 및 매립형 채널 영역의 n- 불순물을 사용하는 이중- 게이트 플레시 메모리가 개시되어 있다. 그러나, 이것은 이중- 게이트 플레시 메모리에만 관련이 있기 때문에, 본 발명의 구조와는 다르다. 아울러, p형 다결정 실리콘 전극의 농도와 매립형 채널 영역의 불순물 농도, 또는 소스 및 드레인 영역의 깊이 및 상기 채널 영역의 깊이의 관계에 대해서는 개시되어 있지 않다.

JP- A 헤이 8- 186179에는 p- 게이트 및 n- 도핑된 매립형 채널 영역을 구비한 저 도핑된 드레인(LDD) 구조를 가지는 n- 채널 트랜지스터가 개시되어 있다. 그러나, p형 다결정 실리콘 전극의 농도, 또는 소스 및 드레인 영역의 깊이 및 채널 영역의 깊이 사이의 관계에 대해서는 기술되어 있지 않다. 유사하게, JP- A 헤이 7- 131016에는 채널 형성면이 6방정계(hexagonal) 실리콘 카바이드 단결정 기판의 (11- 20)면에 평행한 것을 특징으로 하는 MIS 전계- 효과 트랜지스터가 기술되어 있다. 그러나, p형 게이트를 사용하고 매립형 채널 영역 구비한 MIS 전계- 효과 트랜지스터는 개시되어 있지 않다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 매립형 채널 영역형 MIS 트랜지스터 구조 또는 실리콘 카바이드 기판 결정면 방향을 최적화함으로써 온 상태에서 상시 동작하지 않으며, 높은 핫- 캐리어 내구성, 높은 펀치- 스루 내구성 및 높은 채널 이동도를 가지는 매립형 채널 영역을 구비한 MIS 트랜지스터인 SiC 반도체 소자를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 p형 실리콘 카바이드 영역, 상기 p형 영역 상에 형성된 게이트 절연층, 상기 게이트 절연층 상에 형성된 p형 게이트 전극, 상기 게이트 절연층 하부의 반도체 층에 매립형 채널 영역을 형성하기에 충분한 불순물 농도를 가지는 n형 불순물 영역, 및 상기 게이트 절연층 및 게이트 전극에 인접하게 형성된 n형 불순물 영역으로 구성된 소스 및 드레인 영역을 구비한 반도체 기판을 포함하는 SiC 반도체 소자를 제공한다.

본 발명은 또한 매립형 채널 영역의 깊이를 최적화하며 높은 이동도를 달성하기 위하여, 비율(L_{bc}/X_j)이 0.2 내지 1.0 사이인 상기 SiC 반도체 소자를 포함하며, L_{bc} 는 게이트 절연층과 실리콘 카바이드 사이의 경계면으로부터 매립형 채널 영역까지의 깊이이고, X_j 는 게이트 절연층과 실리콘 카바이드 사이의 경계면으로부터 소스 및 드레인 영역의 접합부까지의 깊이이다.

본 발명은 또한 붕소 또는 알루미늄이 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 의 농도로 확산되는 다결정 실리콘으로 게이트 전극이 구성되는 SiC 반도체 소자를 포함한다.

본 발명은 또한 매립형 채널 영역이 질소, 인, 또는 비소의 $5 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{18} \text{ cm}^{-3}$ 의 최대 농도로 확산되는 SiC 반도체 소자를 포함한다.

본 발명은 또한 게이트가 내화성 금속의 실리사이드 층을 포함하는 SiC 반도체 소자를 포함한다.

본 발명은 또한 실리사이드 층의 내화성 금속이 텅스텐, 몰리브덴, 티타늄인 SiC 반도체 소자를 포함한다.

본 발명은 또한 매립형 채널 형성 영역과 소스 및 드레인 영역 사이에, 매립형 채널 영역을 형성하는데 사용되는 불순물 확산 층 영역의 적어도 최대 불순물 농도이며, 소스 및 드레인 영역의 기껏해야 불순물 농도인 불순물 농도를 가지는 영역인 존재하는 SiC 반도체 소자를 포함한다.

본 발명은 또한 매립형 채널 형성 영역과 소스 및 드레인 영역 사이에, $5 \times 10^{16} \text{ cm}^{-3}$ 내지 $5 \times 10^{19} \text{ cm}^{-3}$ 의 최대 농도로 질소, 인, 또는 비소의 확산층이 존재하는 SiC 반도체 소자를 포함한다.

본 발명은 또한 반도체 기판의 불순물 농도 이상의 불순물 농도를 가지는 p형 불순물 확산 영역이 매립형 채널 형성 영역 하부에 인접하게 위치하는 SiC 반도체 소자를 포함한다.

본 발명은 또한 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 $1 \times 10^{19} \text{ cm}^{-3}$ 의 최대 불순물 농도를 가지는 알루미늄 또는 붕소 확산층을 포함하는 매립형 채널 형성 영역 하부에 인접하게 위치하는 고 농도의 p형 불순물 확산 영역을 구비하는 SiC 반도체 소자를 포함한다.

본 발명은 또한 6방정계 또는 능방계(rhombohedral)의 (11- 20)면 또는 채널 이동도를 향상시키기 위해 입방정계(cubic system) 실리콘 카바이드의 (110) 결정면 상에 형성된 SiC 반도체 소자를 포함한다.

본 발명은 또한 측면 리서프 또는 측면 DMOS형 MOSFET 구조를 구비한 SiC 반도체 소자를 포함한다.

본 발명은 또한 DMOS형 MOSFET 구조를 구비한 SiC 반도체 소자를 포함한다.

본 발명은 또한 게이트 전극이 알루미늄 또는 알루미늄 합금으로 형성되는 SiC 반도체 소자를 포함한다.

본 발명의 추가의 특징, 특성 및 다양한 장점은 도면과 함께 기술되어 있는 이하의 상세한 설명으로부터 보다 명확해질 것이다.

본 발명은 주로 고전력 트랜지스터에 관한 것이다. 실리콘 기판을 사용한 다양한 고전력 트랜지스터가 존재하며, SiC 기판을 사용함으로써 유사한 특성이 달성될 수 있는 것이 공지되어 있다. 측면 리서프 또는 측면 DMOS형 MOSFET라고 하는 도 6의 MOSFET는 상기 트랜지스터의 하나이다. 이하에서는, 이러한 트랜지스터의 구조 및 제조가 기술된다.

실시에 1

도 1(a)는 p형 실리콘 카바이드 기판(1)(4H- SiC, 불순물 농도: $5 \times 10^{15} \text{ cm}^{-3}$)을 도시한다. 기판(1)이 RCA 세정된 후에, 반응성 이온 에칭(RIE)이 사용되어 기판 상에 포토리소그래피 정렬 마크가 형성된다. 다음으로, 펀치- 스루 내구성의 개선 효과를 검사하기 위하여, 알루미늄이 이온 주입되어 매립형 채널 영역의 하부 영역에 배치되는 깊이로 펀치- 스루 방지 영역(3)이 형성된다. $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{19} \text{ cm}^{-3}$ 에서, 펀치- 스루 방지 영역은 기판(1)보다 높은 알루미늄 농도가 주어진다. 따라서, 다수의 샘플이 준비된다.

다음 단계는 질소, 인 또는 비소와 같은 n형 불순물을 이온 주입하여 매립형 채널 영역(2)을 형성하는 단계이다. $0.3 \mu\text{m}$ 의 접합 깊이(L_{bc})로 인을 사용하여 매립형 채널 영역을 형성하기 위하여, 예를 들어, $7 \times 10^{15} \text{ cm}^{-3}$ 의 농도를 달성하는 전체 주입량을 제공하기 위해 40keV 내지 250keV로 다중 주입을 이용하여 원하는 프로파일이 형성된다. 소스(5) 및 드레인(6)의 깊이(X_j)(도 1(b))와 L_{bc} 사이의 비율과 채널 이동도 사이의 관계를 검사하기 위하여, 매립형 채널 영역(2)이 0.1, 0.2, 0.3, 0.4 및 $0.5 \mu\text{m}$ 의 깊이(L_{bc})로 형성된다. 채널 이동도에 대한 매립형 채널 영역(2)의 농도 의존도를 검사하기 위해, 이온 주입이 사용되어 $0.3 \mu\text{m}$ 의 L_{bc} 에서 $5 \times 10^{15} \text{ cm}^{-3}$ 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 범위의 농도를 갖는 샘플이 준비된다.

다음으로, 도 1(b)의 소스 및 드레인 영역을 위해 이온 주입 마스크(4)를 형성하기 위하여, 열적 산화 또는 화학 기상 증착(CVD)이 사용되어 SiO_2 층이 형성된다. 도 1(b)에 도시된 바와 같이, 저온 산화(LTO)층은 주입 마스크용으로 사용되었다. LTO층이 400°C 내지 800°C 에서 실란과 산소가 반응됨으로써 형성되어 기판(1) 상에 증착된 이산화실리콘이 형성된다. 소스 및 드레인 영역을 형성하기 위해 포토리소그래피를 이용한 후에, 불화수소산이 사용되어 LTO를 에칭하며 소스/드레인 영역을 개방시킨다. 다음으로, 소스(5) 및 드레인(6)을 형성하기 위하여, 500°C 에서 $0.5 \mu\text{m}$ 의 깊이(X_j)로 질소, 인 또는 비소가 이온 주입된다. 이 실시예에서, 매립형 채널 영역(2)의 경우에, 다중 주입 단계가 사용되어 $5 \times 10^{19} \text{ cm}^{-3}$ 농도의 인이 형성된다. 이후에, 아르곤 분위기에서 30분 동안 1500°C 로 어닐링이 수행된다. 다음으로, 150분 동안 1200°C 로 산화되어, 약 50nm 두께의 게이트 절연층(7)이 형성된다. 아르곤 분위기에서 30분 동안 어닐링된 후에, 상기 샘플을 실온까지 아르곤으로 냉각된다.

다음으로, p형 게이트 전극(8)이 형성된다. 이에 대한 다수의 방법이 이하에서 개시된다.

- 1) 다결정 실리콘을 형성하기 위해 CVD 방법을 이용하여 p형 다결정 실리콘이 형성될 수 있으며, 이 때 붕소 또는 불화 붕소가 이온 주입된다.
- 2) 다결정 실리콘을 형성하기 위해 CVD 방법을 이용하여 p형 다결정 실리콘이 형성된 후에 CVD 방법 또는 스�핀- 코팅에 의해 붕소- 함유 SiO_2 막을 800°C 내지 1100°C 로 열처리함으로써 형성되어 확산이 이루어진다.
- 3) 다결정 실리콘을 성장시키기 위해 p형 다결정 실리콘은 붕소의 확산 동안 실린 및 디보란을 함께 반응시키고 600°C 로 가열함으로써 형성된다.

이러한 실시예에서, 방법 2)는 900°C 에서 확산 시간을 조절함으로써 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 의 불순물 농도로 p형 다결정 실리콘을 형성하도록 사용되며, p형 게이트 전극의 불순물 농도와 채널 이동도 사이의 관계가 검사된다. 다수의 샘플을 이용하여 실리콘사이드 막의 결과를 검사하기 위해, WSi_2 , MoSi_2 및 TiSi_2 의 내화성 금속 실리콘사이드 층(9)이 p형 다결정 실리콘 상에 형성된다. 다음으로, p형 다결정 실리콘 또는 합성 실리콘사이드 및 p형 다결정 실리콘 층 및 게이트 절연층이 에칭되어 게이트 전극이 형성된다. 다음에, 소스 및 드레인 영역 위의 산화막이 에칭되어 접촉홀이 형성된다. 이 후에, 기상 증착 또는 스퍼터링 되어 금속- 함유층 또는 니켈, 티타늄 또는 알루미늄 적층이 형성되며, RIE 또는 습식 에칭되어 금속 와이어(10)가 형성된다. 이 실시예에서, 니켈이 기상 증착된 후에, 습식 에칭된다. 우수한 오믹 접촉부를 유지하기 위해, 다음에 상기 샘플은 아르곤 분위기에서 5분 동안 1000°C 로 열처리되며, 이에 의해 MIS 전계- 효과 트랜지스터의 제조가 완료된다.

도 2는 p형 다결정 실리콘, n형 다결정 실리콘, 및 알루미늄을 이용한 게이트 전극을 구비한 MIS 전계- 효과 트랜지스터에서의 채널 이동도와 문턱 전압 사이의 측정에 기초한 관계를 도시한다. 동일한 문턱 전압에서, 채널 이동도는 p형

다결정 실리콘을 사용하는 게이트 전극에 비해, n형 다결정 실리콘 또는 알루미늄을 사용하는 게이트 전극이 높다. 이것은 게이트 전극의 극성에 따라, 동일한 문턱 전압을 달성하기 위하여 상이한 량의 이온 주입이 요구된다는 사실의 원인일 수도 있다. 매립형 채널 영역(2)에 n형 불순물을 주입함으로써 게이트 절연층과 p형 실리콘 카바이드 기판(1) 사이의 경계면에서 떨어진 깊은 위치에 채널의 중심이 형성된다. 이것은 경계면 근처의 높은 전계 효과에 쉽게 영향을 받지 않는 캐리어의 수를 증가시키기 때문에, 채널 이동도가 증가된다. 채널 이동도는 또한 주입된 n형 불순물의 농도를 증가시킴으로써 증가된다. 그러나, 매립형 채널 영역(2)에서의 n형 불순물이 증가되어 채널 이동도가 증가되며, 문턱 전압이 감소되어, 음극 전압이 되며, 0 전압에서도 전류가 흐르는 상태, 즉, 실제로 소자를 사용하기 어렵게 만드는 상시 온 상태를 생성하는 경향이 있다. 일반적으로, 게이트 전극과 반도체 사이의 일 함수의 차가 커질수록, MIS 전계-효과 트랜지스터의 문턱 전압은 높아진다. 또한, 게이트 전극과 반도체 사이의 일 함수의 차에 있어서, 알루미늄이 게이트 전극용으로 사용되고 반도체가 p형 다결정 실리콘일 때에는 변화는 거의 없지만, p형 다결정 실리콘일 때에는, 그 차는 약 1볼트 이상이 된다. 따라서, n형 불순물이 상기 채널 영역에 주입되며, 음의 성질을 띄며 상시 온 상태를 생성하는 문턱 전압에 대한 경향은 p형 다결정 실리콘을 사용함으로써 억제될 수 있다. 따라서, 동일한 문턱 전압이라도, 보다 높은 불순물 농도가 매립형 채널 영역(2)에 주입되어 채널 이동도가 증가될 수 있다.

도 3은 소스/드레인 확산층의 접합 깊이(X_j)가 $0.5\mu\text{m}$ 일 때, 채널 이동도의 L_{bc}/X_j 의존도를 나타내는 측정 결과이다. 도 3에서, 수직축은 비매립형 채널 영역을 가지는 샘플의 표준화된 채널 이동도를 나타낸다. 평가는 0.2 이상의 L_{bc}/X_j 를 이용하여 수행되며; 0.2에서도 결과가 존재한다. 따라서, 수평축 상의 하한은 0.2로 설정되어 있다. 수평축 상의 1 이상에서, 채널 이동도가 증가하지만, 문턱 전압은 음성이어서, 소자의 사용이 어려워지는 상시 온 상태가 초래된다. 따라서, 수평축은 0.2 내지 1.0으로 제한된다. 특히, 0.4 내지 1.0의 범위가 바람직하다.

도 4는 p형 다결정 실리콘 게이트의 불순물 농도 및 문턱 전압 사이의 측정 관계를 도시한다. 보다 높은 농도는 게이트와 반도체 사이의 일 함수의 차를 증가시켜, 문턱 전압이 증가된다. 반대로, 보다 낮은 농도는 문턱 전압을 감소시켜, $1 \times 10^{16} \text{ cm}^{-3}$ 에서 0이 된다. 따라서, 불순물 농도에 대한 하한은 $1 \times 10^{16} \text{ cm}^{-3}$ 으로 설정되고 상기 상한은 $1 \times 10^{21} \text{ cm}^{-3}$ 으로 설정된다.

도 5는 채널 이동도(표준 값으로서 0의 불순물 농도의 값을 이용)와 매립형 채널 영역(2)의 불순물 농도 사이의 측정 관계를 도시한다. 평가되는 불순물 농도의 하한은 $5 \times 10^{15} \text{ cm}^{-3}$ 이다. 상기 값으로 적합한 결과가 얻어지기 때문에, 하한은 $5 \times 10^{16} \text{ cm}^{-3}$ 으로 설정된다. $1 \times 10^{18} \text{ cm}^{-3}$ 이상의 농도에 있어서, 문턱 전압은 음의 성질을 가지며, 소자의 사용을 어렵게 만들어, 상한은 $1 \times 10^{18} \text{ cm}^{-3}$ 으로 설정된다.

펀치-스루를 억제하기 위해 매립형 채널 영역(2) 하부에 제공된 P^+ 펀치-스루 방지 영역의 불순물 농도가 $1 \times 10^{17} \text{ cm}^{-3}$ 미만일 경우, 펀치-스루를 발생시키는 게이트 전압은 P^+ 영역이 존재하지 않을 때, 즉 효과가 없을 때와 동일하다. 적어도 $1 \times 10^{17} \text{ cm}^{-3}$ 의 농도는 펀치-스루가 발생하는 게이트 전압을 증가시키고, 그 결과 하한은 $1 \times 10^{17} \text{ cm}^{-3}$ 으로 설정된다. 불순물 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 이상일 때, 불순물은 어닐링을 활성화하는 동안 확산되어, 채널 영역의 n형 불순물을 오프셋시키며, 매립형 채널 영역이 원하는 대로 역할을 할 수 없게 한다. 따라서, 상한은 $1 \times 10^{19} \text{ cm}^{-3}$ 으로 설정된다.

높은 붕소 농도가 다결정 실리콘의 저항률은 수 $\text{m}\Omega \text{ cm}$ 의 크기이지만, 내화성 금속 실리사이드 MoSi_2 , WSi_2 , 및 TiSi_2 의 저항률은 각각 $60\Omega \text{ cm}$, $50\Omega \text{ cm}$, $15\Omega \text{ cm}$ 이다. 따라서, 다결정 실리콘 및 실리사이드의 화합물인 게이트 전극의 저항률은 불순물이 주입되는 다결정 실리콘에 비해 낮다. 이것은 길고, 얇은 게이트 전극 또는 게이트 전극 형성층을 이용하여, 배선 저항을 감소시킬 수 있게 한다. 시정수를 감소시키기 위해 배선 저항을 이용함으로써, 소자의 동작 속도는 향상될 수 있다.

실시예 2

도 1(a)에 도시된 p형 실리콘 카바이드 기판(1)(불순물 농도 : $5 \times 10^{15} \text{ cm}^{-3}$)이 사용된다. 기판(1)이 RCA 세정된 후에, 반응성 이온 에칭(RIE)되어 기판 상에 포토리소그래피 정렬 마크가 형성된다. 다음으로, $7 \times 10^{15} \text{ cm}^{-2}$ 의 농도의 전체 주입량을 제공하기 위해 40keV 내지 250keV로 다중 주입을 이용하여 인이 이온 주입됨으로써 매립형 채널 영역(2)이 0.3의 접합 깊이 L_{bc} 로 형성된다. 다음에, 도 1(d)에서 도시된 바와 같이, 이온 주입 마스크를 형성하기 위하여, LTO층이 전체 표면 상에 형성되며 포토리소그래피는 게이트 전극 부분의 레지스트가 남도록 사용되며, 불화수소산이 사용되어 LTO층이 에칭된다. 매립형 채널 영역(2)과 소스(5)/드레인(6) 사이의 불순물 농도의 핫- 캐리어 저항 결과를 검사하기 위해, 500°C로 인이 이온 주입되어 $5 \times 10^{15} \text{ cm}^{-3}$ 내지 $5 \times 10^{20} \text{ cm}^{-3}$ 의 불순물 농도를 가지는 매립형 채널 영역(2)과 소스(5)/드레인(6) 사이의 낮은 불순물 농도 영역(11)이 형성된다. 소스 영역(5) 및 드레인 영역(6)을 형성하기 위해, LTO층은 전체 표면 상에 형성되며 포토리소그래피가 사용되어 소스 및 드레인 영역을 정의하는 포토레지스트가 형성되며, 불화수소산이 사용되어 LTO가 에칭되며 이온 주입 소스 및 드레인 영역이 노광된다. 다음으로 500°C의 다중 이온 주입을 이용하여 소스(5) 및 드레인(6)이 형성되어 $5 \times 10^{19} \text{ cm}^{-3}$ 의 인 농도가 형성된다. 이후에, 아르곤 분위기에서 30분 동안 1500°C로 어닐링되고, 150분 동안 1200°C로 산화되고, 도 1(c)에서 도시된 약 50nm 두께의 게이트 절연층(7)이 형성된다. 아르곤 분위기에서 30분 동안 어닐링된 후에, 샘플은 실온에서 아르곤으로 냉각된다. 다음으로, 다결정 실리콘을 형성하기 위한 CVD 방법을 사용하고, 상기 다결정 실리콘 상에 붕소- 함유 산화막을 형성하기 위한 스펀- 코팅하여 형성된 p형 게이트 전극은 그 후에 30분 동안 900°C로 열처리함으로써 붕소- 함유 산화막으로부터 다결정 실리콘으로 붕소가 확산된다. 다음으로, p형 다결정 실리콘 및 게이트 절연층이 에칭되어 게이트 전극이 형성된다. 그 다음, LTO가 산화층 전체 표면에 증착되고 소스(5) 및 드레인(6) 위의 산화막이 에칭되어 접촉홀이 형성된다. 다음으로, 전자빔 증착 방법이 사용되어 니켈 도포층이 형성되며 습식 에칭되어 금속 와이어(10)가 형성된다. 우수한 오믹 접촉부를 형성하기 위하여, 샘플은 5분 동안 1000°C로 아르곤 분위기에서 열처리되고, 이에 의해 MIS 전계- 효과 트랜지스터의 제조가 완료된다.

변화된 문턱 전압이 핫- 캐리어 내구성을 평가하기 위해 측정되는 설정 시간과 등급을 위해 전기적 스트레스가 트랜지스터에 가해진다. 문턱 전압의 작은 변화는 우수한 핫- 캐리어 내구성을 나타낸다. 문턱 전압은 드레인 전류의 제곱이 게이트 전압 축을 가로지르는 게이트 전압으로 정의되며, 드레인 전류는 0.1V의 드레인 전압으로 0V에서 30V까지 스위핑된 게이트 전압의 함수로서 측정된다.

전기적 스트레스는 5분 동안 드레인에 5볼트 그리고 게이트에 2.5볼트의 인가를 포함한다. 인이 이온 주입되어 매립형 채널 영역(2)과 소스/드레인 영역 사이의 $5 \times 10^{16} \text{ cm}^{-3}$ 내지 $5 \times 10^{19} \text{ cm}^{-3}$ 의 불순물 농도가 형성된다. 이 영역에서의 낮은 불순물 농도로 인해 드레인 근처에 작은 필드가 형성되어, 영역을 통과하는 전자가 높은 에너지 상태에 이르는 것을 방지할 수 있으며, 이에 의해 기판으로부터 게이트 절연층에 주입된 전자의 수를 감소시킴으로써 핫- 캐리어의 내구성이 향상된다. 그러나, 이 영역의 불순물 농도가 너무 낮으면, 상기 영역의 저항은 너무 높게 되어, 트랜지스터의 구동력이 감소된다. 따라서, 하한은 $5 \times 10^{16} \text{ cm}^{-3}$ 으로 설정된다. 농도가 너무 높으면, 드레인 근처의 필드는 완화되지 않아, 충분한 핫- 캐리어 내구성이 달성되지 않는다. 측정으로부터, $5 \times 10^{19} \text{ cm}^{-3}$ 이상의 농도에 있어서, 문턱 전압의 변화로 인해 10%, 소자가 사용될 수 없는 양이 초과된다. 따라서, 상한은 $5 \times 10^{19} \text{ cm}^{-3}$ 으로 설정된다.

실시예 3

6방향계 실리콘 결정 (0001) 및 (11- 20)면(불순물 농도 : $5 \times 10^{15} \text{ cm}^{-3}$)을 가진 p형 실리콘 카바이드 기판(1)은 RCA 세정되며, 반응성 이온 에칭(RIE) 되어 기판상에 포토리소그래피 정렬 마크가 형성된다. 다음으로, $7 \times 10^{15} \text{ cm}^{-2}$ 의 농도의 전체 주입량을 제공하기 위해, 40keV 내지 250keV로 다중 주입함으로써 인이 이온 주입되어 0.3의 접합 깊이 L_{bc} 로 매립형 채널 영역(2)이 형성된다. 다음으로, 도 1(b)에 도시된 소스 및 드레인 영역에 대한 이온 주입 마스크(4)를 형성하기 위해, 열적 산화 또는 화학 기상 증착(CVD) 되어 SiO_2 층이 형성된다. 도 1(b)에 도시된 바와 같이, 주입 마스크용으로 저온 산화(LTO) 층이 사용된다. LTO층은 400°C 내지 800°C로 실란 및 산소를 반응시켜 형성됨으로써 기판(1) 상에 증착되는 이산화실리콘이 형성된다. 다음으로, 소스 및 드레인 영역을 정의하는데 포토레지스터가 사용되며 LTO를 에칭하는데 불화수소산이 사용되며 이온 주입되는 소스/드레인 영역에 개구가 형성된다. 다음에, $5 \times 10^{19} \text{ cm}^{-3}$ 의 불순물 농도를 달성하기 위해 500°C에서의 인 이온 주입 단계가 이용되어 도 1(b)의 소스(5) 및 드레인(6)이 형성된다. 이 후에 아르곤 분위기에서 1500°C로 30분 동안 어닐링이 활성화된다. 다음으로, 150분 동안 1200°C로 산화되며, 도 1(c)에 도시된 바와 같이, 약 50nm의 게이트 절연층(7)이 형성된다. 아르곤 분위기에서 30분 동안 어닐링된 후에, 샘플은 실온에서 아르곤으로 냉각된다. 다음으로, CVD 방법을 이용하여 p형 게이트 전극(8)이 형성되어 다결정 실리콘이 형성되고 스펀 코팅을 이용하여 상기 다결정 실리콘 상에 붕소- 함유 산화막이 형성된 후에, 30분 동안 900°C로 열처리되어 붕소- 함유 산화막으로부터 다결정 실리콘으로 붕소가 확산된다. 다음으로, p형 다결정 실리콘과 게이트 절연층이 에칭되어 게이트 전극이 형성된다. 소스 및 드레인 영역 위의 산화막이 에칭되어 접촉홀이 형성된다. 그 후에, 전자빔 증착 방법이 사용되어 니켈 도포층이 형성되고 습식 에칭 방법이 사용되어 금속 와이어(10)가 형성된다. 우수한 오믹 접촉부를 형성하기 위하여, 샘플은 아르곤 분위기에서 1000°C로 5분 동안 열처리되고, 이에 의해 MIS 전계- 효과 트랜지스터의 제조가 완료된다.

따라서, (0001)면 상에 제조된 MIS 전계- 효과 트랜지스터는 $70 \text{ cm}^2/\text{VS}$ 의 채널 이동도를 가지는 반면, (11- 20)면 상에 제조된 MIS 전계- 효과 트랜지스터는 $100 \text{ cm}^2/\text{VS}$ 의 채널 이동도를 가진다. 따라서, 채널 이동도는 (11- 20)면 상에 MIS 전계 효과 트랜지스터를 제조함으로써 개선된다.

도 6은 측면 리서프 또는 측면 DMOS형 구조라고 하는 MOSFET형 실시예를 도시한다. 도 7에서 도시된 바와 같이, 측면 리서프 또는 p- 웰을 가지는 측면 DMOS형 MOSFET를 형성하는데 이온 주입 또한 사용될 수 있다. p- 웰은 다음과 같이 형성된다. p형으로 에피택셜 성장된 SiC 기판층의 표면은 1.5 내지 $36 \times 10^{13} \text{ cm}^{-2}$ 의 주입량으로, 30 내지 160 keV로 다중 붕소 이온 주입 단계가 사용되며, 이 후에 1600°C로 30분 동안 어닐링되어, p- 웰이 형성된다. p- 웰은 또한 알루미늄을 이용하여 형성될 수 있다. 나머지 공정 단계는 전술한 실시예의 공정과 동일하다.

전술한 트랜지스터 구조는 또한 이하에 기술되는 바와 같이, 약간의 변형을 가함으로써 도 8에 도시된 DMOS형 MOSFET에 제공될 수 있다. 상기 변형은 기판 및 웰의 형성에 관한 것이며 다음의 추가 공정을 필요로 한다. 우선, SiC층은 드레인 위에 n^+ 기판 상에 에피택셜 성장하며, 다른 n^+ 층은 제 1 n^+ 층 위에 형성되고, 그 표면에는 1.5 내지 $36 \times 10^{13} \text{ cm}^{-2}$ 의 주입량으로, 30 내지 160keV로 다중 붕소 이온 주입 단계가 사용되며, 이 후에 1600°C로 30분 동안 어닐링되어, p- 웰이 형성된다. p- 웰은 또한 알루미늄을 이용하여 형성될 수 있다. 나머지 공정 단계는 전술한 실시예의 공정과 동일하다.

도 9에서 도시된 DMOS형 MOSFET는 또한 도 8에서 도시된 DMOS형 MOSFET 단계에 3.0 내지 $10 \times 10^{13} \text{ cm}^{-2}$ 의 주입량으로 200 내지 400keV에서 붕소 이온을 주입하는 단계를 추가함으로써 얻어질 수 있다.

전술한 예에서, 반도체 영역 재료는 실리콘 카바이드이지만, 본 발명은 이에 제한되지는 않으며, 다이아몬드, 실리콘, 질화갈륨 또는 다른 이러한 반도체 재료로 구성된 반도체 영역을 가지는 기판으로 동일한 결과가 얻어진다.

전술한 바와 같이, 본 발명은 다음의 결과를 제공한다.

p형 게이트 전극을 이용하면, 상시 온 상태를 나타내는 소자 없이도 비교적 높은 n^+ 농도를 사용하는 것이 가능하며, 따라서 채널 이동도를 증가시킬 수 있다. 채널 이동도는 또한 소스/드레인 접합 L_{bc} 와 매립형 채널 영역 접합부의 접합 깊이 사이의 비율을 최적화할 때 개선된다. 채널 이동도는 또한 p형 다결정 실리콘 농도 및 매립형 채널 영역의 농도를 최적화함으로써 개선될 수 있다.

소자 구동 전력은 p형 다결정 실리콘 게이트 전극 위에 내화성 금속 실리사이드 층을 형성함으로써 게이트 저항이 감소될 때 증가될 수 있다. SiC 반도체 소자의 동작 속도는 텅스텐, 몰리브덴 또는 티타늄 실리사이드 층을 이용하여 증가될 수 있다. 핫- 캐리어 내구성은 매립형 채널 형성 영역과 소스/드레인 영역 사이의 준비에 의해 개선될 수 있으며, 매립형 채널 영역을 형성하는데 사용되는 불순물 확산 층 영역의 적어도 최대 불순물 농도, 및 소스 및 드레인 영역의 기껏해야 불순물 농도의 불순물 농도를 가지는 영역이 존재한다.

펀치- 스루 내구성은 영역의 농도를 최적화함으로써 p형 실리콘 카바이드 기판(1)에 매립형 채널 영역 하부에 위치한 농축된 불순물 농도가 제공됨으로써 개선된다. 채널 이동도는 또한 6방정계 또는 능방정계의 (11- 20)면 또는 입방정계 실리콘 카바이드 결정 (110)면 상에 상기 소자를 제조함으로써 개선된다. 측면 리서프 또는 측면 DMOS형 MOSFET를 구비한 트랜지스터로서 상기 소자를 형성함으로써 고전력 트랜지스터가 용이하게 구현될 수 있다. 또한, 상기 소자는 게이트 전극용 알루미늄 또는 알루미늄 합금을 이용함으로써 상시 오프 트랜지스터로서 용이하게 제조될 수 있다.

발명의 효과

본 발명은 온 상태에서 상시 동작하지 않으며, 높은 핫- 캐리어 내구성, 높은 펀치- 스루 내구성 및 높은 채널 이동도를 얻는 효과를 가집니다.

(57) 청구의 범위

청구항 1.

p형 실리콘 카바이드(1)로 형성된 영역을 가지는 반도체 기판, 상기 p형 영역 상에 형성된 게이트 절연층(7), 상기 게이트 절연층 상에 형성된 p형 게이트 전극(8), 상기 게이트 절연층 하부의 반도체 층에 매립형 채널 영역(3)을 형성하기에 충분한 불순물 농도를 가지는 n형 불순물 영역(2), 및 상기 게이트 절연층과 게이트 전극에 인접하게 형성된 n형 불순물 영역으로 구성된 소스 및 드레인 영역(5, 6)을 포함하는 SiC 반도체 소자.

청구항 2.

제 1항에 있어서,

비율(L_{bc} / X_j)은 0.2 내지 1.0 이며, 상기 L_{bc} 는 상기 게이트 절연층과 상기 실리콘 카바이드 사이의 경계면으로부터 상기 매립형 채널 영역까지의 깊이이며, 상기 X_j 는 상기 게이트 절연층과 상기 실리콘 카바이드 사이의 경계면으로부터 상기 소스 및 드레인 영역의 접합부까지의 깊이인 것을 특징으로 하는 소자.

청구항 3.

제 1 또는 2항에 있어서,

상기 게이트 전극은 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 붕소 또는 알루미늄이 확산되는 다결정 실리콘을 포함하는 것을 특징으로 하는 소자.

청구항 4.

제 1 또는 2항에 있어서,

상기 매립형 채널 영역은 $5 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{18} \text{ cm}^{-3}$ 의 최대 농도로 질소, 인, 또는 비소의 확산을 포함하는 것을 특징으로 하는 소자.

청구항 5.

제 1, 2, 3 또는 4항에 있어서,

상기 게이트 전극은 내화성 금속으로 구성된 실리사이드 층을 포함하는 것을 특징으로 하는 소자.

청구항 6.

제 5항에 있어서,

상기 실리사이드 층의 상기 내화성 금속은 텅스텐, 몰리브덴 또는 티타늄인 것을 특징으로 하는 소자.

청구항 7.

제 1, 2, 3, 4, 5 또는 6항에 있어서,

상기 매립형 채널 영역을 형성하는데 사용되는 상기 불순물 확산층 영역의 적어도 최대 불순물 농도이며, 기껏해야 상기 소스 및 드레인 영역의 불순물 농도인 불순물 농도를 가지는 영역이 상기 매립형 채널 형성 영역과 상기 소스 및 드레인 영역 사이에 존재하는 것을 특징으로 하는 소자.

청구항 8.

제 7항에 있어서,

$5 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{19} \text{ cm}^{-3}$ 의 최대 농도로 질소, 인, 또는 비소의 확산층이 상기 매립형 채널 형성 영역 및 상기 소스 및 드레인 영역 사이에 존재하는 것을 특징으로 하는 소자.

청구항 9.

제 1, 2, 3, 4, 5, 6, 7 또는 8항에 있어서,

상기 반도체 기판의 불순물 농도보다 높은 불순물 농도를 가지며, 상기 매립형 채널 형성 영역의 하부에 인접하게 배치되는 p형 불순물 확산 영역이 존재하는 것을 특징으로 하는 소자.

청구항 10.

제 9항에 있어서,

$1 \times 10^{17} \text{ cm}^{-3}$ 내지 $1 \times 10^{19} \text{ cm}^{-3}$ 의 최대 불순물 농도를 가지는 알루미늄 또는 붕소 확산층을 포함하는 상기 매립형 채널 형성 영역의 하부에 인접하게 배치되는 고 농도의 p형 불순물 확산 영역이 존재하는 것을 특징으로 하는 소자.

청구항 11.

제 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10항에 있어서,

상기 소자는 6방정계 또는 능방계의 (11- 20)면 또는 입방정계 실리콘 카바이드 결정의 (110)면 상에 형성되는 것을 특징으로 하는 소자.

청구항 12.

제 1 내지 11항 중 어느 한 항에 있어서,

측면 리서프 또는 측면 DMOS형 MOSFET 구조를 포함하는 것을 특징으로 하는 소자.

청구항 13.

제 1 내지 11항 중 어느 한 항에 있어서,

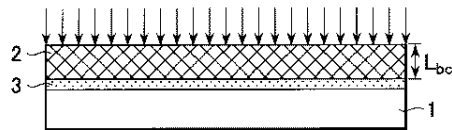
DMOS형 MOSFET 구조를 포함하는 것을 특징으로 하는 소자.

청구항 14.

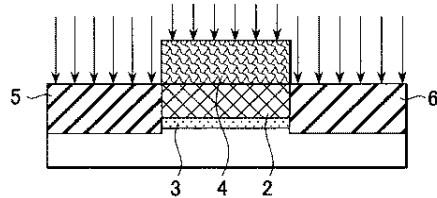
제 1 내지 13항 중 어느 한 항에 있어서,

상기 게이트 전극은 알루미늄 또는 알루미늄 함유 합금으로 형성되는 것을 특징으로 하는 소자.

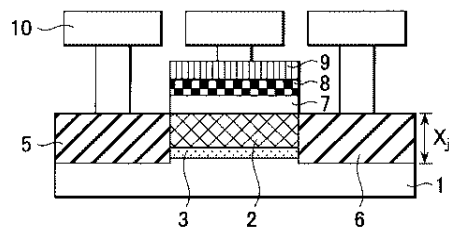
도면 1a



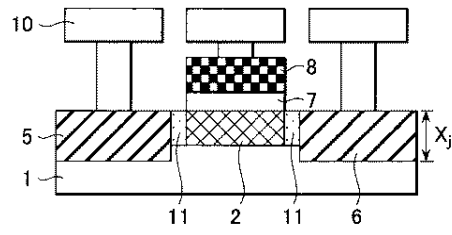
도면 1b



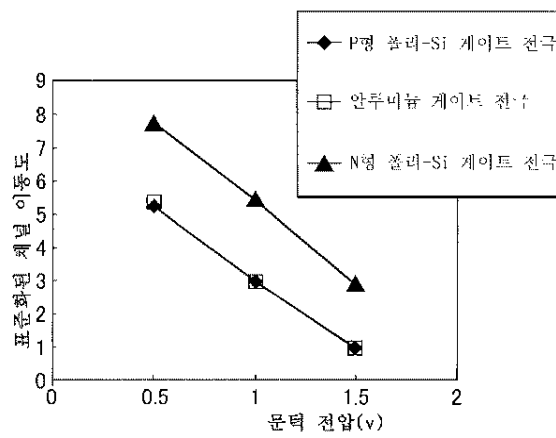
도면 1c



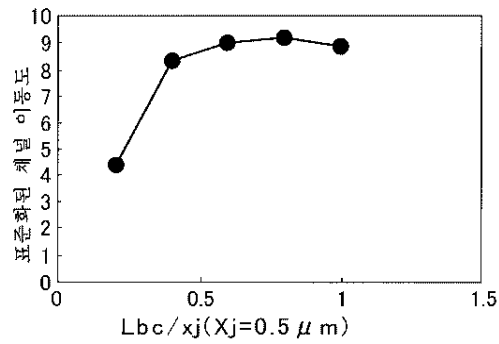
도면 1d



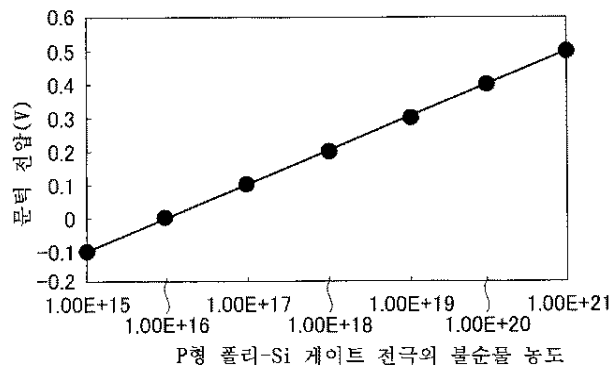
도면 2



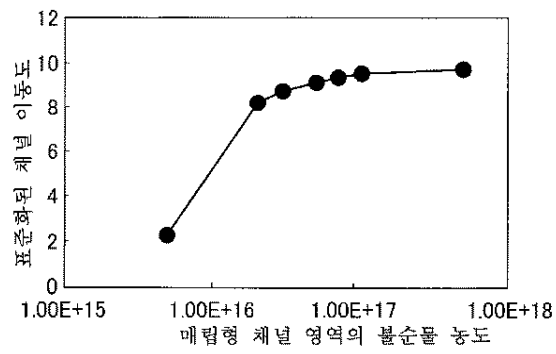
도면 3



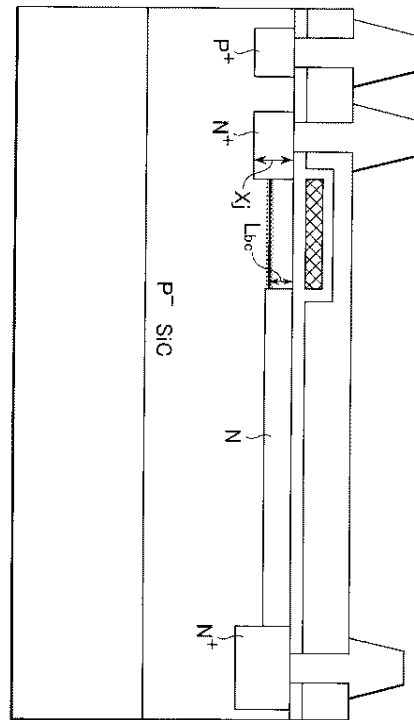
도면 4



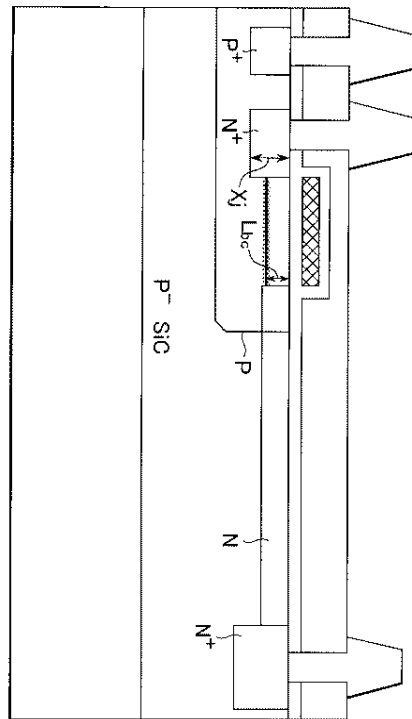
도면 5



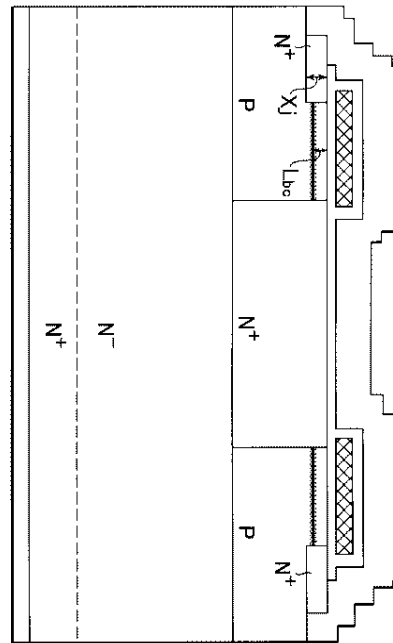
도면 6



도면 7



도면 8



도면 9

