



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월30일 10-0676451 2007년01월24일
---	-------------------------------------	--

(21) 출원번호	10-2004-7017513	(65) 공개번호	10-2004-0111563
(22) 출원일자	2004년10월29일	(43) 공개일자	2004년12월31일
심사청구일자	2004년10월29일		
번역문 제출일자	2004년10월29일		
(86) 국제출원번호	PCT/JP2003/005393	(87) 국제공개번호	WO 2003/094227
국제출원일자	2003년04월25일	국제공개일자	2003년11월13일

(30) 우선권주장	JP-P-2002-00129283	2002년04월30일	일본(JP)
	JP-P-2002-00346129	2002년11월28일	일본(JP)

(73) 특허권자           도꾸리쓰교세이호징 가가쿠 기쥬쓰 신키꼬 기꼬  
                          일본 사이타마현 가와구찌시 혼쵸 4쵸메 1방 8고

                          도꾸리쓰교세이호징 리가가쿠 겐큐소  
                          일본국 사이타마현 와코시 히로사와 2-1

(72) 발명자           사카모토도시쓰구  
                          일본국 도쿄도 미나토구 시바 5-7-1 넷폰 덴키 가부시키키가이샤 내

                          아오노마사카즈  
                          일본국 사이타마현 와코시 히로사와 2-1 리가가쿠 겐큐쇼 내

                          하세가와쓰요시  
                          일본국 사이타마현 와코시 히로사와 2-1 리가가쿠 겐큐쇼 내

                          나카야마도모노부  
                          일본국 사이타마현 와코시 히로사와 2-1 리가가쿠 겐큐쇼 내

                          스나무라히로시  
                          일본국 도쿄도 미나토구 시바 5-7-1 넷폰 덴키 가부시키키가이샤 내

                          가와우라히사오  
                          일본국 도쿄도 미나토구 시바 5-7-1 넷폰 덴키 가부시키키가이샤 내

                          스기바야시나오히코  
                          일본국 도쿄도 미나토구 시바 5-7-1 넷폰 덴키 가부시키키가이샤 내

(74) 대리인           유미특허법인

(56) 선행기술조사문헌  
1001188950000  
\* 심사관에 의하여 인용된 문헌

심사관 : 정병홍

전체 청구항 수 : 총 27 항

**(54) 고체 전해질 스위칭 소자와 그것을 이용한 F P G A, 메모리 소자, 및 고체 전해질 스위칭 소자의 제조 방법**

**(57) 요약**

고체 전해질 스위칭 소자(10, 10' 20, 20')는 표면이 절연층으로 덮여 있는 기판(11) 상에 설치된 제1 배선층(13), 제1 배선층(13) 상에 설치된 이온 공급층(17), 및 이온 공급층(17) 상에 설치된 고체 전해질층(16)과, 제1 배선층(13), 이온 공급층(17) 및 고체 전해질층(16)을 덮도록 설치된, 비아홀을 가진 층간절연층(12)과, 상기 비아홀을 통하여 고체 전해질층(16)에 접촉하도록 설치된 대향 전극층(15)과, 대향 전극층(15)을 덮도록 설치된 제2 배선층(14)으로 이루어진다. 이온 공급층(17)과 대향 전극층(15) 사이에 인가되는 임계치 전압으로 온 상태, 오프 상태를 임의로 설정할 수 있고, 비휘발성이며, 또한 온 상태의 저항이 낮은 스위칭 소자를 제공할 수 있다.

**대표도**

도 1

**특허청구의 범위**

**청구항 1.**

표면이 절연층으로 덮여 있는 기판,

상기 기판 상에 설치된 제1 배선층,

상기 제1 배선층 상에 설치된 이온 공급층,

상기 이온 공급층 상에 설치된 고체 전해질층,

비아홀(via hole)을 가지며, 상기 제1 배선층, 상기 이온 공급층 및 상기 고체 전해질층을 덮도록 설치된 층간절연층,

상기 층간절연층의 비아홀을 통하여 상기 고체 전해질층에 접촉하도록 설치된 대향(對向) 전극층, 및

상기 대향 전극층을 덮도록 설치된 제2 배선층

으로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자.

**청구항 2.**

표면이 절연층으로 덮여 있는 기판,

상기 기판 상에 설치된 제1 배선층,

상기 제1 배선층 상에 설치된 대향 전극층,

상기 대향 전극층 상에 설치된 고체 전해질층,

비아홀을 가지며, 상기 제1 배선층, 상기 대향 전극층 및 상기 고체 전해질층을 덮도록 설치된 층간절연층, 상기 층간절연층의 비아홀을 통하여 상기 고체 전해질층에 접촉하도록 설치된 이온 공급층, 및 상기 이온 공급층을 덮도록 설치된 제2 배선층으로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 3.

제1항 또는 제2항에 있어서,

상기 고체 전해질층은 이온 도전체 재료로 이루어지고, 상기 이온 공급층은 상기 이온 도전체 재료에 이온을 공급하는 재료로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 4.

제1항 또는 제2항에 있어서,

상기 고체 전해질층이, 황화구리, 황화크롬, 황화은 황화티타늄, 황화텅스텐, 황화니켈, 황화탄탈, 황화몰리브덴, 황화아연, 게르마늄-안티몬-텔루르 화합물, 비소-텔루르-게르마늄-실리콘 화합물 중 어느 하나인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 5.

제1항 또는 제2항에 있어서,

상기 이온 공급층이 은 또는 구리인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 6.

제1항 또는 제2항에 있어서,

상기 고체 전해질층은 이온 전도(傳導)와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지고, 상기 이온 공급층은 상기 혼합 도전체 재료에 이온을 공급하는 재료로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 7.

제1항 또는 제2항에 있어서,

상기 고체 전해질층과 상기 이온 공급층의 조합이, 황화구리와 구리, 황화크롬과 크롬, 황화은과 은, 황화티타늄과 티타늄, 황화텅스텐과 텅스텐, 황화니켈과 니켈, 황화탄탈과 탄탈 중 어느 하나의 조합인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 8.

제1항 또는 제2항에 있어서,

상기 대향 전극층이, 백금, 알루미늄, 구리, 티타늄, 텅스텐, 바나듐, 니오브, 탄탈, 크롬, 몰리브덴, 이들 금속의 질화물, 또는 이들 금속의 규화물, 중 어느 하나, 또는 이들의 조합인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 9.

제1항 또는 제2항에 있어서,

상기 고체 전해질 스위칭 소자가, 전압 인가 전의 초기 상태에서 온(ON) 특성을 갖는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 10.

제1항 또는 제2항에 있어서,

온 상태와 오프(OFF) 상태 사이를 전이시킬 때에, 온 저항이나 오프 저항이 원하는 값이 되도록 입력 전압의 인가 시간 또는 입력 전압을 피드백 제어하는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 11.

표면이 절연층으로 덮여 있는 기판,

상기 기판 상에 설치된 제1 배선층,

이온 도전 재료 또는 금속 이온을 가지고 이온 전도와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지며, 상기 제1 배선층 상에 설치된 고체 전해질층,

비아홀을 가지며, 상기 제1 배선층과 상기 고체 전해질층을 덮도록 설치된 층간절연층,

상기 층간절연층의 비아홀을 통하여 상기 고체 전해질층에 접촉하도록 설치된 대향 전극층, 및

상기 대향 전극층을 덮도록 설치된 제2 배선층

을 포함하고,

상기 제1 배선층은 상기 고체 전해질층에 포함되는 금속을 포함하는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 12.

표면이 절연층으로 덮여 있는 기판,

상기 기판 상에 설치된 제1 배선층,

이온 도전 재료 또는 금속 이온을 가지고 이온 전도와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지며, 상기 제1 배선층 상에 설치된 고체 전해질층,

비아홀을 가지며, 상기 제1 배선층과 상기 고체 전해질층을 덮는, 상기 기판 상에 형성된 층간절연층,

상기 층간절연층의 비아홀을 통하여 상기 고체 전해질층에 접촉하도록 설치된 대향 전극층, 및  
상기 대향 전극층을 덮도록 설치된 제2 배선층  
을 포함하고,

상기 제2 배선층은 상기 고체 전해질층에 포함되는 금속을 포함하는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 13.

제11항 또는 제12항에 있어서,

상기 고체 전해질층이 금속 황화물이며, 상기 제1 배선층 또는 상기 제2 배선층이 상기 금속 황화물에 포함되는 금속을 포함하는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 14.

제13항에 있어서,

상기 금속 황화물이 황화구리이며, 상기 제1 배선층 또는 상기 제2 배선층이 구리인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 15.

제11항 또는 제12항에 있어서,

상기 대향 전극층이, 백금, 알루미늄, 구리, 티타늄, 텅스텐, 바나듐, 니오브, 탄탈, 크롬, 몰리브덴, 이들 금속의 질화물, 또는 이들 금속의 규화물, 중 어느 하나, 또는 이들의 조합인 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 16.

제11항 또는 제12항에 있어서,

상기 고체 전해질 스위칭 소자가, 전압 인가 전의 초기 상태에서 오프 특성을 갖는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 17.

제11항 또는 제12항에 있어서,

상기 고체 전해질 스위칭 소자가, 전압 인가 전의 초기 상태에서 온 특성을 갖는 것을 특징으로 하는 고체 전해질 스위칭 소자.

### 청구항 18.

제11항 또는 제12항에 있어서,

온 상태와 오프 상태 사이를 전이시킬 때에, 온 저항이나 오프 저항이 원하는 값이 되도록 입력 전압의 인가 시간 또는 입력 전압을 피드백 제어하는 것을 특징으로 하는 고체 전해질 스위칭 소자.

**청구항 19.**

제1항, 제2항, 제11항, 제12항 및 제14항 중 어느 한 항에 따른 고체 전해질 스위칭 소자를 FPGA의 프로그램용 스위칭 소자에 이용한 것을 특징으로 하는 고체 전해질 스위칭 소자를 이용한 FPGA.

**청구항 20.**

제1항, 제2항, 제11항, 제12항 및 제14항 중 어느 한 항에 따른 고체 전해질 스위칭 소자와 MOS 트랜지스터를 구비하고, 상기 고체 전해질 스위칭 소자의 상기 제1 배선층 또는 상기 제2 배선층이 상기 MOS 트랜지스터의 드레인 또는 소스에 접속되어 있는 것을 특징으로 하는 고체 전해질 스위칭 소자를 이용한 메모리 소자.

**청구항 21.**

제1항, 제2항, 제11항, 제12항 및 제14항 중 어느 한 항에 따른 고체 전해질 스위칭 소자와 MOS 트랜지스터를 구비하고, 상기 고체 전해질 스위칭 소자의 제1 배선층은 상기 MOS 트랜지스터의 드레인에 접속되고, 상기 고체 전해질 스위칭 소자의 제2 배선층은 접지선에 접속되며, 상기 MOS 트랜지스터의 소스는 어드레스선, 상기 MOS 트랜지스터의 게이트는 워드선인 것을 특징으로 하는 고체 전해질 스위칭 소자를 이용한 메모리 소자.

**청구항 22.**

기판 상에 제1 배선층을 형성하는 공정,  
 상기 제1 배선층 상에 이온 공급층을 형성하는 공정,  
 상기 이온 공급층 상에 비아홀을 가지는 층간절연층을 피복하는 공정,  
 상기 비아홀을 통하여 고체 전해질층을 형성하는 공정,  
 상기 비아홀을 통하여 상기 고체 전해질층과 접촉하도록 대향 전극층을 형성하는 공정, 및  
 상기 대향 전극층을 덮도록 제2 배선층을 형성하는 공정  
 으로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

**청구항 23.**

기판 상에 제1 배선층을 형성하는 공정,  
 상기 제1 배선층 상에 대향 전극층을 형성하는 공정,  
 상기 대향 전극층 상에 비아홀을 가지는 층간절연층을 피복하는 공정,  
 상기 비아홀을 통하여 고체 전해질층을 형성하는 공정,

상기 비아홀을 통하여 상기 고체 전해질층과 접촉하도록 이온 공급층을 형성하는 공정, 및  
상기 이온 공급층을 덮도록 제2 배선층을 형성하는 공정  
으로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

#### 청구항 24.

제22항 또는 제23항에 있어서,

상기 비아홀을 통하여 고체 전해질층을 형성하는 공정이,

상기 비아홀을 가진 층간절연층을 마스크로 이용하고, 황화나트륨 수용액 중에서 상기 금속박막을 양극으로 하여 애노드 분극(分極)에 의해 황화하는 공정으로 이루어지는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

#### 청구항 25.

제24항에 있어서,

상기 고체 전해질층의 막 두께를 제어할 때에, 상기 황화 공정중에 상기 금속박막의 전도도를 측정하여 제어하고, 상기 고체 전해질층과 상기 이온 공급층을 동시에 형성하는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

#### 청구항 26.

제22항 또는 제23항에 있어서,

상기 고체 전해질 스위칭 소자가 오프 상태로부터 온 상태로 전이되는 온 전압은, 제조 시에 상기 고체 전해질층과 상기 대향 전극층과의 사이에 인가하는 전압의 크기를 조절함으로써 제어되는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

#### 청구항 27.

제22항 또는 제23항에 있어서,

상기 고체 전해질 스위칭 소자가 온 상태로부터 오프 상태로 전이되는 오프 전압은, 제조 시에 상기 고체 전해질층과 상기 대향 전극층의 사이에 인가하는 전압의 크기를 조절함으로써 제어되는 것을 특징으로 하는 고체 전해질 스위칭 소자의 제조 방법.

#### 명세서

##### 기술분야

본 발명은 고체 전해질 스위칭 소자와 그것을 이용한 FPGA, 메모리 소자, 및 고체 전해질 스위칭 소자의 제조 방법에 관한 것이다.

##### 배경기술

전원을 차단한 상태에서도 온(ON) 또는 오프(OFF) 상태를 유지할 수 있는 기능(비휘발성)을 구비한 스위칭 소자로서, 제1 종래의 안티퓨즈 소자, 제2 종래의 EEPROM(electronically erasable read only memory), 제3 종래의 고체 전해질의 일종인 혼합 도전체를 이용한 킨덕턴스 제어가 가능한 전자소자, 제4 종래의 PMC(programmable metallization cell), 제5 종래의 PCRAM(programmable conductor random access memory), 제6 종래의 PCM(phase change memory) 등의 소자가 있다.

제1 종래의 안티퓨즈 소자는 전기적으로 온과 오프 상태의 두 가지 상태를 가지며, 전기적 또는 물리적 방법을 이용하여, 오프 상태에서 온 상태로 비가역적으로 전이될 수 있는 스위칭 소자다. 통상, 안티퓨즈 소자는 2개의 배선층 사이에 형성되고, 그들 배선간에 선택적으로 고전압을 인가함으로써 프로그램(오프 상태에서 온 상태에의 전이)하여, 배선층간을 전기적으로 접속한다. 그리고, 전원차단 후에도 이러한 온 상태는 유지된다(특허문헌 1~5 참조).

제2 종래의 EEPROM은 부유(浮遊) 게이트 전극이 트랜지스터의 제어 게이트 전극과 채널층의 사이에 삽입된 구조로 되어 있다. 부유 게이트 전극에 있어서 전하의 충전 또는 방전이 일어남에 따라, 트랜지스터가 온 상태 또는 오프 상태로 된다. 이 충전 또는 방전은 산화막을 통한 터널 전류에 의해서 전자를 부유 게이트에 주입하거나 또는 부유 게이트 전극으로부터 전자를 방출시켜 행한다.

부유 게이트 전극은 주위가 절연막으로 둘러싸여 있기 때문에, 축적된 전하는 전원차단 후에도 소실되지 않고 비휘발성이 실현된다(특허문헌 6 및 7 참조).

안티퓨즈 소자 및 EEPROM은 근래 FPGA(field programmable gate array)에 사용되고 있다. FPGA는 어플리케이션마다 하드웨어 구성을 변경할 수 있는 소자이다. 논리회로 블록 등을 사용자가 스위칭 소자로 결선할 수 있도록 되어 있고, 결선 위치에 따라 다른 하드웨어 구성이 완성된다. 이 FPGA는 ASIC(application specified integrated circuit)에 비교하면, 범용품을 위해 저가로 제조할 수 있고, 또한 TAT(turn around time)이 단축될 수 있는 등, 이점이 많아서 급속히 시장 규모가 확대되고 있다.

제3 종래의 전자소자에 관해서는 은이온 도전성 고체 전해질인 황화은을 이용한 스위칭 소자가 있다(특허문헌 8 참조).

고체 전해질은 이온이 고체 내에서 자유롭게 이동할 수 있는 물질인 것으로, 지금까지 많은 양이온이나 음이온의 전도를 나타내는 재료가 발견되어 있다. 또, 고체 전해질이 금속을 포함하는 재료인 경우에는 전계를 가하면 금속 이온이 고체 속을 이동하여 전류를 운반한다. 또한, 고체 전해질의 일종인 혼합 도전체는 이온을 전도하는 것에 더하여 전자를 전도할 수도 있다.

도 18은 특허문헌 8에 개시된 전자소자의 구조를 나타내는 도면이다. 도면에서, 반도체의 기판(63) 상에, 은선(銀線)의 표면을 황화하여 황화은(61)을 형성하고, 대향 전극이 되는 백금선(62)을 접근시켜 배치한다. 황화은(61)과 백금선(62) 사이의 간격이 극히 작으며, 황화은(61)에 정(正), 백금선(62)에 부(負)의 전압을 전원(67)에 의해 가하면, 황화은(61) 내의 은이온(64)이 표면에 은 원자로서 석출되고, 백금과의 사이 공극에 은의 가교(65)가 가능하여 포인트컨택트(point contact)가 형성된다. 이때, 황화은(61)과 백금선(62) 사이의 전류는 가교(65)가 형성되어 있지 않은 경우에는 거의 흐르지 않지만, 가교(65)가 형성되면 흐르게 된다. 가교(65)의 형성과 소실, 즉 온과 오프는 약 0.2V 이내로 발생되고 마이크로초 이하의 고속으로 일어난다.

제4 종래의 PMC에 이용되는 전자소자는, 예를 들면, 칼코게나이드(chalcogenide)를 이용한 2단자 스위치이다(특허문헌 9 참조).

도 19는 상기 제4 종래의 전자소자의 구조를 나타내는 단면도이다. PMC(70)는 기판(71) 상에 이온 전도층(72)을 캐소드 전극(73)과 애노드 전극(74)의 사이에 배치함으로써 구성되어 있다. 캐소드 전극(73)과 애노드 전극(74)의 사이에 전압을 인가하면, 캐소드 전극(73)으로부터 애노드 전극(74)을 향하여 이온 전도층(72)의 외주측면에 덴드라이트(dendrite)(침상결정)(75)이 성장하고 전류 통로를 형성하여 스위칭이 일어난다. 도면에서는 덴드라이트(75)가 이온 전도층(72)의 표면을 따라 성장하는 상태를 나타낸다. 이온 전도층(72)은  $AS_2S_3$ -Ag(비소화삼황화물-은)로 이루어지고, 상기 황화은과 동일한 고체 전해질 재료이다. 이 전자소자의 저항 변화는, 예를 들면, 오프 상태가 2.65MΩ이고, 온 상태에서 2.1MΩ이다.

제5 종래의 PCRAM에 이용되는 전자소자는, 예를 들면, 은이온 도전성 고체 전해질인 게르마늄-셀렌화은을 이용한 2단자 스위치이다(특허문헌 10 참조).



도 20은 상기 종래에 5의 전자소자의 구조를 나타내는 단면도이다. PCRAM(80)은 반도체 기관(87) 상에 절연재료(81), 도전 재료(82), 유전 재료(83)를 배치하고, 유전 재료(83)의 일부에 리세스(recess) 구조(홈 구조)를 배치함으로써 구성되어 있다. 리세스 구조 중에 이온 도전 재료(86)와 금속 재료(84)가 배치되고, 전극(85)이 금속 재료(84)와 유전 재료(83) 상에 배치되어 있다. 이온 도전 재료(86)는 상기 황화은과 동일한 고체 전해질 재료이다. 여기에서, 전극(85)과 도전 재료(82)의 사이에 전압을 인가하면, 덴드라이트라고 불리는 전류 통로가 이온 도전 재료(86)의 표면에 형성되고, 전극(85)과 도전 재료(82)가 전기적으로 접속된다. 반대의 전압을 인가하면 덴드라이트는 사라지고, 전극(85)과 도전 재료(82)가 전기적으로 절연된다.

제6 종래예의 PCM에서는 칼코게나이드 반도체의 결정상과 비정질상의 상변화에 의한 전도도 변화를 이용한 전자소자를 사용하고 있다. 칼코게나이드 반도체의 상변화는 칼코게나이드 반도체에 펄스 폭과 펄스 진폭을 변화시킨 두 가지 중 어느 하나의 펄스를 인가하여, 칼코게나이드 반도체의 가열과 냉각을 행함으로써, 칼코게나이드 반도체를 결정 상태와 비정질 상태의 2상으로 변화시키고 있다. 이 상 변화는 인가한 전압의 극성에는 의존하지 않고, 전압 펄스의 펄스 폭, 진폭 등에 의존한다(특허문헌 11 참조)

[특허문헌 1] 미국특허 제5,070,384호

[특허문헌 2] 미국특허 제5,171,715호

[특허문헌 3] 미국특허 제5,387,812호

[특허문헌 4] 미국특허 제5,543,656호

[특허문헌 5] 일본 특개평8-78532호 공보

[특허문헌 6] 미국특허 제4,203,158호

[특허문헌 7] 미국특허 제4,366,555호

[특허문헌 8] 일본 특개2002-76325호 공보

[특허문헌 9] 미국특허 제5,761,115호(도 1 및 도 4B)

[특허문헌 10] 미국특허 제6,348,365 B1호(도 6)

[특허문헌 11] 미국특허공개공보 US2002/0081804-A1호

제1 종래의 안티퓨즈 소자는 FPGA에서 주로 이용되고 있는 스위칭이며, 온일 때의 저항이 작기 때문에, 신호지연 시간이 짧은 것이 특징이지만, 재프로그램을 할 수 없다고 하는 과제가 있다. 따라서, FPGA를 프로그램할 때에, 디버그나 동작 중에 프로그램을 전환하고 싶은 경우 등의 요청에 대응할 수 없다.

한편, 제2 종래의 EEPROM은 재프로그램이 가능하지만, 3단자 소자이기 때문에 배선이 복잡하고, 집적도가 작으며, 온 저항은 MOS 트랜지스터의 저항으로 제한되기 때문에 수 kΩ로 크다고 하는 불리한 점이 있다.

또, 제3 종래의 전자소자에서는 혼합 도전체와 대향 전극의 사이에 공극을 형성하는 것이 필요하다. 공극의 제작에는 공정이 여분으로 필요하거나, 수율을 떨어뜨리는 요인이 되었다.

또, 제4 및 제5 종래의 전자소자에서는 전류로 되는 덴드라이트가 고체 전해질 주위의 표면에 생성되기 때문에, 장기간 사용에서의 높은 신뢰성이 있는 것인지 여부가 명확하지 않다는 과제가 있다.

또 제5 종래의 전자소자에서는 이온 도전 재료(86)가 유전 재료(83)에 형성되는 리세스 구조 중에 매립되어 있다. 리세스 구조 중에 이온 도전 재료(86)를 매립하기 위해서는 CMP법(화학기계적 연마법)을 이용하여 평탄화해야 한다. 또 건식 에칭법이나 습식 에칭법 중 어느 하나의 방법을 이용하여, 유전 재료(78) 속에 금속 재료(84)를 매립하는 공간을 만들지 않으면 안되므로, 제조 공정이 복잡하고 비용이 증대된다고 하는 과제가 있다.

또한, 제6 종래의 전자소자에서는 칼코게나이드 반도체를 2개의 파형이 상이한 펄스에 의해 가열하여, 실효적으로 그 냉각 시간을 변화시켜 결정상과 비정질상으로 만들기 때문에, 펄스 파형의 제어가 복잡하게 되는 점과 저항 변화가 작다고 하는 과제가 있다.

### 발명의 상세한 설명

본 발명의 목적은 상기 과제를 감안하여, 전원을 차단하여도 온 또는 오프 상태를 유지할 수 있어, 온 상태에서의 저항이 낮고 집적화할 수 있으며, 온 또는 오프 상태를 재프로그램할 수 있는 스위칭 소자 및 그것을 이용한 FPGA, 메모리 소자, 및 그 제조 방법을 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위해, 본 발명의 제1 구성의 고체 전해질 스위칭 소자는 표면이 절연층으로 덮여 있는 기판, 기판 상에 설치된 제1 배선층, 제1 배선층 상에 설치된 이온 공급층, 이온 공급층 상에 설치된 고체 전해질층, 제1 배선층과 이온 공급층과 고체 전해질층을 덮도록 설치된 비아홀을 가지는 층간절연층, 층간절연층의 비아홀을 통하여 고체 전해질층에 접촉하도록 설치된 대향 전극층, 및 대향 전극층을 덮도록 설치된 제2 배선층으로 이루어지는 것을 특징으로 하고 있다.

또, 본 발명의 제2의 구성의 고체 전해질 스위칭 소자는 표면이 절연층으로 덮여 있는 기판, 기판 상에 설치된 제1 배선층, 제1 배선층 상에 설치된 대향 전극층, 대향 전극층 상에 설치된 고체 전해질층, 제1 배선층과 대향 전극층과 고체 전해질층을 덮도록 설치된 비아홀을 가지는 층간절연층, 층간절연층의 비아홀을 통하여 고체 전해질층에 접촉하도록 설치된 이온 공급층, 및 이온 공급층을 덮도록 설치된 제2 배선층으로 이루어지는 것을 특징으로 한다.

상기 구성에 의하면, 대향 전극층을 부(負)로 하고 이온 공급층과 대향 전극층간에 인가되는 전압이 임계값 전압을 넘으면, 제1 전극층과 제2 전극층 사이의 전기 저항이 감소되어 온 상태로 전이된다. 반대로, 대향 전극층을 정(正)으로 하고 이온 공급층과 대향 전극층간에 인가되는 전압이 임계값 전압을 넘으면, 제1 전극층과 제2 전극층 사이의 전기 저항이 증대되어 오프 상태로 전이된다. 임계값 전압 이하의 전압을 인가하더라도, 또한 전원을 제거하더라도 상기의 온 상태, 오프 상태는 유지된다. 온 상태의 저항은 동등한 사이즈의 MOS 트랜지스터의 온 저항에 비해 작다.

상기 구성에 있어서, 고체 전해질층은 바람직하게, 이온 도전 재료로 이루어지고, 이온 공급층은 이온 도전 재료에 이온을 공급하는 재료로 이루어진다. 고체 전해질층은 황화구리, 황화크롬, 황화은 황화타타늄, 황화텅스텐, 황화니켈, 황화탄탈, 황화몰리브덴, 황화아연, 게르마늄-안티몬-텔루르 화합물, 비소-텔루르-게르마늄-실리콘 화합물 중 어느 하나이면 된다. 또, 이온 공급층은 온 또는 구리이면 된다.

또, 상기 구성에 있어서 바람직하게는 고체 전해질층은 이온 전도와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지고, 이온 공급층은 혼합 도전체 재료에 이온을 공급하는 재료로 이루어진다.

또, 고체 전해질층과 이온 공급층의 조합은 황화구리와 구리, 황화크롬과 크롬, 황화은과 은, 황화타타늄과 티타늄, 황화텅스텐과 텅스텐, 황화니켈과 니켈, 황화탄탈과 탄탈 중 어느 하나의 조합이면 된다.

또, 본 발명의 다른 구성의 고체 전해질 스위칭 소자는 표면이 절연층으로 덮여 있는 기판, 기판 상에 설치된 제1 배선층, 제1 배선층 상에 설치한 이온 도전 재료 또는 금속 이온을 가지는 이온 전도와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지는 고체 전해질층, 제1 배선층과 상기 고체 전해질층을 덮어 설치된 비아홀을 가진 층간절연층, 층간절연층의 비아홀을 통하여 고체 전해질층에 접촉하도록 설치된 대향 전극층, 및 상기 대향 전극층을 덮도록 설치된 제2 배선층을 구비하고, 제1 배선층은 고체 전해질층에 포함되는 금속을 포함하는 것을 특징으로 한다.

본 발명의 또 다른 구성의 고체 전해질 스위칭 소자는 표면이 절연층으로 덮여 있는 기판, 기판 상에 설치된 제1 배선층, 제1 배선층 상에 설치되어 이온 도전 재료 또는 금속 이온을 가진 이온 전도와 전자 전도가 공존하는 혼합 도전체 재료로 이루어지는 고체 전해질층, 제1 배선층과 고체 전해질층을 덮는 기판 상에 형성된 비아홀을 가지는 층간절연층, 상기 층간절연층의 비아홀을 통하여 고체 전해질층에 접촉하도록 설치된 대향 전극층, 및 상기 대향 전극층을 덮도록 설치된 제2 배선층을 구비하고, 제2 배선층은 고체 전해질층에 포함되는 금속을 포함하는 것을 특징으로 한다.

상기 고체 전해질층은 바람직하게는 금속 황화물이며, 제1 배선층 또는 제2 배선층이 금속 황화물의 금속에 포함되는 금속을 포함하고 있으면 된다. 또, 고체 전해질층은 황화구리이며, 제1 배선층 또는 제2 배선층이 구리이면 된다.

상기 구성에 의하면, 제1 배선층 또는 제2 배선층은 고체 전해질층의 금속 이온과 동일한 금속이며, 이들 배선층이 이온 공급층의 작용을 하여, 이온 공급층이 없더라도 고체 전해질 스위칭 소자로서 동작하는 대향 전극층을 부로 하고 고체 전해질층과 대향 전극층간에 인가되는 전압이 임계값 전압을 넘으면, 제1 전극층과 제2 전극층 사이의 전기 저항이 감소되어 온 상태로 전이된다. 반대로, 대향 전극층을 정으로 하고 이온 공급층과 대향 전극층간에 인가되는 전압이 임계값 전압을 넘으면, 제1 전극층과 제2 전극층 사이의 전기 저항이 증대되어 오프 상태로 전이된다. 여기에서, 임계값 전압 이하의 전압을 인가하더라도, 또한 전원을 제거하더라도, 상기의 온 상태, 오프 상태는 유지된다. 온 상태의 저항은 동등한 사이즈의 MOS 트랜지스터의 온 저항에 비해 작다.

대향 전극층은 백금, 알루미늄, 구리, 티타늄, 텅스텐, 바나듐, 니오브, 탄탈, 크롬, 몰리브덴, 이들 금속의 질화물 또는 이들 금속의 규화물 중 어느 하나, 또는 이들 조합이면 된다.

상기 구성의 고체 전해질 스위칭 소자는 전압 인가 전의 초기 상태에서 오프 특성으로 할 수 있다. 또, 고체 전해질 스위칭 소자는 전압 인가 전의 초기 상태에서 온 특성으로 할 수 있다.

또, 고체 전해질 스위칭 소자에 있어서, 온 상태와 오프 상태 사이를 전이시킬 때에, 온 저항이나 오프 저항을 원하는 값이 되도록 입력 전압의 인가 시간 또는 입력 전압을 피드백 제어하는 것이 바람직하다.

또, 본 발명의 FPGA는 상기 고체 전해질 스위칭 소자를 FPGA의 프로그램용 스위칭 소자로 이용한 것을 특징으로 한다. 이 구성에 의하면, 고체 전해질 스위칭 소자가 비휘발성 메모리 기능을 가지고, 온 상태 및 오프 상태를 재기입하는 임계값 전압을 FPGA의 신호 전압보다 크게 할 수 있고, 또한, 온 저항이 작기 때문에 재프로그램 가능한 고속 FPGA를 제공할 수 있다.

또한, 본 발명의 고체 전해질 스위칭 소자를 이용한 메모리 소자는 상기 고체 전해질 스위칭 소자와 MOS 트랜지스터를 구비하고, 고체 전해질 스위칭 소자의 제1 배선층 또는 제2 배선층이 MOS 트랜지스터의 드레인 또는 소스에 접속되어 있는 것을 특징으로 한다.

또, 본 발명의 고체 전해질 스위칭 소자를 이용한 메모리 소자는 상기 고체 전해질 스위칭 소자와 MOS 트랜지스터를 구비하고, 고체 전해질 스위칭 소자의 제1 배선층이 MOS 트랜지스터의 드레인에 접속되고, 고체 전해질 스위칭 소자의 제2 배선층이 접지선에 접속되며, MOS 트랜지스터의 소스를 어드레스선, MOS 트랜지스터의 게이트를 워드선으로 한 것을 특징으로 한다.

상기 구성에 의하면, 워드선과 어드레스선을 선택하여 원하는 메모리 셀을 선택하고, MOS 트랜지스터를 온으로 하여 어드레스선과 접지선에 임계값 전압 이상의 전압을 인가하여, 고체 전해질 스위칭 소자에 온 상태 또는 오프 상태를 기록할 수 있다. 워드선과 어드레스선을 선택하여 원하는 메모리 셀을 선택하고, MOS 트랜지스터를 온으로 하여 어드레스선과 접지선 사이의 저항을 탐지하면, 고체 전해질 스위칭 소자의 메모리 내용을 판독할 수 있다. 따라서, 본 발명에 의하면, 고속 판독과 고속 기록이 가능한 비휘발성 메모리가 제공된다.

본 발명의 제1 구성의 고체 전해질 스위칭 소자의 제조 방법은 기판 상에 제1 배선층을 형성하는 공정, 제1 배선층 상에 이온 공급층을 형성하는 공정, 이온 공급층 상에 비아홀을 가지는 층간절연층을 피복하는 공정, 비아홀을 통하여 고체 전해질층을 형성하는 공정, 비아홀을 통하여 고체 전해질층과 접촉하도록 대향 전극층을 형성하는 공정, 및 대향 전극층을 덮도록 제2 배선층을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

또, 본 발명의 제2의 구성의 고체 전해질 스위칭 소자의 제조 방법은 기판 상에 제1 배선층을 형성하는 공정, 제1 배선층 상에 대향 전극층을 형성하는 공정, 대향 전극층 상에 비아홀을 가지는 층간절연층을 피복하는 공정, 비아홀을 통하여 고체 전해질층을 형성하는 공정, 비아홀을 통하여 고체 전해질층과 접촉하도록 이온 공급층을 형성하는 공정, 및 이온 공급층을 덮도록 제2 배선층을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

상기 구성에 있어서, 비아홀을 통하여 고체 전해질층을 형성하는 경우는 비아홀을 가지는 층간절연층을 마스크로 하여, 황화나트륨 수용액 중에서 금속박막을 양극으로 하여 애노드 분극(分極)에 의해 황화하는 것을 특징으로 한다.

상기 고체 전해질층의 막 두께의 제어는 바람직하게는 황화하는 동안 금속박막의 전도도를 측정하여 제어하고, 고체 전해질층과 이온 공급층을 동시에 형성한다.

상기 고체 전해질 스위칭 소자가 오프 상태에서부터 온 상태로 전이되는 온 전압은 제조 시에 고체 전해질층과 대향 전극층의 사이에 인가하는 전압의 크기를 조절하여 인가하고, 원하는 임계값 전압을 형성하는 것이 바람직하다.

상기 고체 전해질 스위칭 소자가 온 상태에서부터 오프 상태로 전이되는 오프 전압은 제조 시에 고체 전해질층과 대향 전극층의 사이에 인가하는 전압의 크기를 조절하여 인가하고, 원하는 임계값 전압을 형성하는 것이 바람직하다.

상기의 구성에 의하면, 저비용이면서, 제어성이 양호하게 고체 전해질 스위칭 소자와 이 고체 전해질 스위칭 소자를 이용한 FPGA, 메모리 소자를 제조할 수 있다.

본 발명은 이하의 상세한 발명 및 본 발명의 몇 가지 실시예를 나타내는 첨부 도면에 따라, 보다 잘 이해되도록 한다. 또, 첨부 도면에 나타내는 여러 가지 실시예는 본 발명을 특정하거나 한정하는 것을 의도하는 것이 아니고, 단순히 본 발명의 설명 및 이해를 용이하게 하려는 것이다.

### 실시예

이하, 본 발명의 실시예에 대해 도면을 참조하여 상세하게 설명한다.

먼저, 본 발명의 고체 전해질 스위칭 소자의 제1 실시예를 나타낸다.

도 1은 본 발명에 따른 제1 실시예에 의한 고체 전해질 스위칭 소자의 구성을 나타내는 단면도이다. 도면에 나타낸 바와 같이, 본 발명의 고체 전해질 스위칭 소자(10)는, 예를 들면, 실리콘 기관의 표면이 절연층으로 덮여 있는 기관(11) 상에 제1 배선층(13)이 배치되고, 제1 배선층(13) 상에 이온 공급층(17)이 배치되고, 이온 공급층(17) 상에 고체 전해질층(16)이 배치되고, 고체 전해질층(16) 상에 층간절연층(12)의 비아홀을 통하여 대향 전극층(15)이 고체 전해질층(16)과 접촉하도록 배치되어 있다. 대향 전극(15) 상에는 제2 배선층(14)이 대향 전극(15)을 덮도록 형성되고, 제2 배선층과 기관(11) 사이의 공간은 층간절연층(12)으로 완전히 매립되어 있다. 또, 제1 배선층(13)은 이온 공급층(17)의 인출 전극이 되고, 제2 배선층(14)은 대향 전극(15)의 인출 전극이 된다.

여기에서, 고체 전해질층(16)의 재료로는, 이온 도전체 또는 이온과 전자 양쪽이 전도될 수 있는 혼합 도전체를 사용한다. 혼합 도전체로는, 예를 들면, 황화구리와 같은 금속 황화물이 적절하다. 이온 공급층(17)은 고체 전해질층(16)에 포함되는 금속으로 이루어지는 재료로 형성되고, 이온 공급층(17)으로부터 고체 전해질층(16)에 금속 이온이 공급되거나, 또는 고체 전해질층(16)으로부터 이온 공급층(17)에 금속 이온이 공급된다. 예를 들면, 고체 전해질층(16)의 재료로서 황화구리를 이용한 경우에는 고체 전해질층(16)의 막 두께는 2nm 내지 200nm 정도이면 되고, 이온 공급층(17)은 구리로 형성되고, 막 두께는 20nm 내지 500nm 정도이면 된다. 제1 배선층(13)의 막 두께는 20nm 내지 300nm 정도이면 된다.

고체 전해질층(16)과 이온 공급층(17)의 조합은 상기 황화금속인 황화구리와 구리 이외에, 황화크롬과 크롬, 황화은과 은, 황화타타늄과 티타늄, 황화텅스텐과 텅스텐, 황화니켈과 니켈, 황화탄탈과 탄탈일 수도 있다.

또, 고체 전해질층(16)이 이온 도전체 재료인 경우에는, 상기 금속 황화물 이외에, 황화몰리브덴, 황화아연, 게르마늄-안티몬-텔루르 화합물, 비소-텔루르-게르마늄-실리콘 화합물 중 어느 하나이면 되고, 이온 공급층(17)은 은 또는 구리이면 된다.

대향 전극층(15)은 혼합 도전체 물질과 화학반응을 일으키지 않는 물질로 형성되고, 그 재료로서 티타늄을 이용할 수 있다. 티타늄 이외에는 백금, 알루미늄, 구리, 텅스텐, 바나듐, 니오브, 탄탈, 크롬, 몰리브덴이나 이들 금속의 질화물, 이들 금속의 규화물일 수도 있다. 제1 배선층(13) 및 제2 배선층(14)은 구리를 이용할 수 있다. 구리 이외의 재료로는, 종래의 집적회용 배선 재료인, 예를 들면, 알루미늄, 금 등일 수도 있다. 제1 배선층(13)과 제2 배선층(14)에 전압을 인가하면, 제1 배선층(13), 제2 배선층(14), 이온 공급층(17) 및 대향 전극층(15)은 금속이기 때문에 저항은 무시할 수 있고, 인가 전압의 대부분이 고체 전해질층(16)에 인가된다.

다음에, 본 발명에 따른 제2 실시예에 의한 고체 전해질 스위칭 소자의 구성을 설명한다.

도 2는 본 발명에 따른 제2 실시예에 의한 고체 전해질 스위칭 소자의 구성을 나타내는 도면이다. 도시하는 고체 전해질 스위칭 소자(10')는 도 1에 나타낸 고체 전해질 스위칭 소자(10)의 제1 배선층(13)을, 이온 공급층(17)과 동일한 금속으로 형성한 구조를 가지고 있다. 이 경우에는 제1 배선층(13) 자체가 고체 전해질층(16)에의 이온 공급원이 되기 때문에, 이온 공

급층(17)을 생략하고 제1 배선층(13) 상에 고체 전해질층(16)을 설치할 수 있다. 다른 구성은 도 1과 동일하기 때문에 설명은 생략한다. 여기에서, 고체 전해질층(16)이 황화구리이며, 제1 배선층(13)이 구리이면 된다. 또, 고체 전해질층(16)이 금속 황화물이며, 제1 배선층(13)이 금속 황화물에 포함되는 금속과 동일한 금속을 포함할 수도 있다.

다음에, 본 발명에 따른 제3 실시예에 의한 고체 전해질 스위칭 소자의 구성을 설명한다.

도 3은 본 발명에 따른 제3 실시예에 의한 고체 전해질 스위칭 소자의 구성을 나타내는 도면이다. 도면에 나타난 바와 같이, 본 발명의 고체 전해질 스위칭 소자(20)는 제1 배선층(13) 상에 대향 전극층(15)을 적층하고, 대향 전극층(15) 상에 고체 전해질층(16)을 적층하고, 고체 전해질층(16) 상에 이온 공급층(17)을 적층하고, 이온 공급층(17) 상에 제2 배선층(14)을 적층하여 형성되어 있다. 이 구조는 본 발명의 제1 실시예에 의한 고체 전해질 스위칭 소자(10)에서, 이온 공급층(17)과 고체 전해질층(16)과 대향 전극층(15)의 순번으로 적층하고 있었던 것을, 반대 순서로 적층한 구성이다.

또, 고체 전해질 스위칭 소자(20)는, 예를 들면, 실리콘 기판의 표면이 절연층으로 덮여 있는 기판(11) 상에, 제1 배선층(13)이 배치되고, 제1 배선층(13) 상에 대향 전극층(15)이 배치되고, 대향 전극층(15) 상에 층간절연층(12)의 비아홀을 통하여 고체 전해질층(16)이 배치되고, 고체 전해질층(16) 상에 이온 공급층(17)이 고체 전해질층(16)과 접촉하도록 배치되어 있다. 이온 공급층(17) 상에는 이온 공급층(17)을 덮도록 제2 배선층(14)이 배치되고, 제2 배선층과 기판(11) 사이의 공간은 층간절연층(12)으로 완전히 매립되어 있다. 제1 배선층(13)은 대향 전극층(15)의 인출 전극이 되고, 제2 배선층(14)은 이온 공급층(17)의 인출 전극이 된다.

고체 전해질층(16)의 재료로는, 이온 도전체 또는 이온과 전자의 양쪽이 전도될 수 있는 혼합 도전체를 사용한다. 혼합 도전체는, 예를 들면, 황화구리와 같은 금속 황화물을 사용한다. 이온 공급층(17)은 고체 전해질층(16)에 포함되는 금속으로 이루어지는 재료로 형성되고, 이온 공급층(17)으로부터 고체 전해질층(16)에 금속 이온이 공급되거나, 또는 고체 전해질층(16)으로부터 이온 공급층(17)에 금속 이온이 공급된다. 예를 들면, 고체 전해질층(16)의 재료로서 황화구리를 이용한 경우에는 고체 전해질층(16)의 막 두께는 2nm 내지 200nm 정도이면 되고, 이온 공급층(17)은 구리로 형성되고, 막 두께는 20nm 내지 500nm 정도이면 된다. 제2 배선층(14)의 막 두께는 20nm 내지 300nm 정도이면 된다. 고체 전해질층(16)과 이온 공급층(17)의 조합은 상기의 황화금속인 황화구리와 구리 이외에, 황화크롬과 크롬, 황화은과 은, 황화타타늄과 타타늄, 황화텅스텐과 텅스텐, 황화니켈과 니켈, 황화탄탈과 탄탈일 수도 있다.

또, 고체 전해질층(16)이 이온 도전체 재료인 경우에는 상기의 금속 황화물 이외에, 황화몰리브덴, 황화아연, 게르마늄-안티몬-텔루르 화합물, 비소-텔루르-게르마늄-실리콘 화합물 중 어느 하나이면 되고, 이온 공급층(17)은 은 또는 구리이면 된다.

또, 대향 전극층(15)은 혼합 도전체 물질과 화학반응을 일으키지 않는 물질로 형성된다. 대향 전극층(15)의 재료로는, 티타늄을 이용할 수 있다. 티타늄 이외에는 백금, 알루미늄, 구리, 텅스텐, 바나듐, 니오브, 탄탈, 크롬, 몰리브덴이나 이들 금속의 질화물, 이들 금속의 규화물일 수도 있다.

제1 배선층(13) 및 제2 배선층(14)은 구리를 이용할 수 있다. 구리 이외의 재료로는, 종래의 집적회용 배선 재료인, 예를 들면 알루미늄, 금 등일 수도 있다. 제1 배선층(13)과 제2 배선층(14)에 전압을 인가하면, 제1 배선층(13), 제2 배선층(14), 이온 공급층(17), 대향 전극층(15)은 금속이기 때문에 저항은 무시할 수 있고, 인가 전압의 대부분이 고체 전해질층(16)에 인가된다.

다음에, 본 발명에 따른 제4 실시예에 의한 고체 전해질 스위칭 소자의 구성을 설명한다.

도 4는 본 발명에 따른 제4 실시예에 의한 고체 전해질 스위칭 소자의 구성을 나타내는 도면이다. 도시하는 고체 전해질 스위칭 소자(20)는 도 3에 나타난 고체 전해질 스위칭 소자(20)의 제2 배선층(14)을, 이온 공급층(17)과 동일한 금속으로 형성한 구조를 가지고 있다. 이 경우에는 제2 배선층(14) 자체가 고체 전해질층(16)에의 이온 공급원이 되기 때문에, 이온 공급층(17)을 생략하고, 고체 전해질층(16) 상에 제2 배선층(14)을 설치할 수 있다. 다른 구성은 도 3과 동일하기 때문에 설명은 생략한다. 여기에서, 고체 전해질층(16)이 황화구리이며, 제2 배선층(14)이 구리이면 된다. 또, 고체 전해질층(16)이 금속 황화물이고, 제2 배선층(14)이 금속 황화물에 포함되는 금속과 동일한 금속을 포함할 수도 있다.

다음에, 상기 구성의 실시예 1의 고체 전해질 스위칭 소자의 작용을 설명한다.

도 5는 본 발명의 실시예 1의 고체 전해질 스위칭 소자(10)의 전류 전압 특성을 나타내는 도면이다. 측정에 사용한 시료의 각 층의 재료, 형상 및 두께를 이하에 나타낸다. 기판(11)은 500 $\mu$ m 두께의 Si 기판 상에 200nm 두께의 Si 산화막을 형성한

것을 이용하여, 제1 배선층(13)은 50nm 두께의 금을 이용한다. 이온 공급층(17)은 60nm 두께의 구리를 이용한다. 고체 전해질층(16)은 20nm 두께의 황화구리, 대향 전극층(15)은 10nm 두께의 티타늄, 제2 배선층(14)은 50nm 두께의 백금을 이용했다. 층간절연층(12) 중에 직경 0.03 $\mu$ m 내지 0.3 $\mu$ m의 비아홀이 형성되어 있고, 고체 전해질층(16)과 대향 전극층(15)의 접촉면적이 규정되어 있다. 층간절연층은 클로로메틸화 칼릭스아렌이라 칭하는 폴리머를 이용한다.

도 5에 있어서, 횡축은 제2 배선층(14)과 제1 배선층(13) 사이에 인가된 전압을 제2 배선층(14)측을 정으로 나타내고, 종축은 고체 전해질층(16)을 흐르는 전류를 나타낸다. 도면에 나타낸 바와 같이, 본 발명의 고체 전해질 스위칭 소자의 전류 전압 특성은 히스테리시스 특성을 가진다. 이 전류 전압 특성은 종래 알려져 있지 않고, 본 발명자들이 처음으로 발견한 것이다.

(1) 고체 전해질 스위칭 소자(10)를 제작한 직후에는 전도도가 7nS 이하(측정한계 이하)로 대단히 작게 오프 상태에 있다. 즉, 인가 전압이 -0.28V 내지 0.3V인 범위에서는 오프 상태를 유지하고 있다(도 5의 ①과 ⑤).

(2) 인가 전압을 -0.28V를 넘어서 인가하면, 전류가 급격히 흐르고, 전도도가 큰 상태, 즉 온 상태로 이행된다(도 5의 ②). 인가 전압을 약 -0.15V에서 약 0.07V까지 상승시키는 동안에는 전압에 비례하여 전류가 증가되고, 전도도가 큰 상태, 즉 온 상태를 나타낸다. 온 저항은 매우 작고, 이 예에서는 약 50 $\Omega$ 이다. 즉, 인가 전압 -0.15V 내지 약 0.07V의 범위에서 전압을 변화시켜도 온 상태는 유지된다(도 5의 ③).

(3) 인가 전압을 약 0.07V를 넘어서 인가하면, 전류가 급격히 흐르지 않게 되고, 전도도가 작은 오프 상태로 복귀한다(도 5의 ④). 일단 오프 상태로 되면, 전압의 유무에 관계없이 오프 상태는 유지된다(도 5의 ⑤).

즉, 본 발명의 고체 전해질 스위칭 소자(10)는 상기 (1), (2), (3)에서 나타낸 히스테리시스 특성을 가지고 있다. 도면에 나타낸 전기 특성은 비아홀의 직경이 0.03 $\mu$ m인 전기소자를 나타낸다. 0.3 $\mu$ m까지의 모든 전기소자에 있어서 동일한 히스테리시스 특성이 얻어진다. 고체 전해질 스위칭 소자(10)의 오프 저항/온 저항의 비는  $10^6$  이상이었다. 온 상태에서의 전도도는 소자의 동작 온도를 내림에 따라서, 증가하는 경향에 있고, 77K에서는 10% 정도 증가한다.

다음에, 상기 구성의 실시예 1의 고체 전해질 스위칭 소자의 다른 전류 전압 특성을 설명한다.

도 6은 본 발명의 실시예 1의 고체 전해질 스위칭 소자의 다른 전류 전압 특성을 나타내는 도면이다. 측정에 사용한 시료의 각 층의 재료, 형상 및 두께를 이하에 나타낸다. 기판(11)은 500 $\mu$ m 두께의 Si 기판 상에 200nm 두께의 SiO<sub>2</sub> 산화막을 형성한 것을 이용하고, 제1 배선층(13)은 60nm 두께의 구리, 고체 전해질층(16)은 0.5 $\mu$ m $\phi$ 의 원형 면적을 가지는 60nm 두께의 황화구리, 대향 전극층(15)은 10nm 두께의 티타늄, 제2 배선층(14)은 50nm 두께의 백금을 이용했다.

도 6에 있어서, 횡축은 제2 배선층(14)과 제1 배선층(13) 사이에 인가한 전압을 제2 배선층(14)측을 정으로 하여 나타내고, 종축은 고체 전해질층(16)을 흐르는 전류를 나타낸다. 도면에 나타낸 바와 같이, 본 발명의 고체 전해질 스위칭 소자의 전류 전압 특성은 히스테리시스 특성을 가지고 있다. 이 전류 전압 특성은 도 5과 같이, 종래 알려져 있지 않고, 본 발명자들이 처음으로 발견한 것이다.

(4) 인가 전압을 약 -0.5V에서 약 0.5V까지 상승시키는 동안에는 전압에 비례하여 전류가 증가되어 전도도가 큰 상태, 즉 온 상태를 나타낸다. 온 저항은 매우 작고, 이 예에서는 약 800 $\Omega$ 이다. 인가 전압의 유무에 관계없이 온 상태는 유지된다. 즉, 전압 10.5V 내지 0.5V의 범위에서 여러 번 전압을 온, 오프하더라도 약 800 $\Omega$ 의 저항치를 유지한다(도 6의 ⑥).

(5) 인가 전압을 약 0.5V를 넘어서 인가하면 전류가 흐르지 않게 되고, 전도도가 작은 오프 상태로 이행된다(도 6의 ⑦). 일단 오프 상태로 되면, 전압의 유무에 관계없이 오프 상태는 유지된다. 즉, 전압 -0.5V 내지 약 0.5V의 범위에서 여러 번 전압을 온, 오프하더라도 전도도가 작은 오프 상태를 유지한다(도 6의 ⑧).

(6) 부 방향으로 약 -0.5V를 넘어서 전압을 인가하면 전류가 급격히 흘러, 약 -1V에서 저항이 약 800 $\Omega$ 인 전도도가 높은 상태, 즉 온 상태로 복귀한다(도 6의 ⑨).

즉, 본 발명의 고체 전해질 스위칭 소자(10)는 상기 (4), (5), (6)에서 나타낸 히스테리시스 특성을 가지고 있다.

또, 온 저항은 원하는 특성이 얻어지도록 각 층의 두께, 면적 등을 설계함으로써, 용이하게 원하는 저항치로 할 수 있다.

상기의 도 6에서 설명한 전류 전압 특성은 다음과 같이 생각된다.

제2 배선층(14)층을 정으로 하여 약 0.5V 이상의 전압을 인가하면, 고체 전해질층(16) 중의 금속 이온이 이온 공급층(17)층으로 이동하여, 대향 전극층(15)과 고체 전해질층(16)의 계면 부근에서 금속 이온이 결핍한 층이 생긴다. 이 이온결핍층은 전기전도도가 작기 때문에, 고체 전해질 스위칭 소자(10)의 전기전도도는 작아진다(오프 상태). 한편, 약 -0.5V 이하의 전압을 인가하면, 이온 공급층(17)으로부터 구리 이온이 공급되고, 구리 이온이 원 위치에 이동하여 전도도가 회복된다(온 상태)고 생각된다. 또, 온 상태에서는 고체 전해질층(16)의 전기 전도에는 전자에 의한 전도도 기여하기 때문에, 본 발명의 고체 전해질 스위칭 소자(10)의 온 저항은 매우 작아진다고 추정된다.

이와 같이, 본 발명의 고체 전해질 스위칭 소자(10)에 의하면, 오프 상태와 온 상태의 재기복이 가능하며, 또, 전원을 차단 하더라도 온 상태 또는 오프 상태를 유지할 수 있다. 또, 온 상태의 저항은 MOS형 메모리의 온 저항에 비하여 작게 할 수 있다.

또, 본 발명의 제1 실시예의 고체 전해질 스위칭 소자(10)의 작용에 대해, 상기 도 5 및 도 6에 나타내는 2예를 설명했지만, 본 발명의 제2~제4 실시예의 고체 전해질 스위칭 소자(10', 20, 20')에 있어서도 동일한 전류 전압 특성이 얻어진다.

도 7은 도 5의 전류 전압 특성을 갖는 본 발명의 제1의 실시예에 따른 고체 전해질 스위칭 소자(10)의 펄스전압 인가에 의한 스위칭 파형을 나타내는 도면이다. 도 7(a)는 고체 전해질 스위칭 소자(10)에 인가되는 입력 펄스전압 파형을 나타내고, 도 7(b)는 고체 전해질 스위칭 소자(10)의 펄스전류 파형을 나타낸다. 도면의 종축이 각각의 펄스파형의 진폭을 나타내고, 횡축이 시간(ms)이다.

도 7(a)의 좌측단에 도시한 바와 같이, 고체 전해질 스위칭 소자(10)는 약 -0.1V에서 펄스폭이 1ms인 부전압 펄스가 인가된 상태에 있어서는 전류가 흐르지 않는 오프 상태다.

이 오프 상태에서부터, 고체 전해질 스위칭 소자(10)에 제1 펄스로서, 약 -0.4V에서 펄스폭이 1ms인 부전압 펄스를 인가(도 7(a)의 A)하면, 고체 전해질 스위칭 소자(10)는 오프 상태에서부터 온 상태로 전이한다(도 7(b)의 A'). 이 온 상태인 것은, 예를 들면, 약 -0.1V에서 펄스폭이 1ms인 부전압 펄스를 인가(도 7(a)의 B를 참조)하면 전류펄스가 얻어지는 것으로부터 판단할 수 있다(도 7(b)의 B').

다음에, 고체 전해질 스위칭 소자(10)에, 제2 전압 펄스로서 약 0.4V에서, 펄스폭이 1ms인 정전압 펄스를 인가(도 7(a)의 C)하면, 고체 전해질 스위칭 소자(10)는 온 상태에서부터 오프 상태로 전이한다(도 7(b)의 C'). 이 오프 상태인 것은, 예를 들면, 약 -0.1V에서, 펄스폭이 1ms인 부전압 펄스를 인가(도 7(a)의 D)하더라도, 전류펄스가 얻어지는 것으로부터 판단할 수 있다(도 7(b)의 D'). 펄스전압원으로 설정한 값과 도시한 소자에 인가되는 펄스입력 전압이 다른 것은, 측정장치에 전류가 흐를 때 측정장치에서 전압강하가 생기기 때문이다.

상기의 고체 전해질 스위칭 소자(10)의 온 상태에서부터 오프 상태, 또는 오프 상태에서부터 온 상태로의 전이에 필요한 스위칭 시간은 100 $\mu$ s 정도이며, 인가하는 펄스전압을 증대시키면, 이들 전이 시간은 짧아지는 경향을 갖는다.

상기 도 5에서 설명한 전류 전압 특성의 발생기구로서 2개의 모델을 생각할 수 있다.

제1 전류 전압 특성의 발생기구 모델로서, 오프인 고체 전해질 스위칭 소자에 상기 제1 전압 펄스로서 부의 임계치(-0.28V) 이하의 전압을 인가하면, 이온 공급층(17)으로부터 고체 전해질층(16)으로 금속 이온으로서의 구리 이온이 공급되고, 전도도가 커진다(온 상태)고 생각된다. 또, 온 상태에서는 고체 전해질층(16)의 전기전도에는 전자에 의한 전도도 기여하기 때문에, 본 발명에 의한 고체 전해질 스위칭 소자(10)의 온 저항은 매우 작아진다고 추정된다. 이 모델은 상기 도 6에서 설명한 전류 전압 특성의 기구와, 임계값 전압이 다른 점 이외에는 대략 동일한 것이다.

다음에, 상기 제2 전압 펄스로서 정의 임계치(0.07V) 이상의 전압을 인가하면, 고체 전해질층(16) 중의 금속 이온이 이온 공급층(17)층으로 이동하여, 대향 전극(15)과 고체 전해질층(16)의 계면 부근에서 금속 이온이 결핍한 층이 생긴다. 이 이온 결핍층은 전기전도도가 작기 때문에, 고체 전해질 스위칭 소자(10)의 전기전도도가 작아져, 다시 오프 상태로 전이된다고 추정된다.

제2 전류 전압 특성의 발생기구 모델로서, 고체 전해질층(16) 중에 전류로인 금속 필라멘트가 생성된다고 하는 기구를 추정할 수 있다.

도 8은 고체 전해질 스위칭 소자에 있어서, 금속 필라멘트(18)가 생성되는 모델을 설명하기 위한 단면도이며, 도 1에 나타난 본 발명의 고체 전해질 스위칭 소자(10)의 제1 배선층(13), 이온 공급층(17), 고체 전해질층(16), 대향 전극층(15)으로 이루어지는 동작층의 중심부를 확대하여 나타난 도면이다.

고체 전해질 스위칭 소자(10)의 제조 직후, 즉 전압 인가 전의 초기 상태에서는 금속 필라멘트(18)가 형성되어 있지 않고 전도도는 작다. 상기 제1 전압 펄스로서 부의 임계치(-0.28V) 전압을 인가하면, 고체 전해질층(16)의 황화구리 내에 있는 구리 이온이, 제1 배선층(13)과 대향 전극층(15) 사이를 이동함으로써, 구리에 의한 금속 필라멘트(18)가 생성되어 전도도가 커진다. 반대로, 상기 제2 전압 펄스로서 정의 임계치(0.07V) 이상의 전압을 인가하면, 금속 필라멘트(18)는 소멸되어 오프 상태로 전이한다.

이와 같이, 제2 전류 전압 특성의 발생기구 모델로서, 고체 전해질층(16) 내에 금속 필라멘트(18)가 인가 전압의 극성에 의해 생성 및 소멸된다고 하는 모델은 도 5에서 설명한 선형(線形) 전류 전압 특성과 전도도의 부의 온도계수 등을 설명할 수 있다.

상기 제2 금속 필라멘트(18)의 생성 모델에 대해, 이 금속 필라멘트(18)가 생성된다고 한 경우에, 고체 전해질 스위칭 소자(10)의 어디에 형성되어 있는지에 대해, 도 9와 도 10을 이용하여 설명한다.

도 9는 도 1에 나타내는 본 발명의 고체 전해질 스위칭 소자(10)의 전류 통로를 조사하기 위해서 시험 제작한 고체 전해질 스위칭 소자구조(21)를 나타내는 것으로, 도 9(a)는 평면도, 도 9(b)는 도 9(a)의 X-X선에 따른 단면도를 나타낸다. 또, 도 9(b)에는 전류 통로를 조사하기 위한 회로도 도시되어 있다.

도시한 바와 같이, 고체 전해질 스위칭 소자(10)의 전류 통로를 조사하기 위해서 시험 제작한 고체 전해질 스위칭 소자구조(21)는 고체 전해질층(16)의 주위에, 대향 전극층(15)과 절연되어 있는 새로운 제2 대향 전극(19)을 구비하고 있다. 또, 직류전압원(23)이 대향 전극층(15)과 접지(24) 사이에 접속되어, 제1 배선층(13)과 접지(24) 사이 및 제2 대향 전극층(19)과 접지(24) 사이에는 각각 전류계(25, 26)가 접속되어 있다. 이 때 전류계(25, 26)를 흐르는 전류를, 각각 출력 전류(25', 26')라 한다. 여기에서, 전류계(25, 26)의 내부저항이 충분히 작아서 무시할 수 있기 때문에, 제1 배선층(13) 및 제2 대향 전극층(19)은 등가적으로 접지되어 있다.

처음에, 고체 전해질층(16)의 주위에 텐드라이트 등에 의한 전류 통로(22), 즉, 고체 전해질층의 외주부에 침상 결정이 생성되는 경우에 대해 고찰한다.

이 때는 고체 전해질 스위칭 소자(21)의 대향 전극층(15)과 제2 대향 전극층(19) 사이에 전류가 흐르고, 제1 배선층(13) 사이에는 전류가 흐르지 않는다고 예상된다.

또, 상기의 금속 필라멘트가 형성되는 모델의 경우에 대해 고찰한다. 고체 전해질층(16) 내부의 구리 이온에 의해 전류가 흐르기 때문에, 고체 전해질층(16)의 주위에 전류 통로(22)가 형성되지 않고, 고체 전해질 스위칭 소자(21)의 제1 배선층(13)과 대향 전극층(15)에 전류가 흐르고, 제2 대향 전극층(19)에는 전류가 흐르지 않는다고 추측된다.

도 10은 도 9의 본 발명의 고체 전해질 스위칭 소자(10)의 전류 통로를 조사하기 위해서 시험 제작한 고체 전해질 스위칭 소자(21)의 전류 전압 특성을 나타내는 것으로, 도 10(a)는 제1 배선층(13)과 제2 대향 전극층(19)을 접지하여 대향 전극층(15)에 인가한 입력 전압에 대한 제1 배선층(13)에 흐르는 출력 전류(25')이며, 도 10(b)는 제1 배선층(13)과 제2 대향 전극층(19)을 접지하여 대향 전극층(15)에 인가한 입력 전압에 대한 제2 대향 전극층(19)에 흐르는 출력 전류(26')이다. 도 10(a)에 도시한 바와 같이, 제1 배선층(13)과 대향 전극층(15) 사이의 전압에 대한 고체 전해질층(16)을 흐르는 전류는 도 5의 본 발명의 고체 전해질 스위칭 소자(10)와 동일한 전류 전압 특성을 나타내는 것을 알 수 있다(도 5 및 도 10(b) 참조). 한편, 도 10(b)에 도시한 바와 같이, 대향 전극층(15)의 주위에 설치한 제2 대향 전극층(19)에는 전류가 흐르지 않는 것을 알 수 있다(도 10(b) 참조).

이것으로부터, 본 발명의 고체 전해질 스위칭 소자(10)에서는 도 9에 나타난 바와 같이 고체 전해질층(16)의 주위에 텐드라이트에 의한 전류 통로(22)는 발생하지 않고, 고체 전해질층(16) 내부의 동작으로 스위칭 동작이 행해지고 있음을 알 수 있다.



또, 본 발명의 고체 전해질 스위칭 소자(10)에서는 고체 전해질층(16)에 이용하는 황화구리 박막은 칼코게나이드 반도체의 일종이지만, 온 상태와 오프 상태의 전이가 전압의 극성에 의존하고 있기 때문에, 칼코게나이드 반도체의 상 변화에 의한 전류 전압 특성(특허문헌 11 참조)은 없다고 추측된다.

이상의 설명으로부터, 본 발명의 고체 전해질 스위칭 소자(10)의 전류 전압 특성이 생성되는 영역은 고체 전해질층의 주위에 생기는 덴드라이트에 의한 것이 아니고, 고체 전해질층(16) 내부에서의 상기 제1 및 제2 현상에 기인하는 것으로 추측된다.

다음에, 본 발명의 고체 전해질 스위칭 소자의 온 저항 또는 오프 저항의 제어 방법에 대하여 설명한다.

도 11은 본 발명의 고체 전해질 스위칭 소자에 있어서, 온 저항 또는 오프 저항을 제어하는 전기 회로의 일례를 나타내는 도면이다. 본 발명의 고체 전해질 스위칭 소자(32)의 일단은 접지되고, 고체 전해질 스위칭 소자(32)의 타단은 부하저항(負荷抵抗)(27)을 통하여 입력 전압원(28)에 접속되어 있다. 고체 전해질 스위칭 소자 및 부하저항(27)의 접속점과 접지 사이의 전압이 고체 전해질 스위칭 소자의 출력전압(29)이다. 여기에서, 고체 전해질 스위칭 소자(32)는 제1~제4 실시예 중 어느 하나에 기술되어 있는 고체 전해질 스위칭 소자다.

도 12는 본 발명의 고체 전해질 스위칭 소자의 출력전압을 소정의 값으로 제어하는 피드백 제어 방법을 나타내는 플로차트이다.

먼저, 단계 ST1에서, 고체 전해질 스위칭 소자에 입력 전압의 인가를 개시하고, 단계 ST2에서, 고체 전해질 스위칭 소자의 출력전압 판독을 행하고, 단계 ST3에서, 고체 전해질 스위칭 소자가 소정의 전압에 도달했는지 여부의 판정을 행한다. 그리고, 단계 ST3에서, 고체 전해질 스위칭 소자가 소정의 출력전압에 도달하지 않았다고 판정했을 때에는 단계 ST1으로 되돌아가고, 고체 전해질 스위칭 소자에 다시 전압을 인가한다. 이에 반하여, 단계 ST3에서, 고체 전해질 스위칭 소자가 소정의 전압에 도달했다고 판정했을 때에는, 단계 ST4에서, 고체 전해질 스위칭 소자에 대한 전압 인가를 종료한다.

이와 같이 하여, 고체 전해질 스위칭 소자(10)는 소정의 출력전압이 얻어지도록 입력 전압을 피드백 제어하여 인가한다.

도 13은 도 5의 전류 전압 특성을 갖는 본 발명의 제1 실시예에 관한 고체 전해질 스위칭 소자(10)에 있어서, 입력 전압의 피드백 제어 파형과, 그 때의 출력전압 파형을 나타내는 도면이다. 도 13(a)는 고체 전해질 스위칭 소자(10)에 인가되는 입력 전압 파형을 나타내고, 도 13(b)는 고체 전해질 스위칭 소자(10)의 출력전압 파형을 나타낸다. 도 13의 횡축은 시간(sec)이다.

도 13(a)에 도시한 바와 같이, 고체 전해질 스위칭 소자(10)에는 50mV의 정전압(E1), 오프로부터 온시키는 전압(F)(이하, 턴온 전압(F)라고 부른다), 50mV의 정전압(E2), 온으로부터 오프시키는 전압(G)(이하, 턴오프 전압(G)라고 부른다)의 순서로 반복 인가된다.

여기에서, 턴온 전압(F) 및 턴오프 전압(G)은 각각, 출력전압을 피드백 제어함으로써 인가되어 있다. 고체 전해질 스위칭 소자(10)의 스위칭 측정 회로는 보드 상에 배선된 전기 회로로 구성되고, 퍼스널 컴퓨터를 이용하여 피드백 제어되었다.

도 13(a)의 좌측단에 도시한 바와 같이, 고체 전해질 스위칭 소자(10)에 입력 전압(E1)이 인가된 상태에서는 고체 전해질 스위칭 소자(10)는 오프 상태이기 때문에, 출력전압은 입력 전압과 대략 동등한 50mV이다(도 13(b)의 H 참조).

다음에 피드백 제어된 턴온 전압(F)이 인가되면 고체 전해질 스위칭 소자(10)는 온 상태로 전이되어, 출력전압은 약 0V로 된다(도 13(b)의 I 참조). 고체 전해질 스위칭 소자(10)가 온 상태를 지속하고 있는 것은 턴온 전압(F) 후에 50mV 진폭의 정전압(E2)이 입력되는 기간 동안은 출력전압이 0V를 유지하고 있는 것으로 판정할 수 있다. 이 때, 입력 전압(E2)은 부하저항에 인가된다.

다음에 피드백 제어된 턴오프 전압(G)이 인가되면 고체 전해질 스위칭 소자(10)는 오프 상태로 전이된다(도 13(b)의 H 참조). 고체 전해질 스위칭 소자(10)가 오프 상태를 지속하고 있는 것은 턴오프 전압(G) 후에 50mV 진폭의 정전압(E1)이 입력되는 기간 동안은 출력전압이 50mV를 유지하고 있는 것으로 판정할 수 있다. 이 때, 입력 전압(E1)의 대부분은 고체 전해질 스위칭 소자에 인가된다.

도 13은 턴온과 턴오프를 교대로 7회 정도 반복하고 있지만, 어느 경우에도 고체 전해질 스위칭 소자(10)는 정상적으로 턴온 및 턴오프하고 있는 것을 알 수 있다. 도시되어 있지 않지만, 턴온과 턴오프를 장시간 반복 측정하는 것에서의 실패, 즉, 고장 발생 회수를 조사했으나, 피드백 제어에 의하면 고장은 일어나지 않았다.

여기에서, 1회의 피드백 제어, 즉, 시퀀스에 요하는 시간은 100ms 정도였다. 피드백 회로를 전용 전기 회로, 또는 고체 전해질 스위칭 소자 및 피드백 회로를 함께 집적화하면, 1회의 시퀀스에 요하는 시간은 100ns 이하로 할 수 있다. 이에 따라, 본 발명의 고체 전해질 스위칭 소자는 입력 전압을 피드백 제어하여 인가함으로써, 온 상태와 오프 상태 사이의 전이와 온 저항 등의 제어를 양호한 정밀도로 행할 수 있다.

이와 같이, 본 발명의 고체 전해질 스위칭 소자(10)에 의하면, 오프 상태와 온 상태의 재기록이 가능하며, 또, 전원을 차단 하더라도 온 상태 또는 오프 상태를 유지할 수 있다. 또, 온 상태의 저항은 동등한 사이즈의 MOS형 메모리의 온 저항에 비하여 작게 할 수 있다.

상기의 이온 결핍층 또는 금속 필라멘트(18)의 소멸 상태는 제3 종래예에 있는 전자소자에 있어서 필요하였던 공극에 상당하는 것이며, 공극이 필요하지 않게 된다.

또, 본 발명의 고체 전해질 스위칭 소자는 구조가 간편하고, 원리상 원자 사이즈급의 크기에서도 동작 가능하기 때문에, 종래의 전기소자보다 훨씬 고집적화가 가능할 뿐 아니라 제조가 용이하다.

다음에, 본 발명의 고체 전해질 스위칭 소자를 이용한 FPGA에 관한 제5 실시예를 나타낸다.

도 14는 본 발명에 따른 제5 실시예에 의한 고체 전해질 스위칭 소자를 이용한 FPGA(30)의 개략을 나타내는 도면이다. FPGA(30)의 기본 단위는 논리 회로 블록(31), 논리 회로 블록(31) 사이의 배선(33~35), 및 배선의 접속을 전환하는 본 발명의 고체 전해질 스위칭 소자(32)로 되어 있다. 또한, FPGA(30)는 이들 기본 단위를 이용하여 원하는 논리 회로를 구성할 수 있도록, 복수의 논리 회로 블록(31) 복수의 논리 회로 블록(31) 사이의 배선(33~35), 및 복수의 배선의 접속을 전환하는 본 발명의 고체 전해질 스위칭 소자(32)로 구성되어 있다.

논리 블록(31) 및 주변 회로를 형성한 기판(11) 상에, 제1~제4 실시예 중 어느 하나에 기술되어 있는 고체 전해질 스위칭 소자(32) 및 배선(33~35)을 형성한다. 고체 전해질 스위칭 소자(32)에 접속하고 있는 세로 배선(배선(33, 35)) 및 가로 배선(배선(34))은 각각, 도 1~도 4 중 어느 하나에 나타낸 제1 배선층(13) 및 제2 배선층(14), 또는 제2 배선층(14) 및 제1 배선층(13)에 대응한다. 제1 배선층과 제2 배선층을 선택하여, 원하는 고체 전해질 스위칭 소자를 온 상태, 또는 오프 상태로 설정함으로써, 원하는 기능을 가진 FPGA를 제작한다.

본 발명의 고체 전해질 스위칭 소자(32)는 제1 배선층(13)과 제2 배선층(14)의 사이에 임계값 전압을 인가함으로써, 오프 상태에서부터 온 상태, 또는 온 상태에서부터 오프 상태로 가역적으로 전이시킬 수 있기 때문에, 본 발명의 FPGA는 재기록 가능한 FPGA이다. 또, 재현성도 충분하여, 본 발명의 FPGA는 10<sup>6</sup>회의 재기록이 가능했다. 또, 본 발명의 고체 전해질 스위칭 소자(32)는 온 저항이 작기 때문에, 신호지연이 작은 FPGA로 할 수 있다.

다음에, 본 발명의 고체 전해질 스위칭 소자를 이용한 메모리 소자에 관한 제6 실시예를 나타낸다.

도 15는 본 발명에 따른 제6 실시예에 의한 고체 전해질 스위칭 소자를 이용한 메모리 소자가 나타내는 도식적인 도면이다. 도면에서, 본 발명의 고체 전해질 스위칭 소자를 이용한 메모리 소자(50)는 셀 선택용 MOS 트랜지스터(41), 고체 전해질 스위칭 소자(42), 비트선(43), 접지선(44), 워드선(45)로 구성되어 있다. 고체 전해질 스위칭 소자(42)의 일단인 제1 배선층(46)은 MOS 트랜지스터(41)의 드레인과 접속되어 있다. 그리고, 고체 전해질 스위칭 소자(42)의 타단인 제2 배선층(47)은 접지선(44)과 접속되어 있다. 물론, 이 제1 배선층과 제2 배선층을 교체하여도 된다.

고체 전해질 스위칭 소자를 이용한 메모리 소자(50)에 기억시키는 경우에는 워드선(45)에 전압을 인가하여 MOS 트랜지스터(41)를 온 상태로 하고, 비트선(43)과 접지선(44)을 선택하여, 비트선(43)과 접지선(44) 사이에 전압을 인가하여 고체 전해질 스위칭 소자(42)에 임계값 전압을 인가한다. 임계값 전압은 상기 도 5의 예에서는 약 +0.07V 및 -0.28V이다. 예를 들면, 비트선(43)과 접지선(44) 사이에 MOS 트랜지스터의 온 전압에 추가로 +0.07V를 더한 전압을 인가하면 고체 전해질 스위칭 소자(42)가 오프 상태로 되고, 오프 상태가 기억된다. 비트선(43)과 접지선(44) 사이의 고체 전해질 스위칭 소자(42)에 -0.28V 이상을 인가하면 고체 전해질 스위칭 소자(42)가 온 상태로 되고, 온 상태가 기억된다.

고체 전해질 스위칭 소자를 이용한 메모리 소자(50)의 기억 상태를 관독하기 위해서는 워드선(45)에 전압을 인가하여 MOS 트랜지스터(41)를 온 상태로 하고, 비트선(43)과 접지선(44) 사이의 저항을 검출한다. 고체 전해질 스위칭 소자(42)가 오프 상태로 있으면 고저항을 나타내고, 고체 전해질 스위칭 소자(42)가 온 상태로 있으면 저저항을 나타낸다. 이와 같이 하여, 고체 전해질 스위칭 소자를 이용한 메모리 소자(50)의 메모리 상태를 관독할 수 있다. 또, 고체 전해질 스위칭 소자(42)의 상태는 전원 전압이 없더라도 유지되기 때문에, 본 발명의 고체 전해질 스위칭 소자를 이용한 메모리 소자(50)는 비휘발성 메모리로서 사용할 수 있다.

다음에, 본 발명의 고체 전해질 스위칭 소자의 제조 방법의 제7 실시예를 도 16을 참조하여 설명한다.

도 16은 상기 제1 실시예에 관한 고체 전해질 스위칭 소자(10)를 제조하는 경우의 공정을 차례로 나타내는 도면이며, 소자의 단면 모식도를 이용하여 나타낸다.

도 16(a)에 도시한 바와 같이, 먼저 실리콘 기판을 산화하여 기판(11)을 제작하고, 기판(11) 상에 막 두께 200nm의 구리 박막을 진공증착법 또는 스퍼터법에 의해서 형성한다.

다음에, 제1 배선층(13)의 영역을 제외한 부분이 개구된 레지스트마스크를 이용하여, 습식 에칭법 또는 반응성 이온 에칭법에 따라 제1 배선층(13) 이외의 여분의 구리 박막을 에칭하여, 제1 배선층(13)의 형상으로 가공한다.

다음에, 도 16(b)에 도시한 바와 같이, 층간절연층(12)을 형성한다. 예를 들면, 층간절연층(12)으로서, 실리콘산질화막(SiON)을 스퍼터법으로 형성한다. 층간절연층(12)의 형성 후에, 비아홀(51) 영역이 개구된 레지스트 패틴을 마스크로 하여, 건식 에칭 또는 습식 에칭에 의해 비아홀(51)을 형성한다.

여기에서, 층간절연층(12)의 재료는 신호지연 시간을 작게 하고, 기생용량(寄生容量) 저감을 위해, 저유전율막이 바람직하다. 층간절연층(12)의 재료로는, 실리콘산질화막의 이외에, SiO<sub>2</sub>막, 절연성 폴리머 재료 등이면 된다. 절연성 폴리머 재료로는, 클로로메틸화 칼릭시아렌(p-클로로메틸메톡시칼릭스[6]아렌) 등을 적합하게 사용할 수 있다. 또, 층간절연층(12)은 그 형성 온도가 낮은 공정이 바람직하다. 이 층간절연층(12)의 두께는 50~500nm 정도이면 된다.

다음에, 비아홀(51)에 노출된 구리를 황화시킨다. 구리의 황화는 황화물을 포함한 수용액 중에서 애노드 분극에 의해 행한다. 황화나트륨을 0.05mol/l 포함하는 수용액에, 구리 박막을 양극으로 하여 애노드 분극을 행한다. 인가하는 전압은 0.5V 정도이며, 황화량은 전류를 제어하여 조정한다. 구리 박막의 표면층이 원하는 두께로 황화되었을 때 황화를 정지한다. 예를 들면, 구리 박막의 표면층 2nm 내지 20nm 정도 황화되었을 때 반응을 정지한다. 황화되어 황화구리로 된 부분은 고체 전해질층(16)이 되고, 황화되지 않고 잔류한 구리의 부분은 제1 배선층(13)이 된다. 또, 이 황화 과정중에 구리 박막의 전도도를 측정함으로써 황화의 정도를 알 수 있기 때문에, 구리 박막의 황화막 두께를 제어하여 형성할 수 있다. 본 예에서는 제1 배선층(13)의 재료가 고체 전해질을 구성하는 금속인 구리를 이용했기 때문에 이온 공급층(17)의 제작을 생략할 수 있다.

또, 고체 전해질층(16)의 두께는 혼합 도전체인 황화구리에 있어서, 대략 2nm 내지 200nm 정도이면 된다. 제1 배선층(13)에 구리를 이용한 경우의 막 두께는 대략 20nm 내지 300nm 정도이면 된다. 제1 배선층(13)이 구리가 아닌 것이면, 이온 공급층(17)은 구리를 재료로 하고, 막 두께는 대략 2nm 내지 50nm 정도이면 된다. 제2 배선층(14)의 막 두께는 대략 20nm 내지 300nm 정도의 구리를 사용할 수도 있다.

다음에, 도 16(c)에 도시한 바와 같이, 대향 전극층(15)을 티타늄으로 형성한다. 본 예에서는 티타늄을 진공증착법에 의해서 퇴적했다. 대향 전극층(15)의 두께는 5nm 내지 30nm로 했다.

마지막으로, 도 16(d)에 도시한 바와 같이, 제2 배선층을 이루는 구리를, 스퍼터법에 의해서 층간절연층(12)에 적층한다. 다음에 제2 배선층(14)의 영역을 제외한 부분이 개구된 레지스트마스크를 이용하여 건식 에칭법에 의해, 제2 배선층(14)을 형성한다. 본 예에서 제2 배선층(14)의 막 두께는 대략 20nm 내지 300nm 정도의 구리를 이용한다. 제1 배선층(13) 및 제2 배선층(14)은 상기의 구리 이외에, 종래 이용되는 배선 재료라도 되고, 예를 들면 알루미늄, 금, 백금 등을 이용해도 된다.

이상과 같이 하여, 본 발명의 고체 전해질 스위칭 소자를 제조할 수 있지만, 고체 전해질층(16)으로서 혼합 도전체의 황화구리가 적합하다. 황화구리는 220℃에서, 황화제2구리로부터 안정된 황화제1구리로 변화된다. 황화제1구리의 융점은 1130℃이고, 열안정성이 양호하다. 본 발명자들에 의해, 300℃에서 1시간 가열하여도 특성변화가 없는 것이 확인된다.

다음에, 본 발명의 고체 전해질 스위칭 소자의 제조 방법의 제8 실시예를 도 17을 참조하여 설명한다.

도 17는 상기 제3 실시예에 관한 고체 전해질 스위칭 소자(20)를 제조하는 경우의 공정을 차례로 나타내는 도면으로서, 소자의 단면 모식도를 이용하여 나타낸다. 도 17(a)에 도시한 바와 같이, 먼저 실리콘 기판을 산화하여 기판(11)을 제작하고, 기판(11) 상에 제1 배선층(13)을 이루는 막 두께 200nm의 구리 박막을 진공증착법 또는 스퍼터법에 의해서 형성한다. 다음에, 대향 전극층(15)을 티타늄의 진공증착법에 의해서 형성한다. 제1 배선층(13)의 영역 이외에 개구를 가지는 레지스트 패턴을 마스크로 하여, 습식 에칭법 또는 반응성 이온 에칭법에 의해서 에칭을 하여, 구리 박막과 티타늄을 제1 배선층(13)의 형상으로 가공한다.

다음에, 도 17(b)에 도시한 바와 같이, 층간절연층(12)을 형성하기 위해 실리콘산질화막을 스퍼터법으로 형성한다. 실리콘산질화막의 형성 후, 비아홀 영역(51)이 개구된 레지스트 패턴을 마스크로 하여, 건식 에칭 또는 습식 에칭에 의해 비아홀(51)을 형성한다.

이어서, 도 17(c)에 도시한 바와 같이, 고체 전해질층(16)을 형성한다. 처음에, 막 두께 200nm의 구리 박막을 진공증착법 또는 스퍼터법에 의해서 형성한다. 계속해서, 황화물을 포함한 수용액 중에서 애노드 분극에 의해 이 구리 박막을 완전히 황화시킨다. 또한, 고체 전해질층(16)의 영역을 제외한 부분이 개구된 레지스트마스크를 이용하여 반응성 이온 에칭법에 의해 불필요한 황화구리를 에칭하여 고체 전해질층(16)을 형성한다.

마지막으로, 도 17(d)에 도시한 바와 같이, 구리를 스퍼터법에 의해서 적층하여, 제2 배선층(14)의 영역을 제외한 부분이 개구된 레지스트마스크를 이용하여 반응성 이온 에칭법에 의해 제2 배선층 이외의 구리를 에칭하여, 제2 배선층(14)을 형성한다. 제1 배선층(14)이 구리이기 때문에, 이온 공급층(17)의 제작은 생략했다.

또, 도 5 및 도 6에서 예시한 본 발명의 고체 전해질 스위칭 소자의 특성은, 상기 제7 및 제8 실시예에 따른 본 발명의 고체 전해질 스위칭 소자의 제조 방법에서 설명한 고체 전해질층(16)의 막 두께에 따라 고체 전해질 스위칭 소자의 초기 전도도가 결정되는 경향이 있었다. 고체 전해질층(16)의 막 두께가 두꺼운 경우에는 고체 전해질 스위칭 소자의 초기 전도도는 작아서 오프 상태로 되기 쉬웠다. 한편, 고체 전해질층(16)의 막 두께가 얇은 경우에는 도 6에서 예시한 본 발명의 고체 전해질 스위칭 소자의 특성과 같이, 고체 전해질 스위칭 소자의 초기 전도도는 커서 온 상태인 경우가 많았다.

본 발명의 고체 전해질 스위칭 소자의 초기 상태가 오프 상태 또는 온 상태가 되는 막 두께의 상세나, 그 때의 고체 전해질층(16)의 표면 상태 등을 조사하여 왔지만, 현재 시점에서 상세한 것은 불명확하다.

또, 상기 제7 및 제8 실시예의 본 발명의 고체 전해질 스위칭 소자의 제조 방법에서 설명한, 구리를 황화하여 황화구리를 얻는 황화 방법은 애노드 분극법 이외의 다음 방법에 의해서 행할 수 있다. 황화의 제2 방법은 구리 박막이 형성된 기판(11)을 황 분말과 함께 도가니에 넣고, 질소 분위기의 소성로에서 130℃로 가열한다. 이 때에도, 황화중에 구리 박막의 전도도를 측정함으로써, 황화의 정도를 알 수 있어, 구리 박막의 황화를 양호하게 제어할 수 있다. 구리 박막의 표면층이 소정의 두께로 황화되었을 때 황화를 정지한다.

황화의 제3 방법은 질소로 희석한 황화수소 중에서 기판을 120℃로부터 300℃로 가열하여 행한다. 이 경우도, 구리 박막의 저항을 측정함으로써, 양호하게 제어하면서 황화를 행할 수 있다. 또, 구리 박막을 황화하여 황화구리를 형성하지 않고, 황화구리를 종래 기술인 스퍼터법이나 레이저 애블레이션법으로 퇴적시킬 수도 있다.

제7 실시예에 있어서, 스퍼터법이나 레이저 애블레이션법으로 황화구리를 퇴적시키는 경우에는 제1 배선층(13)을 형성한 후, 또한 층간 절연막(12)을 형성하기 전에, 황화구리를 퇴적하여 가공한다.

여기에서, 상기 황화구리와 구리 이외에, 고체 전해질층(16)을 이루는 금속 황화물과 이온 공급층(17)의 조합은 황화크롬과 크롬, 황화은과 은, 황화타타늄과 티타늄, 황화텅스텐과 텅스텐, 황화니켈과 니켈, 황화탄탈과 탄탈일 수도 있다.

또, 고체 전해질층(16)은 상기의 금속 황화물 이외의 재료로서, 황화몰리브덴, 황화아연, 게르마늄-안티몬-텔루르 화합물, 비소-텔루르-게르마늄-실리콘 화합물 중 어느 하나일 수도 있다. 또, 이온 공급층(17)은 구리 이외에는 은 등을 사용할 수 있다.

고체 전해질층(16)과 이온 공급층의 조합에서, 황화몰리브덴과 구리, 게르마늄-안티몬-텔루르 화합물과 은의 조합에서는 각각, 도 5 및 도 6과 동일한 전류 전압 특성이 관측되었다.

이와 같이, 본 발명의 제7 및 제8 실시예의 고체 전해질 스위칭 소자의 제조 방법에 의하면, 고체 전해질 스위칭 소자가, 금속막의 퇴적이나 황화 및 금속의 에칭, 및 산화막이나 질화막의 퇴적과 그의 에칭, 공지되어 있는 집적 회로의 제조 기술을 사용함으로써, 정밀도가 양호하게, 또한 재현성 좋게 제조할 수 있다. 따라서, 저비용으로 고체 전해질 스위칭 소자를 용이하게 제작할 수 있다.

또, 고체 전해질 스위칭 소자가 오프 상태에서부터 온 상태로 전이되는 온 전압, 및 온 상태에서부터 오프 상태로 전이되는 오프 전압, 즉, 임계값 전압은 제조 시에 고체 전해질층과 대향 전극층과의 사이에 인가하는 전압의 크기를 조정함으로써 제어할 수 있다. 예를 들면, 도 5에 나타난 실시예의 경우에는 제2 배선층(14)과 제1 배선층(13) 사이에 인가한 전압을 제2 배선층(14)측을 정으로 하여 나타낸 경우에는 10초간, 부의 임계값 전압인 -1V의 전압을 인가함으로써, 오프 상태에서부터 온 상태로 전이되는 임계값 전압이 -0.4V로 된다. 또 큰 인가 전압을 인가하면, 더욱 큰 임계값 전압이 얻어진다. 도 6에 나타난 실시예의 경우는 인가 전압±1V에서 임계값 전압이 ±0.6V로 된다. 더욱 큰 인가 전압을 인가하면 더욱 큰 임계값 전압이 얻어진다.

본 발명은 상기 실시예에 한정되지 않고, 특허청구의 범위에 기재한 발명의 범위 내에서 여러 가지 변형이 가능하며, 이들도 본 발명의 범위 내에 포함되는 것임은 말할 것도 없다. 예를 들면, 상기 실시의 형태에서는 실리콘을 기판에 사용한 예를 설명했지만, 기판은 이것에 한정되지 않고, 화합물 반도체 등에 적용할 수 있는 것은 물론이다.

### 산업상 이용 가능성

이상의 설명으로부터 이해할 수 있는 바와 같이, 본 발명에 의하면, 소정의 인가 전압에 의해서 온 상태 또는 오프 상태가 임의로 설정될 수 있고, 비휘발이며, 또한, 온 상태의 저항이 낮은 스위칭 소자를 제공할 수 있다. 또, 본 발명의 스위칭 소자는 구조가 간편하고 미세하기 때문에, 종래의 스위칭 소자보다도 훨씬 미세화가 가능하다.

또한, 본 발명의 스위칭 소자를, FPGA의 스위칭 소자에 사용하면, 재프로그램 가능하고, 또한 동작속도가 빠른 FPGA를 제공할 수 있다.

또, 본 발명의 스위칭 소자를 메모리 소자의 기억 매체에 사용하면, 기록과 판독 속도가 빠른 비휘발성 메모리 소자를 제공할 수 있다. 또한, 본 발명의 스위칭 소자는 구조가 간편하고 미세하기 때문에, 고집적 고속인 메모리 집적회로를 제공할 수 있다.

또한, 본 발명의 제조 방법에 의하면, 종래의 집적 회로의 기술을 적용하여 정밀도가 양호하게, 재현성 좋게 제조할 수 있으며, 따라서, 고체 전해질 스위칭 소자, 및 그것을 이용한 FPGA나 메모리 등의 집적 회로를 저비용으로 제공할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 고체 전해질 스위칭 소자의 구성을 나타내는 일부 단면도이다.

도 2는 본 발명의 제2 실시예에 따른 고체 전해질 스위칭 소자의 구성을 나타내는 일부 단면도이다.

도 3은 본 발명의 제3 실시예에 따른 고체 전해질 스위칭 소자의 구성을 나타내는 일부 단면도이다.

도 4는 본 발명의 제4 실시예에 따른 고체 전해질 스위칭 소자의 구성을 나타내는 일부 단면도이다.

도 5는 본 발명의 제1 실시예의 고체 전해질 스위칭 소자의 전류 전압 특성을 나타내는 도면이다.

도 6은 본 발명의 제1 실시예의 고체 전해질 스위칭 소자의 다른 전류 전압 특성을 나타내는 도면이다.

도 7은 도 5의 전류 전압 특성을 갖는 본 발명의 제1 실시예에 따른 고체 전해질 스위칭 소자의 펄스전압 인가에 의한 스위칭 파형을 나타내는 것으로, (a)는 고체 전해질 스위칭 소자에 인가되는 입력 펄스전압 파형을, (b)는 고체 전해질 스위칭 소자의 펄스전류 파형을 나타낸다.

도 8은 고체 전해질 스위칭 소자에 있어서, 금속 필라멘트가 생성하는 모델을 설명하기 위한 단면도이다.

도 9는 본 발명의 제1 실시예의 고체 전해질 스위칭 소자의 전류 통로를 조사하기 위해서 시험 제작한 고체 전해질 스위칭 소자 구조를 나타내는 것으로, (a)는 평면도, (b)는 (a)의 X-X선에 따른 단면도이다.

도 10은 도 9의 고체 전해질 스위칭 소자의 전류 전압 특성을 나타내는 것으로, (a)는 제1 배선층과 제2 대향 전극층을 접지하여, 대향 전극층에 인가된 입력 전압에 대한 제1 배선층에 흐르는 출력 전류이며, (b)는 제1 배선층과 제2 대향 전극층을 접지하여 대향 전극층에 인가된 입력 전압에 대한 제2 대향 전극층에 흐르는 출력 전류이다.

도 11은 본 발명의 고체 전해질 스위칭 소자에 있어서, 온 저항 또는 오프 저항을 제어하는 전기 회로의 일례를 나타내는 도면이다.

도 12는 본 발명의 고체 전해질 스위칭 소자의 출력전압을 소정의 값으로 제어하는 피드백 제어 방법을 나타내는 플로차트이다.

도 13은 도 5의 전류 전압 특성을 갖는 고체 전해질 스위칭 소자에 있어서, 입력 전압의 피드백 제어 파형과, 그 때의 출력 전압 파형을 나타내는 도면으로, (a)는 고체 전해질 스위칭 소자에 인가되는 입력 전압 파형을 나타내고, (b)는 고체 전해질 스위칭 소자의 출력전압 파형을 나타낸다.

도 14는 제5 실시예에 따른 고체 전해질 스위칭 소자를 이용한 FPGA의 블록도이다.

도 15는 제6 실시예에 따른 고체 전해질 스위칭 소자와 MOS 트랜지스터를 이용한 메모리 소자의 회로도이다.

도 16은 제7 실시예에 따른 고체 전해질 스위칭 소자의 제조 공정을 차례로 나타내는 단면도이다.

도 17은 제8 실시예에 따른 고체 전해질 스위칭 소자의 제조 공정을 차례로 나타내는 단면도이다.

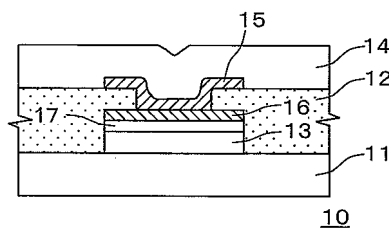
도 18은 종래에 3의 전자소자의 개략도이다.

도 19는 종래에 4의 전자소자의 구조를 나타내는 단면도이다.

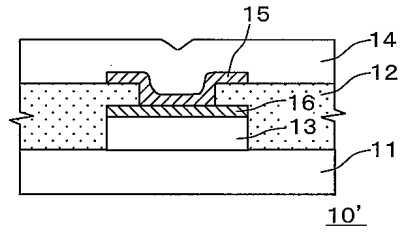
도 20은 종래에 5의 전자소자의 구조를 나타내는 단면도이다.

도면

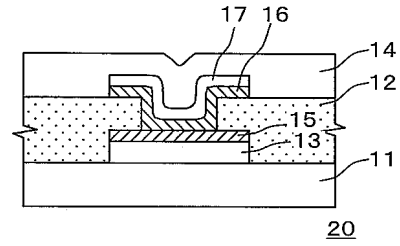
도면1



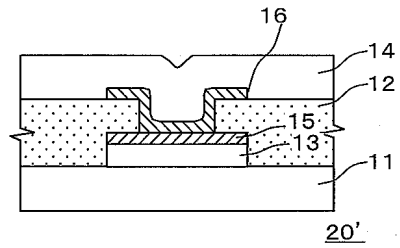
도면2



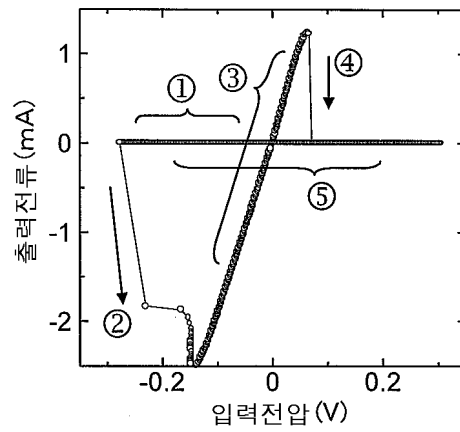
도면3



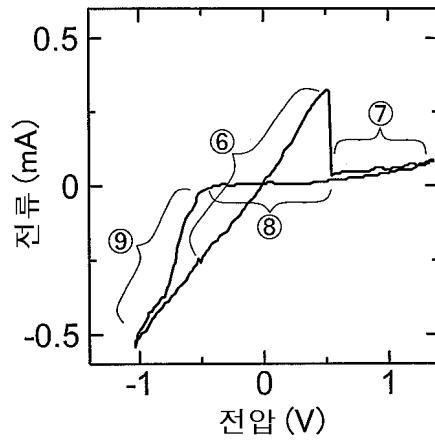
도면4



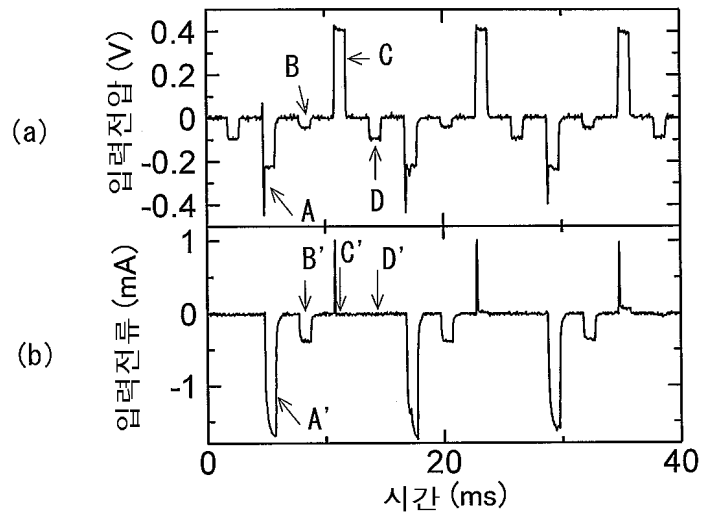
도면5



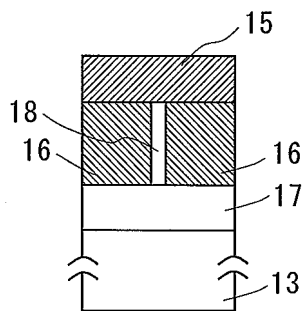
도면6



도면7

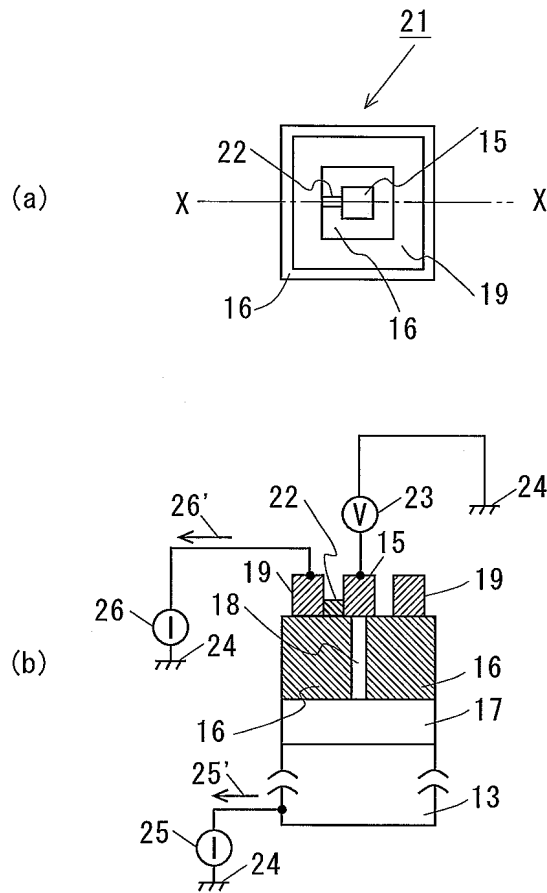


도면8

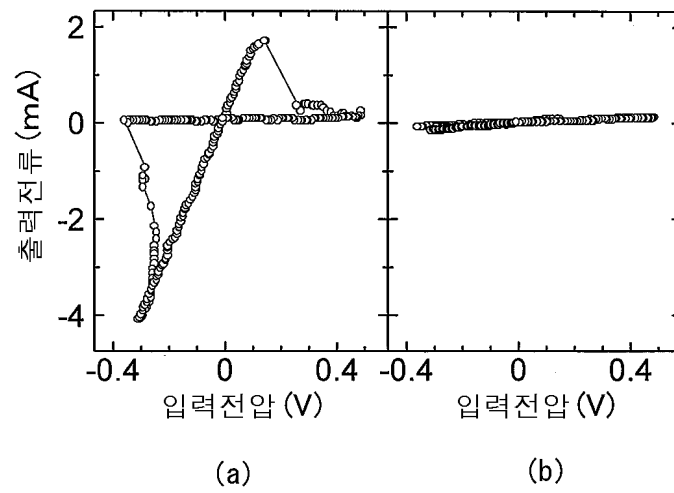




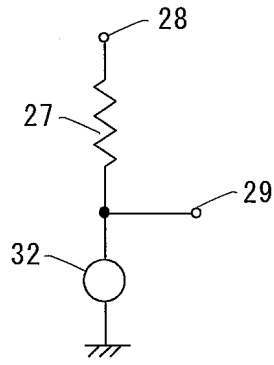
도면9



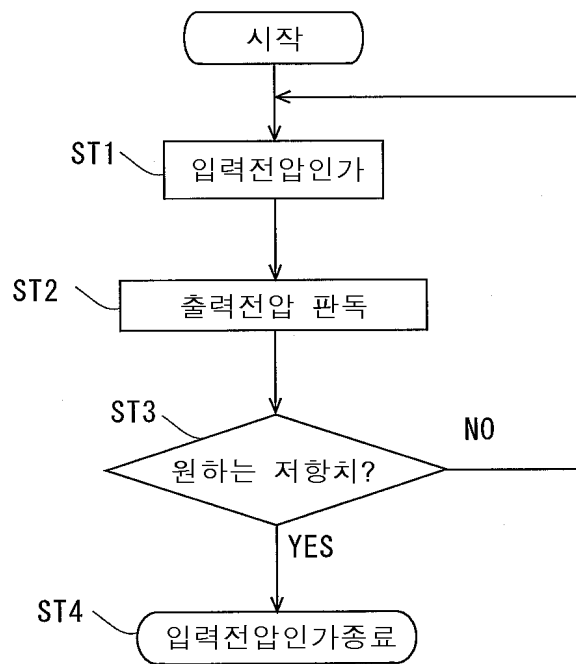
도면10



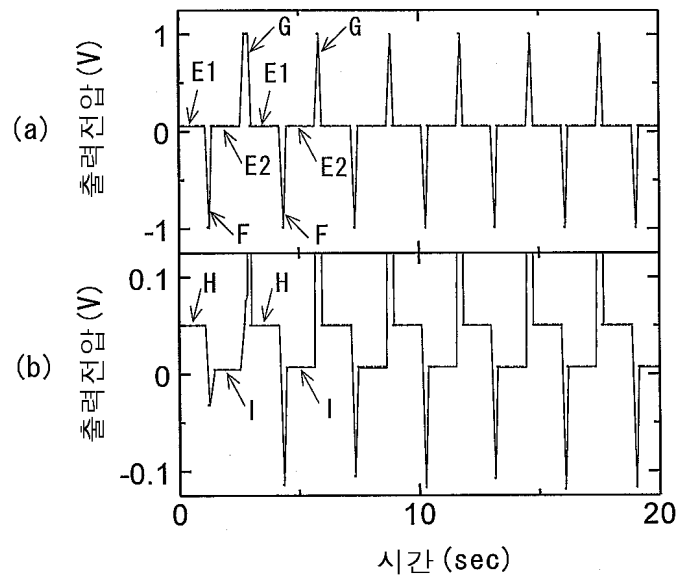
도면11



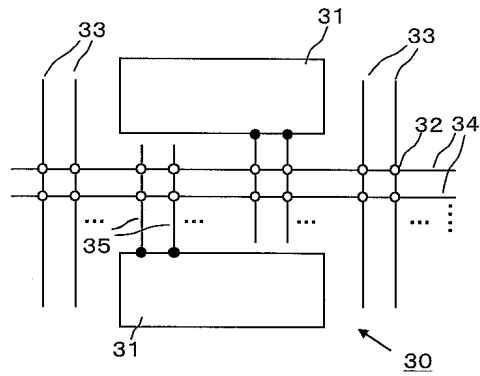
도면12



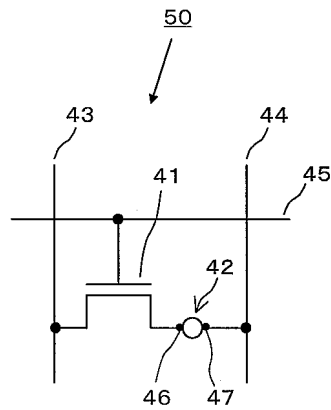
도면13



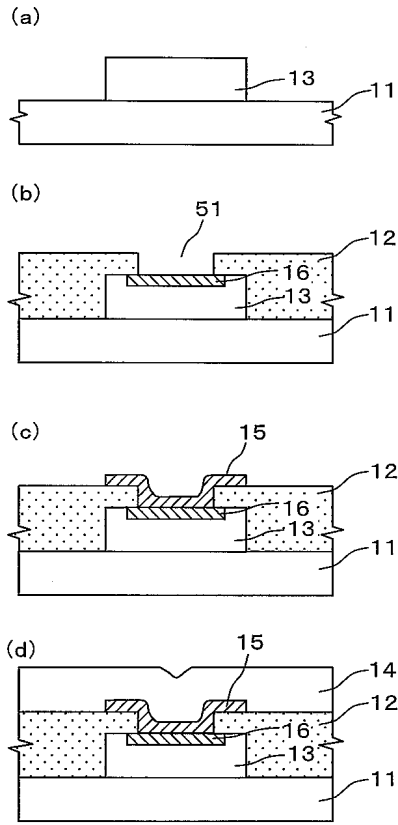
도면14



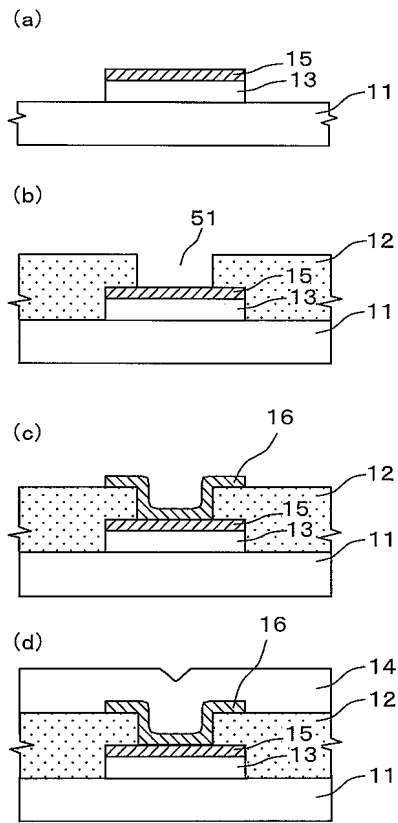
도면15



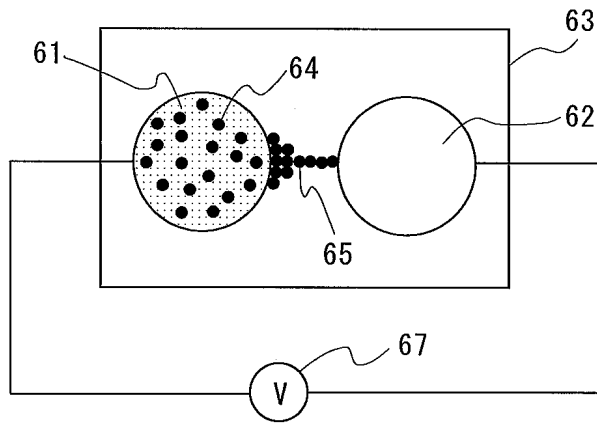
도면16



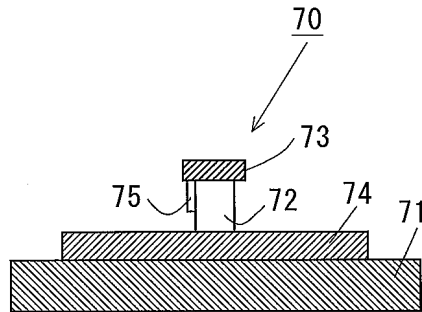
도면17



도면18



도면19



도면20

