



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월15일  
(11) 등록번호 10-1122496  
(24) 등록일자 2012년02월24일

(51) 국제특허분류(Int. Cl.)  
G11C 11/15 (2006.01)  
(21) 출원번호 10-2006-7014303  
(22) 출원일자(국제) 2005년01월14일  
심사청구일자 2009년12월15일  
(85) 번역문제출일자 2006년07월14일  
(65) 공개번호 10-2007-0030741  
(43) 공개일자 2007년03월16일  
(86) 국제출원번호 PCT/JP2005/000336  
(87) 국제공개번호 WO 2005/069368  
국제공개일자 2005년07월28일  
(30) 우선권주장  
JP-P-2004-00007514 2004년01월15일 일본(JP)  
(56) 선행기술조사문헌  
US5835003 A  
US5294287 A  
US6005798 A

(73) 특허권자  
고쿠리츠다이가쿠호진 도호쿠다이가쿠  
일본 미야기켄 센다이시 아오바쿠 가타히라 2쵸메 1방 1고  
도쿠리쓰교세이호징 가가쿠 기주쓰 신코 기코  
일본 사이타마켄 가와구치시 혼쵸 4쵸메 1반 8고  
(72) 발명자  
오노 히데오  
일본 미야기켄 센다이시 이즈미쿠 가츠라 3쵸메 33방 10고  
마츠쿠라 후미히로  
일본 미야기켄 센다이시 아오바쿠 주오 4쵸메 7방 25고 707  
(뒷면에 계속)

전체 청구항 수 : 총 20 항

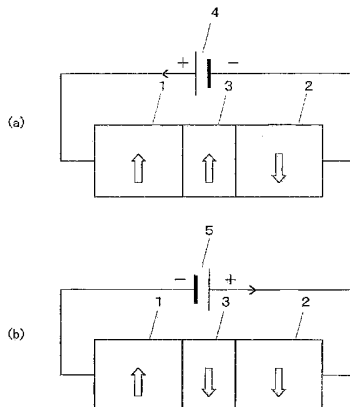
심사관 : 장진환

(54) 발명의 명칭 전류 주입 자벽 이동 소자

(57) 요약

강자성체의 자화 반전에 필요한 외부 자장을 없애고, 소비 전력의 저감화를 도모할 수 있는 전류 주입 자벽 이동 소자를 제공한다. 전류 주입 자벽 이동 소자로서, 반평행하는 자화 방향을 갖는 2 개의 자성체 (제 1 자성체 (1) 와 제 2 자성체 (2)) 와, 그것들 사이에 협지된 제 3 자성체 (3) 의 미소 접합을 갖고, 이 미소 접합 계면을 가로지르는 제 3 자성체 (3) 의 미소 접합을 갖고, 이 미소 접합 계면을 가로지르는 펄스 전류 (전류 밀도가,  $10^4-10^7 \text{ A/cm}^2$ ) 를 흐르게 함으로써, 이 펄스 전류와 자벽의 상호 작용에 의해 전류 방향 또는 반대 방향으로 자벽을 이동시키고, 소자의 자화 방향을 제어한다.

도 1



(72) 발명자

지바 다이치

일본 미야기켄 센다이시 아오바쿠 츠노고로 2쵸메  
3방 9고 310

야마노우치 미치히코

일본 미야기켄 센다이시 아오바쿠 오리타테 3쵸메  
13방 13고

---

**특허청구의 범위**

**청구항 1**

전류 주입 자벽 이동 소자로서,

서로 반평행하는 자화 방향을 갖는 제 1 자성체와 제 2 자성체, 및 상기 제 1 자성체와 제 2 자성체 사이에 협지된 제 3 자성체의 미소 접합을 갖고,

상기 미소 접합 계면을 가로지르는 전류를 흐르게 함으로써, 상기 전류와 자벽 (magnetic domain wall) 의 상호작용에 의해 전류 방향 또는 반대 방향으로 자벽을 이동시키고, 상기 소자의 자화 방향을 제어하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 2**

제 1 항에 있어서,

상기 제 1, 제 2 및 제 3 자성체는 자성 반도체인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 3**

제 2 항에 있어서,

상기 자성 반도체는 (Ga, Mn)As 로 이루어지는 강자성 반도체인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 4**

제 2 항에 있어서,

상기 자성 반도체는 (In, Mn)As 로 이루어지는 강자성 반도체인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 5**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 전류가 펄스 전류인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 6**

제 5 항에 있어서,

상기 펄스 전류의 전류 밀도는  $10^4-10^7 A/cm^2$  인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 7**

제 1 항에 있어서,

상기 서로 반평행하는 자화 방향을 갖는 상기 제 1 자성체와 제 2 자성체를, 자장 중 성막에 의해서 형성하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 8**

제 1 항에 있어서,

상기 서로 반평행하는 자화 방향을 갖는 상기 제 1 자성체와 제 2 자성체를, 보자력 (保磁力) 차를 이용하여 성막 후에 외부 자장을 인가함으로써 형성하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 9**

제 8 항에 있어서,

상기 제 1 자성체와 제 2 자성체는 상이한 원소 구성의 재료인 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 10**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체는 동일한 원소 구성의 재료로서, 상기 제 2 자성체막 상에 반강자성막을 형성하고, 상기 제 2 자성체막과 자기적으로 결합시킴으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 11**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체가 동일한 원소 구성의 재료로서, 상기 제 1 자성체와 제 2 자성체의 막두께를 바꿈으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 12**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체가 동일한 원소 구성의 재료로서, 상기 제 1 자성체와 제 2 자성체에 형상차를 부여하여 형상이방성(形狀異方性)의 차에 의해, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 13**

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 자성 반도체로 이루어지는 제 1 자성체와 제 2 자성체에 각각 다른 외부전계를 가함으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 14**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 3 자성체의 단면적을 상기 제 1 자성체와 제 2 자성체의 단면적보다 줄여 상기 제 1 자성체 및 제 2 자성체 내에서 보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 15**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 3 자성체로서 상기 제 1 자성체 및 상기 제 2 자성체보다 자화가 작은 상이한 원소 구성의 재료를 사용하여, 상기 제 1 자성체 및 상기 제 2 자성체 내에서보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 16**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 외부 전계의 인가에 의해 상기 제 3 자성체로서 상기 제 1 자성체 및 상기 제 2 자성체보다 자화를 작게 한 동일한 원소 구성의 재료를 사용하여, 상기 제 1 자성체 및 상기 제 2 자성체 내에서보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 17**

제 1 항에 있어서,

상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 1 자성체와 제 3 자성체의 접합 계면, 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 굴곡 (constriction) 을 형성하고, 이 굴곡 위치에 자벽이 트랩되기 쉽게 하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 18**

제 1 항에 있어서,

상기 제 3 자성체의 자화 방향에 따른 저항 변화를 이용하여 상기 소자의 자화 방향의 관독을 가능하게 하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 19**

제 18 항에 있어서,

상기 제 3 자성체의 자화 상태를, 상기 제 1 자성체와 제 3 자성체의 계면에 자벽이 있는 경우와 상기 제 2 자성체와 제 3 자성체의 계면에 자벽이 있는 경우에 생기는 상기 소자의 저항차를 사용하여, 상기 미소 접합 계면을 가로지르는 상기 제 3 자성체의 자화가 반전되지 않는 크기의 전류를 흐르게 하여 상기 소자 저항을 측정함으로써 관독하는 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**청구항 20**

제 19 항에 있어서,

상기 제 1 자성체와 제 3 자성체의 접합부와 상기 제 2 자성체와 제 3 자성체의 접합부의 구조를 비대칭으로 함으로써 상기 소자의 저항차가 발생되기 쉽게 한 것을 특징으로 하는 전류 주입 자벽 이동 소자.

**명세서**

- [0001] **기술분야**
- [0002] 본 발명은 자성 반도체 소자에 관련된 것으로, 특히, 전류 주입 자벽 (magnetic domain wall) 이동 소자에 관한 것이다.
- [0003] **배경기술**
- [0004] 종래, 기억 매체 등에 이용되는 자성체의 자화 반전에는 외부 자장의 인가가 필요로 되어 왔다.
- [0005] 특허문헌 1: 일본 공개특허공보 2003-272114호
- [0006] 특허문헌 2: 일본 공개특허공보 2003-272112호
- [0007] 비특허문헌 1: Science Vol.301, pp.943-945 (2003년 8월 15일).
- [0008] **발명의 개시**
- [0009] 자성체 불휘발 고체 메모리의 집적 밀도 향상에는 메모리·셀의 미세화가 불가결하지만, 미세화에 따른 반자장의 기여의 증대는 강자성체의 자화 반전에 필요한 외부 자장을 증대시키고, 자장 발생에 필요한 소비 전력의 증대를 가져온다. 따라서, 미소 자성체의 자화 반전 수법의 새로운 스킴 (scheme) 이 요구되고 있다.
- [0010] 본 발명은, 상기 상황을 감안하여 강자성체의 자화 반전에 필요한 외부 자장을 없애고, 소비 전력의 저감화를 도모할 수 있는 전류 주입 자벽 이동 소자를 제공하는 것을 목적으로 한다.
- [0011] 본 발명은, 상기 목적을 달성하기 위해,
- [0012] [1] 전류 주입 자벽 이동 소자로서, 서로 반평행하는 자화 방향을 갖는 제 1 자성체와 제 2 자성체와, 이들의 제 1 자성체와 제 2 자성체 사이에 협지된 제 3 자성체의 미소 접합을 갖고, 이 미소 접합 계면을 가로지르는

전류를 흐르게 함으로써, 전류와 자벽의 상호 작용에 의해 전류 방향 또는 반대 방향으로 자벽을 이동시키고, 소자의 자화 방향을 제어하는 것을 특징으로 한다.

- [0013] [2] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 자성체가 자성 반도체인 것을 특징으로 한다.
- [0014] [3] 상기 [2] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 자성 반도체가 (Ga, Mn)As 로 이루어지는 강자성 반도체인 것을 특징으로 한다.
- [0015] [4] 상기 [2] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 자성 반도체가 (In, Mn)As 로 이루어지는 강자성 반도체인 것을 특징으로 한다.
- [0016] [5] 상기 [1] 내지 [4] 중 어느 하나에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 전류가 펄스 전류인 것을 특징으로 한다.
- [0017] [6] 상기 [5] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 펄스 전류의 전류 밀도가  $10^4$ - $10^7$  A/cm<sup>2</sup> 인 것을 특징으로 한다.
- [0018] [7] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 서로 반평행하는 자화 방향을 갖는 제 1 자성체와 제 2 자성체를, 자장 중 성막에 의해서 형성하는 것을 특징으로 한다.
- [0019] [8] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 서로 반평행하는 자화 방향을 갖는 제 1 자성체와 제 2 자성체를, 보자력(保磁力) 차를 이용하여 성막 후에 외부 자장을 인가함으로써 형성하는 것을 특징으로 한다.
- [0020] [9] 상기 [8] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체가 이종(異種) 재료인 것을 특징으로 한다.
- [0021] [10] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체가 동종 재료로서, 상기 제 2 자성체막 상에 반강자성막을 형성하고, 상기 제 2 자성체막과 자기적으로 결합시킴으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 한다.
- [0022] [11] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체가 동종 재료로서, 상기 제 1 자성체와 제 2 자성체의 막두께를 바꿈으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 한다.
- [0023] [12] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체가 동종 재료로서, 상기 제 1 자성체와, 상기 제 2 자성체에 형상차를 부여하여 형상이방성(形狀異方性)의 차에 따라, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 한다.
- [0024] [13] 상기 [2] , [3] 또는 [4] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 자성 반도체로 이루어지는 제 1 자성체와 제 2 자성체에 각각 다른 외부전계를 가함으로써, 상기 제 1 자성체와 제 2 자성체에 보자력차를 부여하는 것을 특징으로 한다.
- [0025] [14] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 3 자성체의 단면적을 줄여 상기 제 1 자성체 및 제 2 자성체 내에서도보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 한다.
- [0026] [15] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체의 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 3 자성체로서 상기 제 1 자성체 및 제 2 자성체보다 자화가 작은 이종 재료를 사용하여, 상기 제 1 자성체 및 제 2 자성체 내에서보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 한다.
- [0027] [16] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 외부 전계의 인가에 의

해 상기 제 3 자성체로서 상기 제 1 자성체 및 제 2 자성체보다 자화를 작게 한 동종 재료를 사용하여, 상기 제 1 자성체 및 제 2 자성체 내에서보다 상기 제 3 자성체 내의 자벽 형성에 의한 에너지 손실을 줄이는 것을 특징으로 한다.

[0028] [17] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 2 자성체의 자화 방향이 반평행하기 때문에 상기 제 1 자성체와 제 2 자성체 사이에 존재하는 자벽이, 상기 제 1 자성체와 제 3 자성체의 접합 계면 및 상기 제 2 자성체와 제 3 자성체의 접합 계면에 위치하기 쉬워지도록, 상기 제 1 자성체와 제 3 자성체의 접합 계면, 및 제 2 자성체와 제 3 자성체의 접합 계면에 굴곡 (constriction) 을 형성하고, 이 굴곡 위치에 자벽이 트랩되기 쉽게 하는 것을 특징으로 한다.

[0029] [18] 상기 [1] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 소자의 자화 방향의 관독을 가능하게 하는 것을 특징으로 한다.

[0030] [19] 상기 [18] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 3 자성체의 자화 상태를, 상기 제 1 자성체와 제 3 자성체의 계면에 자벽이 있는 경우와 제 2 자성체와 제 3 자성체의 계면에 자벽이 있는 경우에 생기는 소자의 저항차를 사용하여, 전류 주입 단자와 동일한 단자에 자벽이 이동하지 않을 정도의 미소 전류를 흐르게 하여 소자 저항을 계측함으로써 관독하는 것을 특징으로 한다.

[0031] [20] 상기 [19] 에 기재된 전류 주입 자벽 이동 소자에 있어서, 상기 제 1 자성체와 제 3 자성체의 접합부와, 상기 제 2 자성체와 제 3 자성체의 접합부의 구조를 비대칭으로 함으로써 상기 소자의 저항차가 발생되기 쉽도록 하는 것을 특징으로 한다.

[0032] **도면의 간단한 설명**

[0033] 도 1 은 본 발명의 전류 주입 자벽 이동 소자의 모식도이다.

[0034] 도 2 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 1) 의 모식도이다.

[0035] 도 3 은 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 2) 의 모식도이다.

[0036] 도 4 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 3) 의 모식도이다.

[0037] 도 5 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 4) 의 모식도이다.

[0038] 도 6 은 본 발명의 실시예를 나타내는 수직 자화막에 의한 자성체 가로 배치로 형성되는 소자 (타입 1) 의 모식도이다.

[0039] 도 7 은 본 발명의 실시예를 나타내는 수직 자화, 자성체 반도체에 의한 자성체 가로 배치로 형성되는 소자의 모식도이다.

[0040] 도 8 은 본 발명의 실시예를 나타내는 자성체 가로 배치 소자의 모식도이다.

[0041] 도 9 는 본 발명의 실시예를 나타내는 수직 자화막에 의한 자성체 가로 배치 소자의 모식도이다.

[0042] 도 10 은 본 발명의 실시예를 나타내는 수직 자화에 의한 자성체 반도체에 따른 자성체 가로 배치 소자의 모식도이다.

[0043] 도 11 은 본 발명의 실시예를 나타내는 수직 자화에 따른 자성체에 의한 자성체 가로 배치 소자의 모식도이다.

[0044] 도 12 는 본 발명의 실시예를 나타내는 전류 주입 자벽 이동 소자 (시료) 의 구성도이다.

[0045] 도 13 은 Kerr 효과 편광 현미경에 의해 관찰한 전류 주입 자벽 이동 소자 (시료) 의 자구 구조를 나타내는 도면이다.

[0046] 도 14 는 도 12 와 동일한 구조를 갖는 (Ga, Mn)As 층에 2 단계의 단차를 부여하여 형성한 전류 주입 자벽 이동 소자 (강자성 전이 온도 100K 전후) 의 모식도이다.

[0047] 도 15 는 본 발명에 관련된 이상홀 효과 (anomalous Hall effect; 도 14 의 제 3 자성체 (23) 부분의 단자쌍 (25)) 로 관측한 예를 도시하는 도면이다.

[0048] **발명을 실시하기 위한 최선의 형태**

[0049] 전류 주입 자벽 이동 소자로서, 반평행하는 자화 방향을 갖는 2 개의 자성체 (1 과 2) 와, 그것들 사이에 협지

된 자성체 (3) 의 미소 접합을 갖고, 이 미소 접합 계면을 가로지르는 펄스 전류 (전류 밀도가  $10^4\text{-}10^7\text{A/cm}^2$ ) 를 흐르게 함으로써, 이 펄스전류와 자벽의 상호 작용에 의해 전류 방향 또는 반대 방향으로 자벽을 이동시켜, 소자의 자화 방향을 제어한다.

[0050] 실시예

[0051] 이하, 본 발명의 실시형태에 관해서 상세히 설명한다.

[0052] 도 1 은 본 발명의 전류 주입 자벽 이동 소자의 모식도이다.

[0053] 이 도면에 있어서, 1 은 제 1 자성체, 2 는 그 제 1 자성체 (1) 와 반평행하는 자화 방향을 갖는 제 2 자성체, 3 은 제 1 자성체 (1) 와 제 2 자성체 (2) 사이에 협지된 제 3 자성체, 4, 5 는 전류원이다.

[0054] 먼저, 반평행하는 자화 방향 (도면 중 화살표) 을 갖는 2 개의 자성체 (제 1 자성체 (1) 와 제 2 자성체 (2)) 와, 그것들 사이에 협지된 제 3 자성체 (3) 의 미소 접합을 준비한다. 자성체끼리의 접합은, 층상으로 형성해도 되고 소자면 내에 접합을 형성해도 된다. 또, 자성체 (1-3) 는 동일 재료를 사용해도 되고, 상이한 재료를 사용해도 된다. 단, 제 1 자성체 (1) 와 제 2 자성체 (2) 의 자화 방향은 반평행할 필요가 있기 때문에, 자장 중 성막 등에 의해서 반평행하는 자화를 미리 만들어 넣거나, 제 1 자성체 (1) 와 제 2 자성체 (2) 의 보자력 (保磁力) 차를 이용하여, 성막 후에 외부 자장에 의해 반평행하는 자화를 준비한다. 외부 자장에 의해 반평행 상태를 준비할 때, 제 1 자성체 (1) 와 제 2 자성체 (2) 가 이종 재료인 경우에는 원래의 재료 자체의 보자력차가 이용 가능하지만, 동종 재료인 경우에는 스핀밸브 구조로 사용되고 있는 편층을 사용하는, 형상 차를 부여하여 형상이방성 (形狀異方性) 을 사용하는, 막두께를 바꾸는, 재료가 자성 반도체인 경우에는 외부 전계를 가하는 등, 여러 가지 수법에 의해 제 1 자성체 (1) 와 제 2 자성체 (2) 에 보자력차를 부여하는 것이 가능하다.

[0055] 제 1 자성체 (1) 와 제 2 자성체 (2) 의 자화가 반평행하기 위해서는, 2 개의 자성체 (1 와 2) 사이의 어딘가에 자벽이 존재해야만 한다. 그래서, 그 자벽이 제 1 자성체 (1) 와 제 3 자성체 (3) 의 접합 계면 및 제 2 자성체 (2) 와 제 3 자성체 (3) 의 접합 계면에 위치하기 쉬워지도록 한다. 이것은, (1) 제 3 자성체 (3) 의 단면적을 줄여 제 1 자성체 (1), 제 2 자성체 (2) 내에서보다 제 3 자성체 (3) 내의 자벽 형성에 의한 에너지 손실을 줄인다, (2) 제 3 자성체 (3) 에 제 1 자성체 (1), 제 2 자성체 (2) 보다 자화가 작은 이종 재료, 또는 외부 전계의 인가 등에 의해 자화를 작게 한 동종 재료를 사용하여 제 1 자성체 (1), 제 2 자성체 (2) 내에서보다 제 3 자성체 (3) 내의 자벽 형성에 의한 에너지 손실을 줄인다, (3) 제 1 자성체 (1) 와 제 3 자성체 (3) 및 제 2 자성체 (2) 와 제 3 자성체 (3) 의 접합 계면에 굴곡을 형성하고, 굴곡 위치에 자벽이 트랩되기 쉬워지게 하는 등의 수법을 채용함으로써 실현된다.

[0056] 이하, 본 발명의 소자의 형성에 대해서 상세히 설명한다.

[0057] 상기한 바와 같이, 자성체끼리의 접합은 층상 (세로 배치) 으로 형성해도 되고, 소자면 내에 접합을 형성해도 된다.

[0058] 도 2 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타임 1) 의 모식도이다 (청구항 7 의 발명에 대응).

[0059] 먼저, 도 2(a) 에 나타내는 바와 같이, 기판 (10) 상에 제 1 자성체막 (11) 을 형성하여, 그 제 1 자성체막 (11) 의 성막 중에 자장 ( $M_{F1}$ ) 을 화살표 (A) 방향으로 인가한다. 그러면, 제 1 자성체막 (면내 자화막; 11) 의 자화 방향은 화살표 (A) 방향이 된다.

[0060] 다음으로, 도 2(b) 에 나타내는 바와 같이, 제 3 자성체막 (13) 을 형성한다.

[0061] 다음으로, 도 2(c) 에 나타내는 바와 같이, 제 3 자성체막 (13) 상에 제 2 자성체막 (12) 을 형성하여, 그 제 2 자성체막 (12) 의 성막 중에 자장 ( $M_{F2}$ ) 을, 상기한 화살표 (A) 방향과는 반대의 화살표 (B) 방향에 인가한다.

그러면, 제 2 자성체막 (면내 자화막; 12) 의 자화 방향의 시인 (B) 방향이 된다.

[0062] 이어서, 도 2(d) 에 나타내는 바와 같이, 미세 가공을 실시함으로써, 본 발명의 소자가 완성된다.

[0063] 이렇게 하여 기판 (10) 상에 제 1 자성체막 (11) 과 제 3 자성체막 (13) 과 제 2 자성체막 (12) 이 형성되고, 제 1 자성체막 (11) 과 제 2 자성체막 (12) 이 반대 방향으로 자화된 층상 (세로 배치) 의 소자를 얻을 수 있다.



- [0064] 이와 같이 자장 인가 하에서 스퍼터법 등에 의해 자성체막을 성막하면, 1mT 이하의 약한 자장에서도 그 자장의 방향으로 자화 방향이 향한 자성체막이 형성된다. 자성체막의 형성 후에는, 그 자성체막의 보자력보다 약한 자장이 인가되더라도 자화 방향은 영향을 받지 않고, 자화 방향이 변하는 경우는 없다.
- [0065] 도 3 은 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 2) 의 모식도이다 (청구항 8, 9, 11, 12 의 발명에 대응).
- [0066] 먼저, 도 3(a) 에 나타내는 바와 같이, 기판 (20) 상에 제 1 자성체막 (보자력 소(小); 21) 을 형성하고, 그 제 1 자성체막 (21) 상에 제 3 자성체막 (23) 을 형성한다. 다음으로, 제 3 자성체막 (23) 상에 제 2 자성체막 (보자력 대(大); 22) 을 형성한다.
- [0067] 이와 같이, 기판 (20) 상에 제 1 자성체막 (21), 제 3 자성체막 (23), 제 2 자성체막 (22) 를 순서대로 성막한다. 그 경우, 제 1 자성체막 (21) 과 제 2 자성체막 (22) 에 보자력차를 둔다. 예를 들어, 제 2 자성체막 (22) 의 보자력을 제 1 자성체막 (21) 의 보자력보다 크게 한다. 또한, 보자력의 대소는 반대이어도 된다.
- [0068] 다음으로, 도 3(b) 에 나타내는 바와 같이, 성막 후, 제 2 자성체막 (22) 의 보자력보다 큰 외부 자장을 화살표 B 방향으로 인가하고, 제 1 자성체막 (21) 과 제 2 자성체막 (22) 의 자화 방향을 외부 자장 방향 B 로 정렬시킨다.
- [0069] 이어서, 도 3(c) 에 나타내는 바와 같이, 제 2 자성체막 (22) 의 보자력보다 작고, 또한 제 1 자성체막 (21) 의 보자력보다 큰 외부 자장을 도 3(b) 의 화살표 B 방향과 반대 방향의 화살표 A 방향으로 인가한다. 그러면, 제 1 자성체막 (21) 의 자화 방향만이 방향을 바꾸어 인가 자장 방향 A 를 향한다.
- [0070] 이어서, 도 3(d) 에 나타내는 바와 같이, 미세 가공에 의해, 제 1 자성체막 (21) 과 제 2 자성체막 (22) 과 제 3 자성체막 (23) 으로 이루어지는 층상 (세로 배치) 의 소자를 얻을 수 있다.
- [0071] 또한, 제 1 자성체막 (21) 과 제 2 자성체막 (22) 의 보자력차는, 이중 자성 재료를 사용함으로써 결정 자기 이방성에 차를 부여하거나, 또는 막 성장시에 자장 인가의 유무에 의해 성장 유도 자기 이방성의 차를 부여하거나, 또는 형상 (예를 들어 막두께) 에 차를 두어, 형상 자기 이방성의 차를 부여함으로써 실현할 수 있다. 또한, 자성체막에 자장을 인가하는 공정 [도 3(b), 도 (c)] 과 미세 가공하는 공정 [도 3(d)] 의 순서는 바뀌어도 된다. 특히, 형상 자기 이방성에 의한 차를 부여하는 경우에는 공정을 반대로 하는 편이 바람직하다.
- [0072] 도 4 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 3) 의 모식도이다 (청구항 10 의 발명에 대응).
- [0073] 먼저, 도 4(a) 에 나타내는 바와 같이, 기판 (30) 상에 제 1 자성체막 (31) 을 형성하고, 그 제 1 자성체막 (31) 상에 제 3 자성체막 (33) 을 형성한다. 다음으로, 제 3 자성체막 (33) 상에 제 2 자성체막 (32) 를 형성한다. 여기에서는 기판 (30) 상의 제 1 자성체막 (31), 제 2 자성체막 (32) 은 동일한 자성 재료로 형성된다.
- [0074] 다음으로, 도 4(b) 에 나타내는 바와 같이, 제 2 자성체막 (32) 상에 반강자성 막 (34) 를 성막한다. 여기서, 제 2 자성체막 (32) 의 자화는 반강자성막 (34) 의 자화와 교환력으로 자기적으로 강하게 결합하고, 고정시키는 효과를 발생시켜, 제 2 자성체막 (32) 의 보자력은 실질적으로 제 1 자성체막 (31) 의 보자력보다 커진다. 이하, 도시 생략하지만, 도 3(b) ~ 도 3(d) 와 동일한 공정을 실시한다.
- [0075] 도 5 는 본 발명의 실시예를 나타내는 층상 (세로 배치) 으로 형성되는 소자 (타입 4) 의 모식도이다 (청구항 11 의 발명에 대응).
- [0076] 이 실시예에서는, 도 5 에 나타내는 바와 같이, 기판 (40) 상에 제 1 자성체막 (막두께 소; 41) 을 형성하고, 그 제 1 자성체막 (41) 상에 제 3 자성체막 (43) 을 형성한다. 다음으로, 제 3 자성체막 (43) 상에 제 2 자성체막 (막두께 대; 42) 를 형성한다. 즉, 기판 (40) 상의 제 1 자성체막 (41) 의 막두께는 제 2 자성체막 (42) 의 막두께보다는 작아지도록 성막한다.
- [0077] 이와 같이, 자성체막의 막두께를 변경시키면, 형상 자기 이방성에 의해, 또는 그 밖의 조성 분포 등에 기인하는 이유 등에 의해 보자력이 변화되고, 막두께가 큰 제 2 자성체막 (42) 쪽이 보자력이 커진다. 즉, 제 1 자성체막 (41) 과 제 2 자성체막 (42) 을 동일 재료로 그 막두께에 차를 두어 형성함으로써 보자력의 차를 부여할

수 있다. 또한, 도 5 에서는 제 2 자성체 (42) 의 막두께 쪽을 크게 하였지만, 막두께의 대소는 반대이어도 된다.

[0078] 도 6 은 본 발명의 실시예를 나타내는 수직 자화막에 의한 자성체 가로 배치로 형성되는 소자 (타입 1) 의 모식도이고 (청구항 12 의 발명에 대응), 도 6(a) 는 그 측면도, 도 6(b) 는 그 평면도이다.

[0079] 이들 도면에 나타내는 바와 같이, 제 1 자성체 (자화 (M)<sub>1</sub>; 51), 제 3 자성체 (자화 (M)<sub>3</sub>; 53), 제 2 자성체 (자화 (M)<sub>2</sub>; 52) 를 가로 방향으로 배치한다. 여기에서는, 제 1 자성체 (자화 (M)<sub>1</sub>; 51) 는 폭넓게 형성하고 있다.

[0080] 이 실시예에서는, 면에 수직 방향으로 자화하는 동종 재료로 이루어지는 제 1 자성체 (자화 (M)<sub>1</sub>; 51) 와 제 2 자성체 (자화 (M)<sub>2</sub>; 52) 에 형상차를 형성하고, 그 형상이방성에 의해 제 1 자성체 (자화 (M)<sub>1</sub>; 51) 와 제 2 자성체 (자화 (M)<sub>2</sub>; 52) 의 보자력차를 부여하도록 하고 있다. 또한, 도 6 에서는 폭이 넓은 제 1 자성체 (51) 쪽이 제 2 자성체 (52) 보다 보자력이 커지고 있지만, 폭의 대소는 반대이어도 된다.

[0081] 도 7 은 본 발명의 실시예를 나타내는 수직 자화, 자성체 반도체에 의한 자성체 가로 배치로 형성되는 소자의 모식도이고 (청구항 13 의 발명에 대응), 도 7(a) 은 그 소자의 구조를 나타내는 측면도, 도 7(b) 는 그 전체 구성도이다.

[0082] 먼저, 도 7(a) 에 나타내는 바와 같이, 자성 반도체에 의해, 제 1 자성체 (61), 제 2 자성체 (62), 제 3 자성체 (63) 를 형성하고, 제 1 자성체 (61) 와 제 2 자성체 (62) 에 절연막 (64, 65) 을 개재하여 전극 (66, 67) 을 형성한다.

[0083] 다음으로, 도 7(b) 에 나타내는 바와 같이, 제 1 자성체 (61) 와 제 2 자성체 (62) 에 상이한 전계를 인가함으로써, 제 1 자성체 (61) 와 제 2 자성체 (62) 는 상이한 보자력이 된다. 양의 전계 인가로 보자력은 감소하고, 음의 전계 인가로 보자력은 증대한다. 또한, (68, 69) 는 전계를 인가하기 위한 직류 전원 (전지) 이다.

[0084] 도 8 은 본 발명의 실시예를 나타내는 자성체 가로 배치 소자의 모식도이고 (청구항 14 의 발명에 대응), 도 8(a) 는 그 제 1 예의 소자의 구조를 나타내는 사시도, 도 8(b) 는 그 제 2 예의 소자의 구조를 나타내는 사시도이다.

[0085] 도 8(a) 의 예에서는, 제 1 자성체 (71), 제 2 자성체 (72), 제 3 자성체 (73) 각각의 깊이 폭은 동일하지만, 각각의 높이를 상이하게 하고, 측면 단면적이 상이하도록 하고 있다. 특히, 제 3 자성체 (73) 의 높이를 낮게 하고, 측면 단면적이 작아지도록 하고 있다.

[0086] 또한, 도 8(b) 의 예에서는, 제 1 자성체 (81), 제 2 자성체 (82), 제 3 자성체 (83) 의 각각의 높이는 동일하지만, 각각의 깊이 폭을 상이하게 하고, 평면 단면적이 상이하도록 하고 있다. 특히, 제 3 자성체 (83) 의 깊이를 작게 하고, 평면 단면적이 작아지도록 하고 있다.

[0087] 도 9 는 본 발명의 실시예를 나타내는 수직 자화막에 의한 자성체 가로 배치 소자의 모식도이다 (청구항 15 의 발명에 대응).

[0088] 도 9 에 나타내는 바와 같이, 제 1 자성체 (자화 (M)<sub>1</sub>; 91), 제 2 자성체 (자화 (M)<sub>2</sub>; 92), 제 3 자성체 (자화 (M)<sub>3</sub>; 93) 를 형성한다. 여기에서는, 제 3 자성체 (93) 의 자화 (M)<sub>3</sub>의 크기가 제 1 자성체 (91) 의 자화 (M)<sub>1</sub>, 제 2 자성체 (92) 의 자화 (M)<sub>2</sub> 보다 작은 자성 재료에 의해 구성하도록 하고 있다.

[0089] 도 10 은 본 발명의 실시예를 나타내는 수직 자화에 의한 자성체 반도체에 따른 자성체 가로 배치 소자의 모식도이다 (청구항 16 의 발명에 대응).

[0090] 이 실시예에서는, 동일한 자성체 반도체로 이루어지는 제 1 자성체 (94), 제 2 자성체 (95), 제 3 자성체 (96) 중, 제 3 자성체 (96) 에 절연막 (97) 을 개재하여 전극 (98) 에 외부 전계를 인가하고, 제 3 자성체 (96) 의 자화를 제 1 자성체 (94) 와 제 2 자성체 (95) 의 자화보다 작아지도록 구성하고 있다. 또한, (99) 는 외부 전계를 인가하기 위한 직류 전원 (전지) 이다.

[0091] 도 11 은 본 발명의 실시예를 나타내는 수직 자화에 따른 자성체에 의한 자성체 가로 배치 소자의 모식도이다 (청구항 17 의 발명에 대응).

- [0092] 이 도에 나타내는 바와 같이, 제 1 자성체 (101) 와 제 3 자성체 (103) 의 접합 계면 굴곡 (104) 을, 제 2 자성체 (102) 와 제 3 자성체 (103) 의 접합 계면에 굴곡 (105) 을 형성하도록 구성하고 있다.
- [0093] 이와 같이 함으로써, 굴곡 (104, 105) 에 자벽이 트랩되기 쉬워지고, 제 1 자성체 (101) 와 제 3 자성체 (103) 의 접합 계면 및 제 2 자성체 (102) 와 제 3 자성체 (103) 의 접합 계면에 자벽이 위치하기 쉬워진다.
- [0094] 이상과 같이 구성한 본 발명의 소자에 접합 계면을 가로지르는 (펄스) 전류 (전류 밀도  $10^4$ - $10^7$  A/cm<sup>2</sup>) 를 흐르게 한 경우, 전류와 자벽의 상호 작용에 의해 전류방향 또는 반대 방향으로 자벽을 이동시키는 것이 가능하기 때문에 (전류 방향과 자벽 이동 방향의 상대 관계는 전류와 자화의 상호 작용의 부호에 의존하기 때문에 재료에 의존), 원래 제 1 자성체 (1) 와 제 3 자성체 (3) 의 계면에 있었던 자벽을 제 2 자성체 (2) 와 제 3 자성체 (3) 의 계면으로 이동할 수 있고, 전류의 방향을 바꿈으로써 그 반대도 가능해진다. 즉, 도 1(a) 와 도 1(b) 에 나타내는 바와 같이, 전류의 방향에 의해서 제 3 자성체 (3) 의 자화 방향의 제어가 가능해진다. 제 3 자성체 (3) 의 자화 상태는, 제 1 자성체 (1) 와 제 3 자성체 (3) 의 계면에 자벽이 있는 경우와 제 2 자성체 (2) 와 제 3 자성체 (3) 의 계면에 자벽이 있는 경우에 생기는 소자의 저항을 이용하여, 전류 주입 단자와 동일한 단자에 자벽이 이동하지 않을 정도의 미소 전류 ( $<10^4$  A/cm<sup>2</sup>) 를 흐르게 하여 소자 저항을 계속함으로써 관측 가능하다. 제 1 자성체 (1) 와 제 3 자성체 (3) 에 완전히 동일한 재료를 사용한 경우, 이 저항차는 생기기 어렵지만, 제 1 자성체 (1) 와 제 3 자성체 (3) 및 제 2 자성체 (2) 와 제 3 자성체 (3) 의 접합 면적에 차를 부여하거나, 또는 접합 계면에 형성하는 굴곡의 크기를 바꾸는 등, 구조를 비대칭으로 함으로써, 자벽 위치 의존의 소자 저항 변화 기능을 부가하는 것이 가능하다. 또한, 비자성층을 개재하여 자화 방향이 고정된 강자성층을 부가하고, 거대 자기 저항 효과 또는 터널 자기 저항 효과를 사용함으로써 출력을 올린 관측도 가능해진다. 또한, 제 3 자성체 (3) 에 계층용의 단자를 형성하고, 이상 홀 효과나 면내 홀 효과 등의 가로 전류 자기 효과에 의해서도 제 3 자성체 (3) 내의 자화 상태의 계측이 가능하다.
- [0095] 이와 같이, 이 전류 주입 자벽 이동 소자에서는 외부 자장을 인가하지 않고, 전기적인 자성체의 자화 방향의 제어 및 관측이 가능하기 때문에, 메모리 소자를 포함하여 광범위한 응용이 가능하다.
- [0096] 다음으로, 본 발명의 주요부가 되는 전류 주입 자벽 이동의 실제 계측에 대하여 설명한다.
- [0097] 도 12 는 본 발명의 실시예를 나타내는 전류 주입 자벽 이동 소자 (시료) 의 구성도이고, 도 12(a) 는 그 전류 주입 자벽 이동 소자의 구조도, 도 12(b) 는 그 소자의 사진을 나타내는 도면, 도 12(c) 는 도 12(b) 의 단면도이다.
- [0098] 도 12 (a) 에 있어서, 111 은 GaAs 기판, 112 는 그 GaAs 기판 (111) 상에 형성되는 GaAs 층 (500Å), 113 은 그 GaAs 층 (112) 상에 형성되는 (In<sub>0.2</sub>Ga<sub>0.8</sub>)As 층 (5000Å), 114 는 그 (In<sub>0.2</sub>Ga<sub>0.8</sub>)As 층 (113) 상에 형성되는, 강자성 반도체인 (Ga<sub>0.967</sub>Mn<sub>0.033</sub>)As 층 (200Å) 이다.
- [0099] 이와 같이, 전류 주입 자벽 이동 소자는 면직 용이축 (out-of-plane easy axis; 面直容易軸) 을 갖는 강자성 반도체 (Ga, Mn)As 로부터 제작한 [(In, Mn)As 층을 대신하여 사용해도 된다]. (Ga, Mn)As 층 (114) 의 경우에는 시료 표면의 일부를 에칭함으로써, (In, Mn)As 층의 경우에는, 표면의 일부에 절연막을 개재하고 금속 전극을 증착하여 외부 전계를 인가함으로써 (상기 비특허 문헌 1), 면내에 보자력이 다른 동종 자성체의 접합을 형성한다.
- [0100] 양방의 재료에 대한 작용 효과는 동일하기 때문에, 여기에서는, 도 12 에 나타내는 바와 같이, (Ga, Mn)As 층에 대한 구조를 중심으로 설명한다.
- [0101] 이 전류 주입 자벽 이동 소자는 홀?마 형상을 갖고, 도 12(c) 에 나타내는 바와 같이, 우측 절반을 약 50Å 에 에칭하였다. 도 12(a) 의 (Ga, Mn)As 층 (114) 의 강자성 전이 온도가 60K 정도이기 때문에, 계측은 그 이하의 온도에서 실시하였다. 먼저, 좌측 절반과 우측 절반의 (Ga, Mn)As 층 (114) 의 보자력차를 이용하여, 자화의 반평행 배치를 형성하였다.
- [0102] 이것은, 도 13(a) 에 나타내는 바와 같이, Kerr 효과 편광 현미경의 콘트라스트의 차에 의해서 관찰 가능하지만, 도 12(b) 에 나타난 홀 단자쌍 (a), (b) 와 (c), (d) 에서 이상 홀 효과의 부호가 반전하고 있기 때문에 전기적으로도 계측 가능하다. 도 13(b) 에 나타내는 바와 같이, 전류 주입 자벽 이동 소자의 아래에서 위로 펄스 전류를 인가한 경우, 자벽이 전류와 반대 방향으로 이동하여, 전류 주입 자벽 이동 소자 하측 절반의 자화가 반전되고 있는 상태를 알 수 있다. 이것은, 4 쌍의 홀 단자 전압의 부호가 전부 동일해지기 때

문에 전기적으로도 계측 가능하다. 펄스 전류를 반대로 소자의 위에서 아래로 인가한 경우, 접합면에 자벽이 트랩되고, 전류 주입 자벽 이동 소자의 자구 구조에 변화는 나타나지 않는다.

[0103] 도 14 는 도 12 와 동일한 구조를 갖는 (Ga, Mn)As 층에 2 단계의 단차를 부여하여 형성한 전류 주입 자벽 이동 소자 (강자성 전이 온도 100K 전후) 의 모식도이다.

[0104] 이 도면에 있어서, 121 은 제 1 자성체 (도 1 의 제 1 자성체 (1) 에 대응), 122 는 제 2 자성체 (도 1 의 제 2 자성체 (2) 에 대응), 123 은 제 3 자성체 (도 1 의 제 3 자성체 (3) 에 대응) 이고, 여기에서는, 각각의 자성체의 폭은 동일하고, 그것들의 높이는, 제 1 자성체 (121) 의 높이 > 제 2 자성체 (122) 의 높이 > 제 3 자성체 (123) 의 높이의 순서로 되어 있어, 2 단계의 단차가 형성되어 있다. 124 는 제 1 자성체 (121) 에 형성되는 단자쌍, 125 는 제 3 자성체 (123) 에 형성되는 단자쌍, 126 은 제 2 자성체 (122) 에 형성되는 단자쌍, 화살표는 전류의 방향이다.

[0105] 외부 자장을 사용하여, 도 1 의 제 1 자성체 (1) 와 제 2 자성체 (2) 에 상당하는 양단 부분의 자화의 반평행 초기 배치를 준비하였다. 이에 따라, 제 3 자성체 (123) 에 상당하는 중심 부분의 자화를, 제 1 자성체 (121) 의 자화와 평행한 상태에서부터 제 2 자성체 (122) 의 자화와 평행한 상태로, 또는 그 반대로, 펄스 전류 인가 방향에 의해 가역적으로 자유롭게 조작하는 것이 가능하다. 이것을 전기적으로 이상 홀 효과 [도 14 의 제 3 자성체 (123) 부분의 단자쌍 (125)] 에서 관측한 예가 도 15 이다. 도 15 의 예에서는 펄스 전류치  $I_{pulse}=350\mu A$  (전류 밀도  $10^5 A/cm^2$  정도에 상당), 펄스폭 0.1 초로, 온도 83K, 외부 자장은 제로에서 측정하였다.

[0106] 도 15 에 나타내는 바와 같이, 도 14 의 제 3 자성체 (123) 부분의 홀 단자쌍 (125) 에 의해, 이상 홀 효과를 사용하여, 제 3 자성체 (123) 의 자화 방향을 검출한다. 양·음의 전류 펄스를 인가함으로써, 홀 전압의 부호가 반전하기 때문에, 도 13 의 자화 방향을 전류 인가에 의해 가역적으로 자유롭게 제어할 수 있고, 또한 그 방향의 관측이 가능한 것을 알 수 있다.

[0107] 또한, 본 발명은 상기 실시예에 한정되는 것이 아니라, 본 발명의 취지에 근거하여 여러 가지 변형이 가능하고, 이들을 본 발명의 범위로부터 배제하는 것은 아니다.

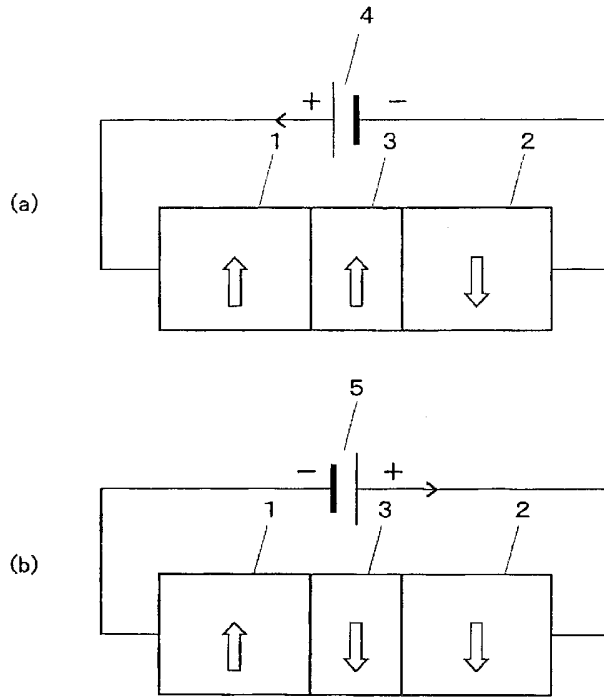
[0108] 본 발명에 의하면, 자성 반도체 소자의 강자성체의 자화 반전에 필요한 외부 자장을 없애고, 소비 전력의 저감화를 도모할 수 있다.

[0109] **산업상이용가능성**

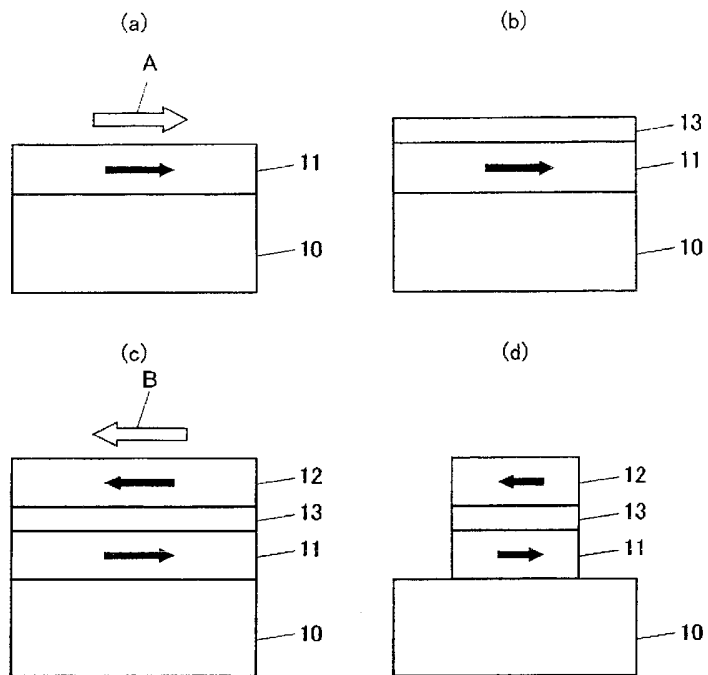
[0110] 본 발명의 전류 주입 자벽 이동 소자는, 외부 자장을 인가하지 않고, 전기적인 자성체의 자화 방향의 제어 및 관측이 가능하기 때문에, 메모리 소자를 포함하여 광범위한 응용이 가능하다.

도면

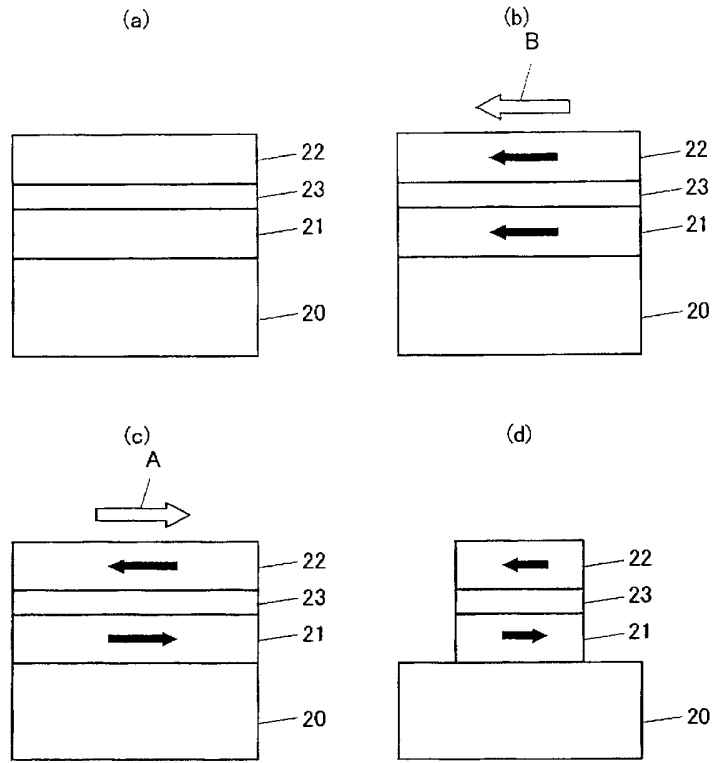
도면1



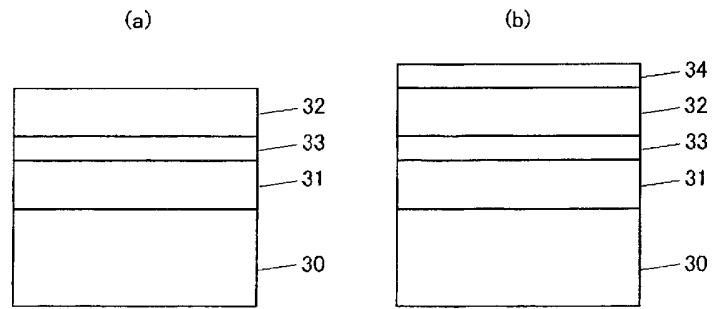
도면2



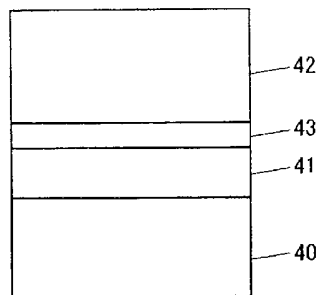
도 3



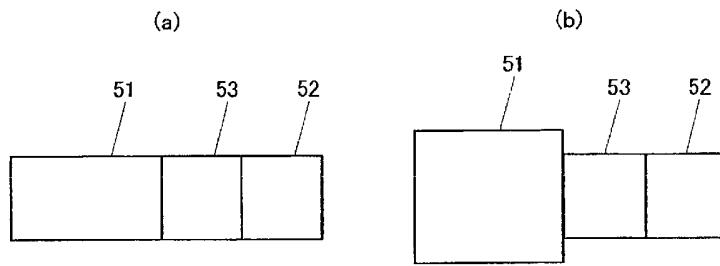
도 4



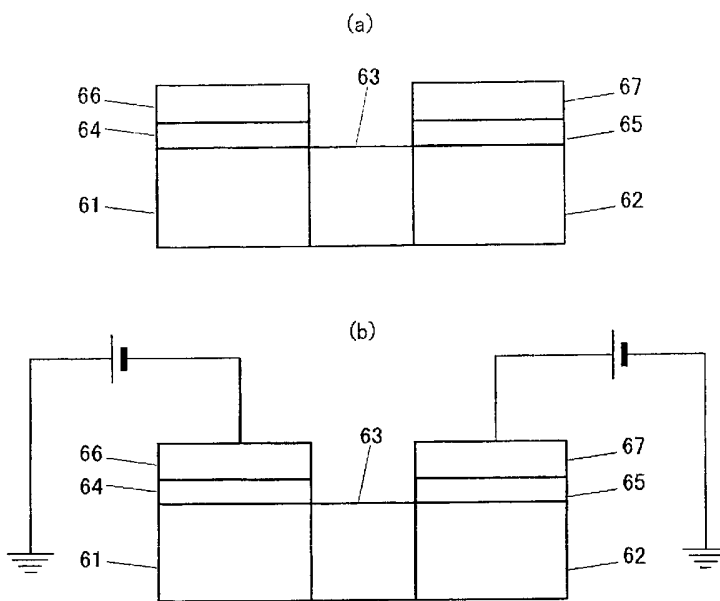
도 5



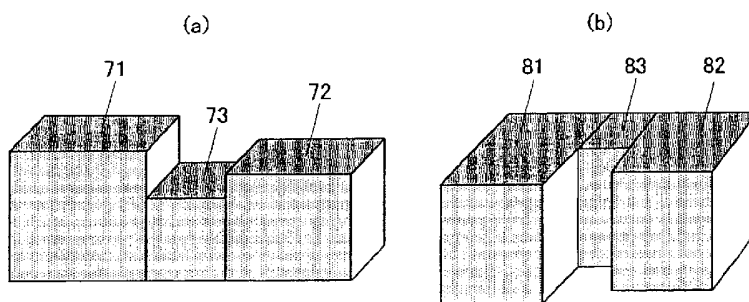
도면6



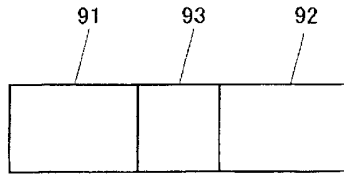
도면7



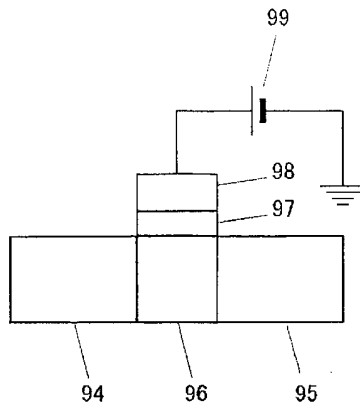
도면8



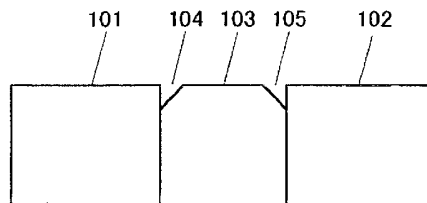
도면9



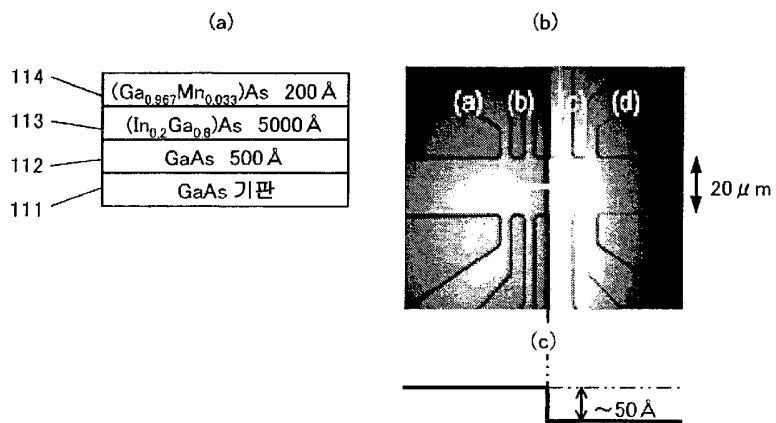
도면10



도면11

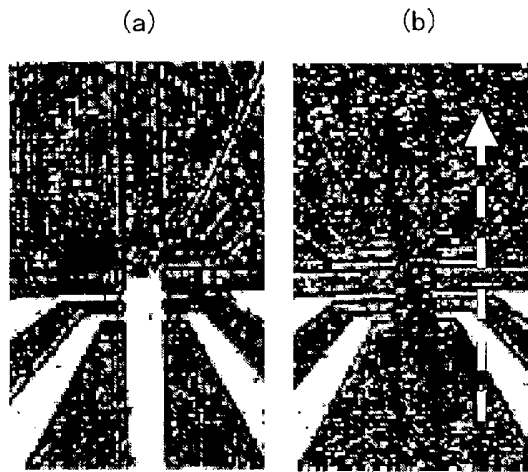


도면12

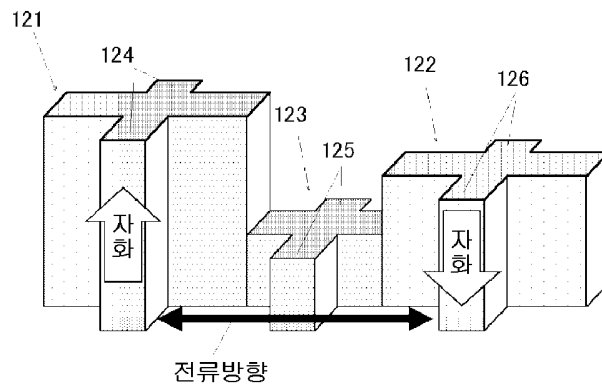




도면13



도면14



도면 15

