



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월27일
(11) 등록번호 10-0865596
(24) 등록일자 2008년10월21일

(51) Int. Cl.

H01L 29/772 (2006.01)

- (21) 출원번호 10-2002-7012377
- (22) 출원일자 2002년09월19일
심사청구일자 2006년12월22일
번역문제출일자 2002년09월19일
- (65) 공개번호 10-2002-0097202
- (43) 공개일자 2002년12월31일
- (86) 국제출원번호 PCT/JP2002/000512
국제출원일자 2002년01월24일
- (87) 국제공개번호 WO 2002/59980
국제공개일자 2002년08월01일
- (30) 우선권주장
JP-P-2001-00017680 2001년01월25일 일본(JP)
- (56) 선행기술조사문헌
JP08186179 A
KR1020020020949 A
US4160987 A
US6107126 A

(73) 특허권자

도꾸리쯔교세이호진 상교기쥬쥬 소고겐쥬쥬

일본 도쿄도 치요다쿠 카스미가세키 1-3-1

산요덴키가부시킴이샤

일본 오사카후 모리구치시 게이한 혼도오리 2쥬메 5반 5고

카가쿠기쥬쥬 신코지교단

일본국 사이타마겐 카와구찌시 혼쥬 4-1-8

(72) 발명자

후쿠다, 쥬지

일본이바라끼켄쯔꾸바시우메조노잇쥬오메이치방 이치고쥬우구다이니도꾸리쯔교세이호진상교기쥬쥬 쥬소고겐쥬쥬(내)

아라이, 가즈오

일본이바라끼켄쯔꾸바시우메조노잇쥬오메이치방 이치고쥬우구다이니도꾸리쯔교세이호진상교기쥬쥬 쥬소고겐쥬쥬(내)

(뒷면에 계속)

(74) 대리인

남상선

전체 청구항 수 : 총 16 항

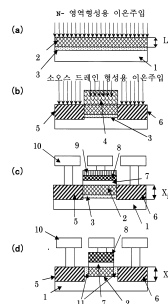
심사관 : 최광섭

(54) 반도체장치의 제조방법

(57) 요약

탄화규소 기판(1)을 이용한 반도체장치로서, 노멀리 온(normally on)이 되지 않고, 게다가 높은 핫 캐리어 내성이나, 높은 펀치스루(punch-through) 내성, 혹은 높은 채널 이동도를 가진 매립 채널 영역형 트랜지스터인 반도체장치의 제조방법을 제공하는 것이 본 발명의 목적이다. 이를 위해, 매립 채널 영역(2), 및 소오스·드레인 영역을 형성하는 공정과, 그 후, 게이트 절연막(7)을 형성하는 공정과, 그 후에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쥬는 공정을 포함하는, P형의 탄화규소 기판을 이용한 매립 채널형 트랜지스터의 제조방법으로 한다. 또한, 게이트 절연막을, 건조 산소를 이용한 열산화법에 의해 형성한다.

대표도 - 도1



(72) 발명자

센자끼, 준지

일본이바라끼켄쓰꾸바시우메조노잇쥬오메이치방이
치고츄오구다이니도꾸리쓰교세이호진상교기쥬쓰소
고쟁쥬쥬(내)

하라다, 신스께

일본이바라끼켄쓰꾸바시우메조노잇쥬오메이치방이
치고츄오구다이니도꾸리쓰교세이호진상교기쥬쓰소
고쟁쥬쥬(내)

코스기, 료지

일본이바라끼켄쓰꾸바시우메조노잇쥬오메이치방이
치고츄오구다이니도꾸리쓰교세이호진상교기쥬쓰소
고쟁쥬쥬(내)

아다치, 가즈히로

일본이바라끼켄쓰꾸바시우메조노잇쥬오메이치방이
치고츄오구다이니도꾸리쓰교세이호진상교기쥬쓰소
고쟁쥬쥬(내)

스즈끼, 세이지

일본오오사카후모리구쥬시게이한혼도오리2쥬오메고
만고고산요오텐끼가부시끼가이샤(내)

(81) 지정국

국내특허 : 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 케냐, 키르기스스탄, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터어키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 에쿠아도르, 필리핀, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 오만, 시에라리온, 튀니지, 세르비아 앤 몬테네그로, 잠비아, 짐바브웨

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아, 잠비아

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기스스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터어키

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니

특허청구의 범위

청구항 1

P형 탄화규소로 이루어진 영역이 형성된 반도체 기판과, 이 P형 영역 상에 게이트 절연막이 형성된 구성과, P형 특성을 나타내는 게이트 전극(8)이 이 게이트 절연막 상에 형성된 구성과, 이 게이트 절연막(7) 아래의 반도체 층에 매립 채널 영역(2)을 형성하도록 N형 불순물 영역이 형성된 구성과, 상기 게이트 절연막과 게이트 전극에 인접하여 트랜지스터를 구성하는 소오스와 드레인 영역이 N형 불순물 영역으로 이루어진 구성을 갖는 것을 특징으로 하는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제 1 항에 있어서,

게이트 절연막과 탄화규소와의 계면으로부터의 매립 채널 영역의 접합 깊이(L_{bc})와, 게이트 절연막과 탄화규소와의 계면으로부터의 상기 소오스와 드레인 영역의 접합부의 깊이(X_j)와의 비($L_{bc} \div X_j$)가 0.2 이상, 1.0 이하의 범위에 있는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

게이트 전극은, 붕소가 확산되어, 그 불순물 농도가 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 의 범위에 있는 다결정 실리콘인 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

매립 채널 영역은, 질소 혹은 인 또는 비소가 확산되어, 그 최대 불순물 농도가 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 인 반도체장치로서,

매립 채널 영역 및, 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역 및, 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극이, 고용점 금속의 실리사이드층을 포함하는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제 5 항에 있어서,

고용점 금속의 실리사이드층은 텅스텐 혹은 몰리브덴 또는 티타늄의 실리사이드층인 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에, 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

제 1 항 또는 제 2 항에 있어서,

매립 채널 영역이 형성되는 영역과, 소오스 영역 혹은 드레인 영역과의 사이에, 매립 채널 영역을 형성하기 위한 불순물 확산층 영역의 최대 불순물 농도 이상이고 소오스 영역 혹은 드레인 영역의 불순물 농도 이하인 불순물 농도를 가진 영역을 갖는 반도체 장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제 7 항에 있어서,

매립 채널 영역이 형성되는 영역과, 소오스 영역 혹은 드레인 영역과의 사이에, 최대 불순물 농도가 $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 의 질소, 인 혹은 비소의 확산층을 포함하는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

제 1 항 또는 제 2 항에 있어서,

매립 채널 영역이 형성되는 영역에 인접하는 바로 아래에 상기 반도체 기판의 불순물 농도보다 높은 P형 불순물 확산 영역이 있는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는

공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

제 9 항에 있어서,

매립 채널 영역이 형성되는 영역에 인접하는 바로 아래의 고농도 P형 불순물 확산 영역의 최대 불순물 농도가 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 인 알루미늄 혹은 붕소의 확산층을 포함하는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

제 1 항 또는 제 2 항에 있어서,

게이트 절연막을 건조 산소(드라이 산소)를 이용한 열산화법으로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

제 3 항에 있어서,

상기 게이트 전극이, 고용점 금속의 실리사이드층을 포함하는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

제 3 항에 있어서,

매립 채널 영역이 형성되는 영역과, 소오스 영역 혹은 드레인 영역과의 사이에, 매립 채널 영역을 형성하기 위한 불순물 확산층 영역의 최대 불순물 농도 이상이고 소오스 영역 혹은 드레인 영역의 불순물 농도 이하인 불순물 농도를 가진 영역을 갖는 반도체 장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

제 3 항에 있어서,

매립 채널 영역이 형성되는 영역에 인접하는 바로 아래에 상기 반도체 기판의 불순물 농도보다 높은 P형 불순물 확산 영역이 있는 반도체장치로서,

매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과,

상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

제 3 항에 있어서,

게이트 절연막을 건조 산소(드라이 산소)를 이용한 열산화법으로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제 4 항에 있어서,

게이트 절연막을 건조 산소(드라이 산소)를 이용한 열산화법으로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

명세서

기술분야

<1> 본 발명은, 탄화규소 기판 상에 제작한, 기판의 결정면 방위를 규정하고, 불순물 확산층을 최적화시킨, 금속-절연막-반도체(MIS) 전계효과형 트랜지스터의 제조방법에 관한 것으로, 특히, 게이트 절연막의 형성방법 및 그 후의 열처리를 연구한 반도체장치의 제조방법에 관한 것이다.

배경기술

<2> 탄화규소 기판의 산화방법과 그 후의 열처리방법, 및 매립 채널 영역을 갖는 MIS 전계효과형 트랜지스터에 대해서는, 이미 몇 가지 발명이 개시되어 있다.

<3> 예컨대, 미합중국 특허 5,864,157호에, 이중 게이트를 가진 플래시 메모리의 하층의 게이트에 P형 전극을 사용하고, 매립 채널 영역에 N형 불순물을 사용한 구조가 기재되어 있다. 그러나, 이러한 기체는, 이중 게이트를 가진 플래시 메모리에 대한 것으로, 본 발명과는 구조가 다르다. 또한, P형 폴리실리콘 전극의 농도와 매립 채널 영역의 불순물 농도 및 소오스 영역 또는 드레인 영역의 깊이와 채널 영역의 깊이의 관계에 대해서는 기재되어 있지 않다.

<4> 또한, 일본 공개특허공보 평성8(1996)-186179호에는, LDD 구조를 가진 N채널 트랜지스터에 있어서, 게이트 전극에 P형 전극을 사용하고, 매립 채널 영역에 N형 불순물을 사용한 구조가 기재되어 있다. 그러나, 이러한 일본 공개특허공보 평성8(1996)-186179호에서는, P형 폴리실리콘 전극의 불순물 농도 및 소오스 영역 혹은 드레인 영역의 깊이와 채널 영역의 깊이의 관계에 대해서는 기재되어 있지 않다.

<5> 또한, 일본 공개특허공보 평성7(1995)-131016호에는, 트랜지스터의 채널 형성면이 육방정 탄화규소 단결정 기판의 (1, 1, -2, 0)면에 대해 평행인 것을 특징으로 하는 MIS 전계효과 트랜지스터 구조가 기재되어 있다. 그러나, 이 일본 공개특허공보 평성7(1995)-131016호에서는, 게이트 전극에 P형 전극을 사용한 매립 채널 영역형 MIS 전계효과형 트랜지스터에 대해서는 기재되어 있지 않다.

<6> 미합중국 특허 5,972,801호에서는, 탄화규소 기판의 산화방법에 대해서, 게이트 산화막을 형성한 후에, 600℃ 내지 1000℃에서 수증기를 함유한 분위기에 게이트 산화막을 쪼는 처리를 포함하는 방법이 기재되어 있으나, 이 공정에 의해 탄화규소 기판이 더욱 산화되어 게이트 산화막 두께가 증가하지 않는 조건에서 행하는 것이다. 한편, 본 발명에 있어서는, 탄화규소 기판은 약간 산화되어, 게이트 산화막 두께가 증가하는 점에서 다르다.

<7> 또한, 실리콘 기판에 건식 산화(dry oxidation)와 습식 산화(wet oxidation)를 행하는 프로세스가, 일본 공개특허공보 평성5(1993)-129596호에 개시되어 있다. 이러한 프로세스는, 그 기재 내용으로부터, 습식 산화에 의해, 반도체 기판이 산화되어, 게이트 막 두께가 증가하는 프로세스임을, 『(A)는 건식 산화를 85분간 행해, 게이트 산화막의 두께를 25.3nm로 했을 경우, (B)는 마찬가지로 건식 산화를 80분간, 그 후 습식 산화를 1분간 행하여, 막 두께를 26.3nm로 했을 경우,』 라는 기재로부터 알 수 있다.

<8> 그러나, 이러한 일본 공개특허공보 평성5(1993)-129596호에는, 매립 채널형 MIS 전계효과형 트랜지스터의 구성에 대한 개시는 찾아볼 수 없다. 이러한 타입의 트랜지스터에서는, 확산된 불순물의 형상에 그 성능이 크게 의존하는 것이 알려져 있기 때문에, 산화 공정에서의 열처리와, 불순물 도입 프로세스와의 연관은 중요하다. 본 발명은, 도입하는 불순물에 대해, 실리콘 기판보다 작은 확산 계수를 가진 탄화규소 기판을 사용하기 때문에,

매립 채널용 확산층이나, 소오스·드레인 확산층을 형성한 후에 산화를 위한 열처리를 할 수 있다. 이와 같이, 본 발명은, 탄화규소 기판을 사용하기 때문에 허용되는 프로세스를 개시하고 있는 점에서, 앞서 말한 일본 공개특허공보 평성5(1993)-129596호의 발명과 다르다.

발명의 상세한 설명

- <9> 일반적으로, 탄화규소 기판을 이용한 산화막-탄화규소 계면은, 계면 준위 밀도가 실리콘 MIS 트랜지스터에 비해, 약 1자리수 높으며, 그로 인해, 탄화규소 기판을 이용한 MIS 전계효과형 트랜지스터는, 실리콘 기판을 이용한 MIS 전계효과형 트랜지스터보다 채널 이동도가 약 1자리수 낮다는 문제가 있었다. 실리콘 MIS 트랜지스터의 경우는, 전자가 소오스로부터 드레인으로 흐를 때, 상기 산화막과 탄화규소와의 계면의 영향을 받기 어렵게 하기 때문에, 매립 채널 영역형의 MIS 전계효과형 트랜지스터가 뛰어난 것이 알려져 있다. 그러나, 탄화규소 기판 상의 실리콘 MIS 트랜지스터를 매립 채널 영역형으로 할 경우의 구조는 최적화되어 있지 않아서, 노멀리 온(Normally-ON)(게이트 전압이 제로이더라도 소오스와 드레인 사이에 전류가 흐르는 현상)이 되기 쉽다. 또한, 최적화가 도모되어 있지 않은 경우에는, 핫 캐리어 내성이 나빠서, 충분한 펀치스루(punch through) 내성도 얻을 수 없다.
- <10> 본 발명은 상기를 감안하여 이루어진 것으로, 탄화규소 기판을 이용한 반도체장치에 있어서, 매립 채널 영역형 MIS 트랜지스터의 구조나 게이트 절연막의 형성방법이나 탄화규소 기판의 면 방위를 최적화함으로써 노멀리 온이 되지 않고, 게다가 높은 핫 캐리어 내성이나, 높은 펀치스루 내성 또는 높은 채널 이동도를 가진 매립 채널 영역형 트랜지스터인 반도체장치의 제조방법을 제공하는 것을 목적으로 하고 있다.
- <11> 상기 목적을 달성하기 위해, 본 발명에 있어서의 제 1 요점은, 반도체장치의 제조방법에 관한 것으로, P형 탄화규소로 이루어진 영역이 형성된 반도체 기판과, 이 P형 영역 상에 게이트 절연막이 형성된 구성과, P형 특성을 나타내는 게이트 전극이 이 게이트 절연막 상에 형성된 구성과, 이 게이트 절연막 아래의 반도체층에 매립 채널 영역을 형성하기에 충분한 불순물 농도의 N형 불순물 영역이 형성된 구성과, 상기 게이트 절연막과 게이트 전극에 인접하여 트랜지스터를 구성하는 소오스와 드레인 영역이 N형 불순물 영역으로 이루어진 구성을 갖는 것을 특징으로 하는 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.
- <12> 또한, 본 발명에 있어서의 제 2 요점은, 매립 채널 영역이 형성되는 깊이를 최적화하고, 게이트 산화막의 형성 프로세스를 개선하여 높은 이동도를 얻을 수 있도록 하기 위해, 제 1 발명 이외에 부가적으로, 청구항 1에 기재된 반도체 장치에 있어서, 게이트 절연막과 탄화규소와의 계면으로부터의 매립 채널 영역의 접합 깊이(L_{bc})와, 게이트 절연막과 탄화규소와의 계면으로부터의 상기 소오스와 드레인 영역의 접합부의 깊이(X_j)와의 비(L_{bc}÷X_j)가 0.2 이상, 1.0 이하의 범위에 있는 반도체 장치로서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.
- <13> 또한, 본 발명에 있어서의 제 3 요점은, 제 1 또는 제 2 요점 이외에 부가적으로, 게이트 전극은, 붕소가 확산되어, 그 불순물 농도가 1×10¹⁶ cm⁻³~1×10²¹ cm⁻³의 범위에 있는 다결정 실리콘인 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.
- <14> 또한, 본 발명에 있어서의 제 4 요점은, 매립 채널 영역에 관한 것으로, 제 1 혹은 제 2 요점 이외에 부가적으로, 매립 채널 영역은, 질소 혹은 인 또는 비소가 확산되어, 그 최대 불순물 농도가 5×10¹⁵ cm⁻³~1×10¹⁸ cm⁻³인 반도체장치에 있어서, 매립 채널 영역 및, 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역 및, 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.
- <15> 또한 본 발명에 있어서의 제 5 요점은, 게이트 전극의 저(低)저항화에 관한 것으로, 상기 제 1 내지 제 4의 어

는 한 요점 이외에 부가적으로, 상기 게이트 전극이, 고용점 금속의 실리사이드층을 포함하는 반도체 장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<16> 또한, 본 발명에 있어서의 제 6 요점은, 제 5 요점 이외에 부가적으로, 고용점 금속의 실리사이드층은 텅스텐 혹은 폴리브덴 또는 티타늄의 실리사이드층인 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에, 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<17> 또한, 본 발명에 있어서의 제 7 요점은, 핫 캐리어 내성을 향상시키는 기술에 관한 것으로, 상기 제 1 내지 제 6의 어느 한 요점 이외에 부가적으로, 매립 채널 영역이 형성되는 영역과, 소오스 영역 혹은 드레인 영역과의 사이에, 매립 채널 영역을 형성하기 위한 불순물 확산 영역의 최대 불순물 농도 이상이고 소오스 영역 혹은 드레인 영역의 불순물 농도 이하인 불순물 농도를 가진 영역을 갖는 반도체 장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<18> 또한, 본 발명에 있어서의 제 8 요점은, 핫 캐리어 내성을 향상시키는 기술에 관한 것으로, 상기 제 7 요점 이외에 부가적으로, 매립 채널 영역이 형성되는 영역과, 소오스 영역 혹은 드레인 영역과의 사이에, 최대 불순물 농도가 $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 의 질소, 인 혹은 비소의 확산층을 포함하는 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<19> 또한, 본 발명에 있어서의 제 9 요점은, 편치스루 내성의 향상에 관한 것으로, 제 1 내지 제 8의 어느 한 요점 이외에 부가적으로, 매립 채널 영역이 형성되는 영역에 인접하는 바로 아래에 상기 반도체 기판의 불순물 농도 보다 높은 P형 불순물 확산 영역이 있는 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<20> 또한, 본 발명에 있어서의 제 10 요점은, 제 9 요점 이외에 부가적으로, 매립 채널 영역이 형성되는 영역에 인접하는 바로 아래의 고농도 P형 불순물 확산 영역의 최대 불순물 농도가 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 인 알루미늄 혹은 붕소의 확산층을 포함하는 반도체장치에 있어서, 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정과, 상기 매립 채널 영역, 및 소오스·드레인 영역을 형성하는 공정 다음에, 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 형성하는 공정 다음에 이 게이트 절연막을, 수증기를 함유한 500℃ 이상의 분위기에 쬐는 공정을 포함하는 것을 특징으로 하고 있다.

<21> 또한, 본 발명에 있어서의 제 11 요점은, 채널 이동도의 향상에 관한 것으로, 제 1 내지 제 10의 어느 한 요점을 특징으로 하는 반도체장치의 제조방법에 있어서, 게이트 절연막을 건조 산소(드라이 산소)를 이용한 열산화법으로 형성하는 것을 특징으로 한다.

실시예

<27> 이하, 본 발명의 형태를 이하의 실시예에 따라 상세히 설명한다.

<28> [실시예 1]

<29> 먼저, 본 발명의 바람직한 제조 프로세스의 예를 실시예 1로 해서, 도 2 내지 도 5의 데이터를 얻기 위해 행한 실험에 따라, 도 1(a), 도 1(b), 도 1(c)에 도시하며, 순서대로 설명한다.

<30> 도 1(a)의 P형 탄화규소 기판(1)(4H-SiC, 불순물 농도: $5 \times 10^{15} \text{ cm}^{-3}$)을 통상의 RCA 세정을 한 후, P형 탄화규소 기판(1)에 포토리소그래피용 얼라인먼트 마크(alignment mark)를 RIE(Reactive ion etching)에 의해 형성한다. 또한, 몇 가지 시료는 편치스루 내성의 향상에 대한 효과를 알아보기 위해서, 매립 채널 영역의 바로 아래에 상

당하는 깊이, 알루미늄을 이온 주입함으로써, P형 탄화규소 기판(1)보다 고농도가 되도록 하기 위해, $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 의 불순물 농도를 가진 펀치스루 방지 영역(3)을 형성하였다.

<31> 그런 다음, 매립 채널 영역(2)을, 질소, 인, 비소 등의 N형 불순물을 이온 주입해서 형성한다. 예를 들어, 인으로 접합 깊이(L_{bc}) 0.3 μm 의 매립 채널 영역을 형성할 경우에는, 40~250keV이고, 총 선량(dose amount)이 $7 \times 10^{15} \text{ cm}^{-2}$ 이 되도록 다단계 주입하여, 원하는 프로파일을 형성한다. 또한, 본 예에 나타내는 제조 프로세스에서, 도 1(b)에 도시하는 소오스(5), 드레인(6)의 깊이(X_j)와 L_{bc} 의 비와 채널 이동도의 관계를 알아보기 위해서는, $L_{bc}=0.1, 0.2, 0.3, 0.4, 0.5\mu\text{m}$ 깊이의 매립 채널 영역(2)을 형성하였다. 또한, 채널 이동도에 대한 매립 채널 영역(2)의 농도 의존성을 알아보기 위해서는, $L_{bc}=0.3\mu\text{m}$ 에 있어서, $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 의 이온 주입을 한 시료를 제작하였다.

<32> 그 후, 도 1(b)에 도시하는 바와 같이 소오스 영역 또는 드레인 영역의 이온 주입용 마스크(4)를 열산화막이나 CVD(Chemical Vapor Deposition)에 의한 SiO_2 막에 의해 형성한다. 본 예에서는, 도 1(b)에 도시하는 바와 같이 이온 주입 마스크로서, LTO(Low temperature oxide)막을 사용한다. LTO막은, 실란과 산소를 400 $^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 에서 반응시켜서, 이산화규소를 P형 탄화규소 기판(1)에 퇴적시킴으로써 형성한다. 그 다음, 포토리소그래피에 의해 소오스·드레인 영역을 형성한 후, HF(플루오르산)에 의해 LTO를 에칭하여 이온 주입되는 소오스 영역 또는 드레인 영역을 개구한다. 그리고, 도 1(b)에 도시한 소오스(5) 또는 드레인(6)을 형성하기 위해 500 $^{\circ}\text{C}$ 에서, 질소, 인, 또는 비소를 깊이(X_j) 0.5 μm 가 되도록 이온 주입한다. 본 예에서는, 매립 채널 영역(2)의 형성과 동일하게 다단계 주입에 의해, 인을 이용하여 불순물 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 이 되도록 형성한다.

<33> 그 후, 아르곤 분위기 중에서 1500 $^{\circ}\text{C}$ 에서 30분간에 걸친 활성화 어닐링을 행한다. 그런 다음, 도 1(c)에 도시하는 바와 같이, 1200 $^{\circ}\text{C}$ 에서 O_2 또는 수증기를 함유한 가스로 약 150분간 또는, 약 90분간 산화시켜, 약 50nm의 게이트 절연막(7)을 형성한다. 이 때, 수증기를 함유한 가스를 이용한 산화로서는, 다음과 같은 방법이 알려져 있다.

<34> 1) 수증기를 가열한 증기를 산소 또는, 불활성 가스(아르곤, 질소, 헬륨)에 의해 탄화규소 기판까지 흘려보낸다.

<35> 2) H_2 와 O_2 를 900 $^{\circ}\text{C}$ 의 온도에서 연소시킴으로써 수증기를 발생시켜서 탄화규소 기판까지 흘려보낸다. 이 경우에도, 수증기를 불활성 가스와 함께 흘려보내도 된다.

<36> 어떤 방법이든 사용할 수 있지만, 여기에서는, 2)의 방법을 사용하기로 한다. 그런 다음, 아르곤 중에서 30분간 어닐링한 후, 실온까지 아르곤 중에서 냉각시킨다. 단, 이 공정은 생략해도 무방하다. 또한, 수증기를 함유한 분위기에서의 열처리의 효과를 알아보기 위해, 일부의 시료는, H_2 와 O_2 를 800 $^{\circ}\text{C}$ 의 온도에서 연소시켜 발생시킨 수증기를 그대로, 탄화규소 기판까지 흘려보내서, 950 $^{\circ}\text{C}$ 에서 3시간 열처리하였다.

<37> 이 때, 수증기는, 불활성 가스(아르곤, 질소, 헬륨)와 함께 흘려보내도 된다.

<38> 그 후, P형 게이트 전극(8)을 형성하는데, 그 방법으로는, 다음과 같이 몇 가지 방법이 알려져 있다.

<39> 1) CVD법에 의해 다결정 폴리실리콘을 형성한 후, 붕소나 플루오르화 붕소를 이온 주입함으로써 P형 다결정 실리콘을 형성한다.

<40> 2) CVD법에 의해 다결정 폴리실리콘을 형성한 후, 붕소를 함유한 SiO_2 막을 CVD법이나 스프인 도포법에 의해 형성하여, 800 $^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ 에서 열처리하여 확산시킴으로써, P형 다결정 실리콘을 형성한다.

<41> 3) 실란과 붕소를 함께 흘려보내 600 $^{\circ}\text{C}$ 에서 열처리함으로써 붕소를 확산시키면서 다결정 실리콘을 성장시켜서 P형 다결정 실리콘을 형성한다.

<42> 본 예에서는, 2)의 방법에 따른다. 여기에서, 900 $^{\circ}\text{C}$ 에서 확산 시간을 변경함으로써 불순물 농도 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 의 P형 다결정 실리콘을 형성하여, P형 게이트 전극의 불순물 농도와 채널 이동도의 관계를 알아보았다. 몇 가지 시료는, 실리사이드막의 효과를 알아보기 위해 P형 다결정 실리콘 상에 WSi_2 막, MoSi_2 막 및 TiSi_2 막의 고용점 금속 실리사이드막(9)을 형성하였다. 그 다음, P형 다결정 실리콘 또는, 실리사이드막과

P형 폴리실리콘막의 복합막과 게이트 절연막을 에칭함으로써 게이트 전극을 형성하였다. 계속해서, 소오스 영역 또는 드레인 영역 상의 산화막을 에칭하여 콘택홀을 개구하였다. 그리고, 니켈, 티타늄, 알루미늄을 함유한 금속 또는 이들의 적층막을 증착 혹은, 스퍼터링법에 의해 형성한 후, RIE 또는, 습식 에칭에 의해 금속 배선(10)을 형성하였다. 본 실시예에서는, 니켈을 증착시킨 후 습식 에칭하였다. 그 다음, 양호한 옴 접촉(ohmic contact)을 형성하기 위해 1000℃의 아르곤 중에서 5분간의 열처리를 행해, MIS 전계효과형 트랜지스터를 완성시켰다.

<43> 표 1에, 상기 프로세스에 의한 MOSFET의 채널 이동도에 대한 게이트 산화법과 산화후의 열처리 및 매립 채널 구조의 효과의 비교를 나타낸다.

<44> 표 1

게이트 산화법	통상의 MOSFET		매립채널형 MOSFET	
	아르곤 처리	수증기 후 처리	아르곤 처리	수증기 후 처리
건조 산화	10 cm ² /Vs	25 cm ² /Vs	노멀리 온	140 cm ² /Vs
수증기 산화	10 cm ² /Vs	15 cm ² /Vs	50 cm ² /Vs	125 cm ² /Vs

<45>

여기에서, 각각은, 이하의 조건의 프로세스를 나타내고 있다.

<46>

1) 건조 산화: 수증기를 함유하지 않은 산소만으로, 1200℃에서 150분간의 산화

<47>

2) 수증기 산화 : H₂와 O₂를 900℃의 온도에서 연소시킴으로써 수증기를 발생시켜서 기판까지 흘러보내, 1200℃에서 90분간의 산화.

<48>

3) 아르곤 처리 : 산화막 형성후에, 아르곤 중에서, 1200℃에서 30분간 열처리하여, 냉각 처리.

<49>

4) 수증기 후처리 : 아르곤 처리를 한 다음에, H₂와 O₂를 800℃의 온도에서 연소하여 발생시킨 수증기를 탄화규소 기판까지 흘러보내서, 950℃에서 3시간 열처리한 후에, 실온까지 냉각.

<50>

표 1로부터, 통상의 MOSFET의 경우에는, 게이트 절연막 형성후에 아르곤 열처리를 한 것만으로는, 채널 이동도는, 건조 산화, 수증기 산화, 모두 동일하지만(둘 다 10cm²/Vs), 다시 수증기 분위기에서 열처리하면, 건조 산화에서는 25cm²/Vs, 수증기 산화에서는 15cm²/Vs로, 게이트 산화막 형성후에 수증기 처리에 의해 채널 이동도가 향상되었음을 알 수 있다.

<51>

더욱이, 게이트 산화막 형성을, 건조 산화로 하는 편이, 채널 이동도가 높다. 이것은, 매립 채널 구조 MOSFET에서도 동일하다. 아르곤 열처리만으로, 게이트 산화가 건조 산화인 경우에는, 노멀리 온이 되어 버리기 때문에, 실제로는 사용할 수 없으나, 게이트 절연막을 수증기 산화로 형성하면, 50cm²/Vs가 되며, 매립 채널 구조에 의해, 채널 이동도가 향상된다.

<52>

더욱이, 게이트 절연막 형성후의 수증기 처리를 하면, 게이트 절연막 형성을 건조 산화로 했을 경우에는, 채널 이동도는 140cm²/Vs, 수증기 산화의 경우에는, 125cm²/Vs가 되며, 매립 채널 구조와 산화후의 수증기 처리를 조합시킴으로써 채널 이동도가 비약적으로 향상됨을 알 수 있다. 특히, 게이트 절연막 형성을 건조 산소에 의해 행했을 경우에는, 채널 이동도가 가장 높아졌다.

<53>

상기 게이트 절연막 형성후의 수증기 처리에 의해, 게이트 산화막 두께는, 아주 약간 (0.1~0.5nm 정도) 증가했으나, 이동도의 산출에 있어서는, 게이트 산화막 두께의 변화는 없는 것으로 하였다. 따라서, 실제로는 이동도의 차이는, 상기 값보다 아주 약간 큰 것을 알 수 있다.

<54>

게이트 절연막 형성후의 수증기 처리를 시간의 함수로 보면, 수증기 처리 시간이 0(제로)에서부터 증가함에 따라, 채널 이동도는 개선되는데, 더욱이, 장시간에 걸친 수증기 처리를 하면, 채널 이동도는 저하되는 경향을 볼

<55>

수 있었다. 따라서, 수증기 처리를 하지 않은 경우보다 밀도는 채널 이동도를 나타내는 시간(한계 시간)까지, 상기 수증기 처리는 유효하다. 그러나, 이 한계 시간은, 기관의 불순물 농도 등에 따라 바뀌기 때문에, 일의적으로 지정할 수는 없다. 또한, 채널 이동도가 최대가 되는 최적 시간도 존재하는 것은 쉽게 이해할 수 있다. 본 발명의 수증기 처리의 시간은, 이와 같은 최적 시간에서 행하는 것이 바람직하다.

<56> 도 2에, 게이트 전극에 각각 P형 다결정 실리콘, N형 다결정 실리콘, 알루미늄을 이용한 MIS 전계효과형 트랜지스터의, 임계 전압과 채널 이동도와와의 측정에 의해 얻어진 관계를 나타낸다. 도 2에 대해서, 같은 임계 전압에서 비교하면, 게이트 전극에 P형 다결정 실리콘을 사용함으로써, N형 다결정 실리콘이나 알루미늄을 게이트 전극에 사용했을 경우보다 채널 이동도가 커진다. 이것은, 게이트 전극의 극성에 따라, 같은 임계값으로 만들기 위해 필요한, 채널부로의 이온 주입량의 차이로 인한 것으로, 상세한 것은 다음과 같은 이유에 의한 것으로 생각된다.

<57> N형 불순물을 매립 채널 영역(2)에 주입하면, 게이트 절연막과 P형 탄화규소 기관(1)과의 계면으로부터 떨어진, 깊은 위치에 채널의 중심이 형성되기 때문에, 계면 근처의 고(高)전계의 영향을 받기 어려워지는 캐리어의 수가 늘어나, 채널 이동도가 증가한다. 마찬가지로, 채널 영역에 주입하는 P형 불순물 농도가 작으면 이동도가 증가한다. 그러나, 채널 이동도를 증가시키려고, 매립 채널 영역(2)의 N형 불순물을 더욱 증가하면, 임계 전압이 더욱 저하되어, 음전압이 되어버리면, 전압이 제로이더라도 전류가 흐르는 상태, 즉 노멀리 온의 상태가 되어 버린다.

<58> 일반적으로, MIS 전계효과형 트랜지스터에서는, 게이트 전극의 일 함수(work function)와 반도체의 일 함수와의 차이가 클수록, 임계 전압은 커지는 것이 알려져 있다. 또한, 게이트 전극의 일 함수와 반도체 기관의 일 함수는, 게이트 전극에 알루미늄과 N형 다결정 실리콘을 사용했을 경우는, 거의 변하지 않지만, P형 폴리실리콘을 사용하면, 반도체 기관에 비해, 약 1V 커지는 것도 알려져 있다. 따라서, 게이트 전극에 P형 폴리실리콘을 사용함으로써, N형 불순물을 채널부에 주입해도 노멀리 온의 상태가 되는 것을 억제할 수 있으며, 같은 임계 전압에서도, 게이트 전극에 알루미늄과 N형 다결정 실리콘을 사용했을 경우에 비해, 매립 채널 영역 형성용으로, 보다 고농도의 불순물을 주입할 수 있으므로, 더 깊은 위치에 채널을 형성할 수 있으며, 따라서, 채널 이동도를 증가시킬 수 있다.

<59> 도 3에 소오스·드레인 확산층의 접합 깊이(X_j)= $0.5\mu\text{m}$ 에서의, $L_{bc} \div X_j$ 의존성을 나타낸다. 도 3의 세로축은, 채널 이동도를 매립 채널 영역이 없는 시료의 채널 이동도로 규격화했을 경우를 나타내고 있다. 이러한 평가는 L_{bc} 가 0.2 이상에서 행해, 0.2에서도 효과가 있음을 확인하였다. 따라서, 가로축의 하한은 0.2로 제한된다. 한편, 가로축이 1보다 커지면, 채널의 이동도는 커지는데, 임계값이 음(-)이 되어, 노멀리 온이 되기 때문에, 실제로 사용하는 것은 곤란하다. 따라서, 가로축($L_{bc} \div X_j$)은, 0.2~1.0으로 한정된다. 특히, 0.4~1.0의 범위에서 유효하다.

<60> 도 4에, P형 폴리실리콘 게이트의 불순물 농도와 임계 전압의, 측정에 의해 얻어진 관계를 나타낸다. P형 폴리실리콘 게이트 전극 중의 불순물 농도가 높을수록, 게이트 전극과 반도체 기관과의 일 함수 차가 커지기 때문에, 임계값이 커진다. 반대로, 불순물 농도가 작을수록, 임계 전압은 작아져서, $1 \times 10^{16} \text{cm}^{-3}$ 에서 제로가 되기 때문에, 불순물 농도의 하한은 $1 \times 10^{16} \text{cm}^{-3}$ 이다. 다결정 실리콘에 주입할 수 있는 붕소의 농도는, $1 \times 10^{21} \text{cm}^{-3}$ 이므로, 상한은 $1 \times 10^{21} \text{cm}^{-3}$ 이 된다.

<61> 도 5에, 매립 채널 영역(2)의, 불순물 농도와 채널 이동도(불순물 농도 제로일 때의 값에서의 규격값)의, 측정에 의해 얻어진 관계를 나타낸다. 평가한 불순물 농도의 하한값은 $5 \times 10^{15} \text{cm}^{-3}$ 인데, 이 값으로 충분히 효과가 나오기 때문에 하한값은 $5 \times 10^{15} \text{cm}^{-3}$ 이 된다. 한편, $1 \times 10^{18} \text{cm}^{-3}$ 이상이고 임계 전압이 음(-)이 되어 실제 사용이 어려워지기 때문에 상한값은 $1 \times 10^{18} \text{cm}^{-3}$ 이 된다.

<62> 펀치스루를 억제하기 위해 매립 채널 영역(2)의 바로 아래에 설치한 P^+ 영역에 대해서는, 펀치스루 방지 영역의 불순물 농도가, $1 \times 10^{17} \text{cm}^{-3}$ 보다 낮은 농도에서는, 펀치스루를 일으키는 게이트 전압은, P^+ 영역이 없는 경우와 동일하며, 따라서, 그 농도에서는 효과가 없다. 그러나, $1 \times 10^{17} \text{cm}^{-3}$ 이상에서, 펀치스루를 일으키는 게이트 전압이 증가하기 때문에, 불순물 농도의 하한은, $1 \times 10^{17} \text{cm}^{-3}$ 이다.

- <63> 한편, 상기 P⁺ 영역의 불순물 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 이상에서는, 활성화 어닐링시에 불순물이 확산되어, 그 위에 있는 매립 채널 영역 중의 N형 불순물을 상쇄시켜 버리기 때문에, 매립 채널 영역으로서의 기능을 저해시킨다. 이 때문에, 상한은 $1 \times 10^{19} \text{ cm}^{-3}$ 이다.
- <64> 또한, 붕소가 고농도로 주입된 다결정 실리콘의 비저항값은, $\text{m}\Omega\text{cm}$ 의 수준인데, 고용점 금속의 실리콘사이드, 예컨대 MoSi_2 , WSi_2 와 TiSi_2 의 비저항값은, 각각 $60 \mu\Omega\text{cm}$, $50 \mu\Omega\text{cm}$, $15 \mu\Omega\text{cm}$ 이므로, 불순물이 주입되어 저저항화된 다결정 실리콘보다, 다결정 실리콘과 실리콘사이드의 복합막 쪽이 게이트 전극의 저항값이 낮아진다. 따라서, P형 폴리실리콘을 사용하는 경우에도, 상기 실리콘사이드와의 적층막인 폴리사이드 구조를 사용하는 편이, 회로를 구성하는데 있어서는 유리함을 쉽게 이해할 수 있다. 이와 같이 폴리사이드 구조로 하는 경우의 임계값은, P형 폴리실리콘만을 사용하는 경우와 거의 같으며, 따라서, 채널 이동도도 그 경우와 거의 같아진다.
- <65> [실시에 2]
- <66> 다음으로, 상기 예와 다른 예를, 실시예 2로 해서 이하에 설명한다. 본 실시예 2의 구체적인 제조 프로세스는, 도 1(a), 도 1(b), 도 1(d)의 순이다.
- <67> 도 1(a)의 P형 탄화규소 기판(1)(불순물 농도: $5 \times 10^{15} \text{ cm}^{-3}$)을 통상의 RCA 세정을 한 후, P형 탄화규소 기판(1)에 포토리소그래피용 얼라인먼트 마크를 RIE(Reactive ion etching)에 의해 형성한다. 그 다음에, 500°C 에서 $40 \sim 250\text{keV}$ 이고, 총 선량이 $7 \times 10^{15} \text{ cm}^{-2}$ 이 되도록 인을 단단계 주입하고, 접합 깊이(L_{bc})= $0.3 \mu\text{m}$ 의 매립 채널 영역(2)을 형성한다. 그 후, 도 1(b)에 도시하는 바와 같이, 그 전면(全面)을 이온 주입용 마스크가 되는 LTO로 덮고, 포토리소그래피에 의해 게이트 전극 부분의 레지스트를 남겨서, 플루오르산에 의해 LTO막을 에칭한다. 그런 후, 핫 캐리어 내성에 대해, 매립 채널 영역(2)과, 소오스(5) 또는 드레인(6) 사이의 불순물 농도의 관련을 알아보기 위해, 도 1(d)의 매립 채널 영역(2)과, 소오스(5) 또는 드레인(6) 사이의 불순물 농도가 $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 이 되도록, 인을 500°C 에서 이온 주입하여 저불순물 농도 영역(11)을 형성한다. 그리고, 소오스 영역(5)과 드레인 영역(6)을 형성하기 위해, 전면을 LTO로 덮고, 포토리소그래피에 의해, 소오스 영역과 드레인 영역을 포토 레지스트로 규정한 후, HF(플루오르산)에 의해 LTO를 에칭하여, 이온 주입되는 소오스 영역과 드레인 영역을 개구한다. 그 다음에, 500°C 에서, 인을 단단계 주입하여, 불순물 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 가 되도록, 소오스(5)와 드레인(6)을 형성하였다. 그 후, 아르곤 분위기 중에서, 1500°C 에서 30분간에 걸친 활성화 어닐링을 행한다.
- <68> 그 후, 각각의 샘플에 대해, 건조 산화를 1200°C 에서 150분간 행해, 약 50nm 의 게이트 절연막(7)을 형성하였다. 그 다음에, 아르곤 중에서 30분간 어닐링한후, 실온까지 아르곤 중에서 냉각시켰다. 그리고, 950°C 에서 3시간의 수증기 분위기 중에서 열처리한 시료도 제작하였다. 그런 다음, 아르곤 중에서 30분간 어닐링한 후에, 실온까지 아르곤 중에서 냉각시켰다. 또한, P형 게이트 전극(8)은, CVD법에 의해 다결정 폴리실리콘을 형성한 후에, 그 위에 붕소를 함유한 산화물 막을 스펀 도포법에 의해 형성한 후, 900°C 에서 30분의 열처리를 하여, 붕소를 함유한 산화물로부터 폴리실리콘에 붕소를 확산시킴으로써 형성하였다. 그 후, P형 다결정 실리콘과 게이트 절연막을 에칭함으로써 게이트 전극을 형성하였다. 계속해서, LTO를 산화막 전면에 퇴적한 후에, 소오스(5) 또는 드레인(6) 상의 산화막을 에칭하여 콘택홀을 개구하였다. 그 후, 그 위에 니켈막을 전자빔 증착법으로 형성한 후에, 습식 에칭에 의해 금속 배선(10)을 형성하였다. 그 다음, 양호한 옴 접촉을 형성하기 위해, 1000°C 의 아르곤 중에서 5분간의 열처리를 하여, MIS 전계효과형 트랜지스터를 완성시켰다.
- <69> 여기에서, 핫 캐리어 내성은, MIS 전계효과형 트랜지스터에, 이하에 기술하는 전기적인 스트레스를 일정 시간 인가하여, 임계 전압의 변화량에 따라 평가하였다. 임계 전압의 변동량이 작을수록, 핫 캐리어 내성은 양호하다. 그 임계 전압은, 잘 알려진 방법에 의해 구했다. 즉, 소오스를 0V로 하고, 드레인에 0.1V를 인가한 상태에서, 0V에서 30V까지의 게이트 전압에 대해, 드레인 전류의 2분의 1승의 플롯이 게이트 전압축과 교차하는 점의 전압으로서 구했다. 또한, 전기적인 스트레스로서는, 드레인에 5V, 게이트에 2.5V를 5분간 인가하였다. 측정한 트랜지스터는, 매립 채널 영역과 소오스 영역 또는 드레인 영역 사이의 불순물 농도가 $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 이 되도록 인을 이온 주입한 것이다. 이 부분의 불순물 농도가 낮으면, 공핍층이 커지기 때문에 드레인 근처에서의 전계 강도가 작아져서, 이 부분을 통과하는 전자가 고(高)에너지 상태가 되는 것을 억제할 수 있으므로, 산란에 의해, 기판으로부터 게이트 절연막으로 주입되는 전자 수는, 억제되어, 핫 캐리어 내성이 향상된

다. 그러나, 이 부분의 불순물 농도가 지나치게 낮으면, 이 부분의 저항값이 커져서 트랜지스터의 구동력이 저하되므로, 하한은 $5 \times 10^{16} \text{ cm}^{-3}$ 이 된다. 한편, 농도가 지나치게 높으면, 드레인 근처에서의 전계가 완화되는 효과가 없어, 충분한 핫 캐리어 내성을 얻을 수 없다. 측정의 결과, 불순물의 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 이상이고, 임계전압의 변화량이 10%를 넘는 것을 알 수 있었다. 이것은, 변화가 너무 커서, 실제로 사용되지 않는 영역의 값에 상당한다. 따라서, 상한은, $5 \times 10^{19} \text{ cm}^{-3}$ 이 된다.

<70> 이상의 설명에서는 탄화규소의 경우에 대해서 다뤘으나, 반도체 기관으로서, 다이아몬드, 실리콘, 질화갈륨 등의 반도체인 경우에도 상기와 동일한 효과가 있음은 쉽게 이해할 수 있다.

산업상 이용 가능성

<71> 본 발명은 상기한 구성으로 이루어지기 때문에, 이하에 설명하는 바와 같은 이용 가능성을 갖추고 있다.

<72> 본 발명에 있어서의 제 1 요점은, P형 게이트 전극을 이용한 반도체장치의 제조방법에 있어서, 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해, 노멀리 온으로 만들지 않고 N⁻영역을 비교적 고농도로 할 수 있게 되어, 채널 이동도를 향상시킬 수 있다.

<73> 또한, 본 발명에 있어서의 제 2 요점은, 소오스·드레인 영역의 접합 깊이(X_j)와 매립 채널 형성용 접합 깊이(L_{bc})비를 최적화시키며, 또한, 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리를 하는 것으로, 이것에 의해 채널 이동도를 향상시킬 수 있다.

<74> 또한, 본 발명에 있어서의 제 3 요점은, 상기 제 1 또는 제 2 요점 이외에 부가적으로, P형 다결정 실리콘의 농도를 최적화시키고, 또한, 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리를 하는 것으로, 이것에 의해 채널 이동도를 향상시킬 수 있다.

<75> 또한, 본 발명에 있어서의 제 4 요점은, 상기 제 1 요점 또는 제 2 요점 이외에 부가적으로, 매립 채널 영역의 농도를 최적화시키고, 또한 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리를 하는 것으로, 이것에 의해 채널 이동도를 향상시킬 수 있다.

<76> 또한, 본 발명에 있어서의 제 5 요점은, 상기 제 1 내지 제 4의 어느 한 요점 이외에 부가적으로, P형 다결정 실리콘 게이트 전극 위에 고용점 금속의 실리사이드막을 적층함으로써 게이트 전극의 저항값을 낮추고, 또한, 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해 구동력을 향상시킬 수 있다.

<77> 또한, 본 발명에 있어서의 제 6 요점은, 상기 제 5 요점 이외에 부가적으로, 텅스텐 또는 몰리브덴 또는 티타늄의 실리사이드막을 사용하는 동시에, 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해 반도체장치의 동작 속도를 향상시킬 수 있다.

<78> 또한, 제 7 및 제 8 요점은, 상기 제 1 내지 제 6의 어느 한 요점 이외에 부가적으로, 매립 채널 영역과 소오스 영역 또는 드레인 영역 사이에 매립 채널 영역의 불순물 농도 이상이고 소오스 영역 또는 드레인 영역의 불순물 농도 이하인 불순물 농도의 영역을 형성하고, 또한 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해 핫 캐리어 내성을 향상시킴과 동시에, 구동력을 향상시킬 수 있다.

<79> 또한, 제 9 및 제 10의 요점은, 상기 제 1 내지 제 8의 어느 한 요점 이외에 부가적으로, 매립 채널 영역 바로 아래에 P형 탄화규소 기관(1)의 불순물 농도 영역을 형성함으로써, 또는 그 농도를 최적화시키고, 동시에 게이트 절연막을 형성한 후에 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해 편치스루 내성을 향상시키면서, 구동력을 높일 수 있다.

<80> 또한, 제 11 요점은, 상기 제 1 내지 제 10의 어느 한 요점을 포함하는 반도체장치의 제조방법에 있어서, 게이트 절연막을, 건조 산소(드라이 산소)를 이용한 열산화법으로 형성한 후, 수증기를 함유한 분위기 중에서 열처리하는 것으로, 이것에 의해 채널 이동도를 향상시킬 수 있다.

도면의 간단한 설명

<22> 도 1은, P형 게이트 전극과 매립 채널 영역을 갖는 MIS 전계효과형 트랜지스터의 바람직한 제조 프로세스의 중간 경과를 나타내는 도면이다.

<23> 도 2는, 게이트 전극이 P형 다결정 실리콘, N형 다결정 실리콘, 알루미늄을 이용한 MIS 전계효과형 트랜지스터의 채널 이동도와 임계 전압의 관계를 나타내는 도면으로, $L_{bc}=0.3\mu m$, $X_j=0.5\mu m$, 매립 채널 영역의 불순물 농도는 $2 \times 10^{16} \text{ cm}^{-3}$, P형 다결정 실리콘의 불순물 농도는 $5 \times 10^{20} \text{ cm}^{-3}$ 이다.

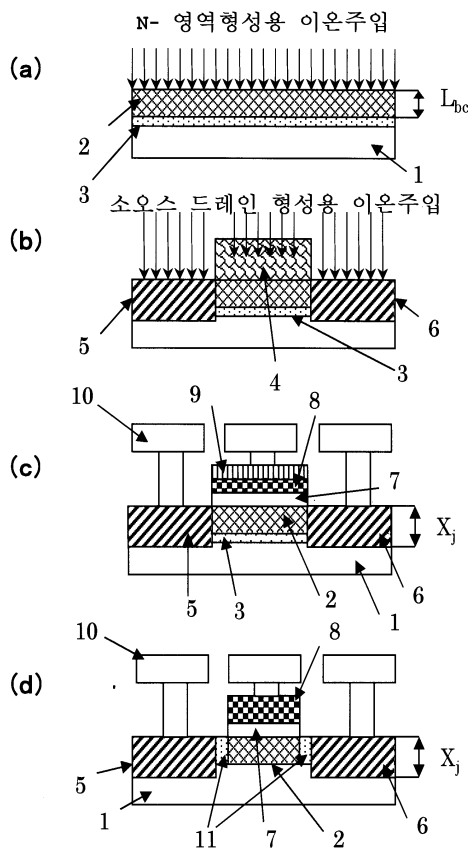
<24> 도 3은, 불순물 농도 $5 \times 10^{20} \text{ cm}^{-3}$ 의 P형 다결정 실리콘의 게이트 전극에서, $L_{bc}=0.3\mu m$, $X_j=0.5\mu m$, 매립 채널 영역의 불순물 농도는 $2 \times 10^{16} \text{ cm}^{-3}$ 인 경우의 채널 이동도의 $L_{bc} \div X_j$ 의존성을 나타내는 도면이다.

<25> 도 4는, P형 다결정 실리콘 게이트의 불순물 농도와 임계 전압의 관계를 나타내는 도면으로, $L_{bc}=0.3\mu m$, $X_j=0.5\mu m$ 에서 매립 채널 영역의 불순물 농도는 $2 \times 10^{16} \text{ cm}^{-3}$ 이다.

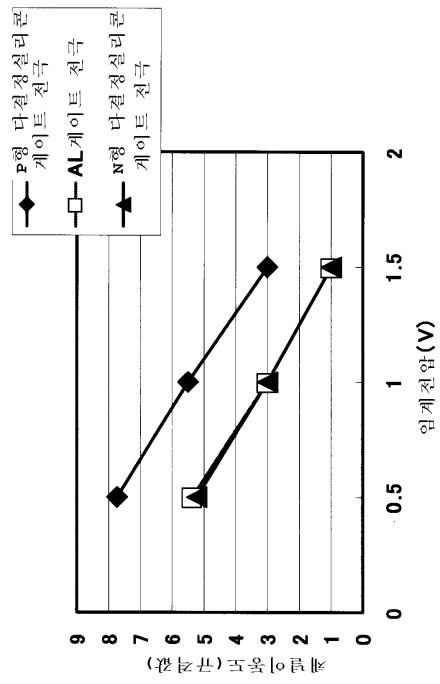
<26> 도 5는, 채널 이동도와 매립 채널 영역의 불순물 농도의 관계를 나타내는 도면으로, $L_{bc}=0.3\mu m$, $X_j=0.5\mu m$ 에서 P형 다결정 실리콘의 불순물 농도는 $5 \times 10^{20} \text{ cm}^{-3}$ 이다.

도면

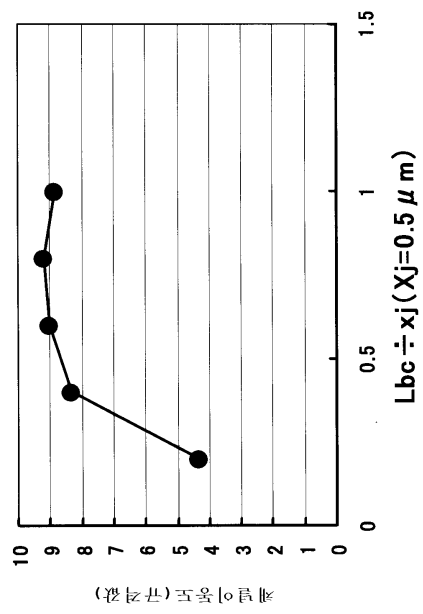
도면1



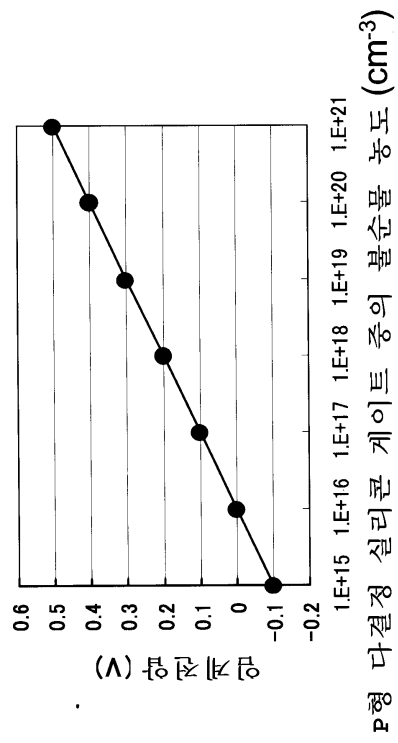
도면2



도면3



도면4



도면5

