

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年1月6日(06.01.2011)

PCT

(10) 国際公開番号

WO 2011/001652 A1

- (51) 国際特許分類:  
H03L 7/107 (2006.01) H03L 7/06 (2006.01)
- (21) 国際出願番号: PCT/JP2010/004255
- (22) 国際出願日: 2010年6月28日(28.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-157749 2009年7月2日(02.07.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 Osaka (JP). 三洋半導体株式会社 (SANYO SEMICONDUCTOR CO., LTD.) [JP/JP]; 〒3700596 群馬県邑楽郡大泉町坂田一丁目1番1号 Gunma (JP). 国立大学法人群馬大学 (NATIONAL UNIVERSITY CORPORATION GUNMA UNIVERSITY) [JP/JP]; 〒3718510 群馬県前橋市荒牧町四丁目2番地 Gunma (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 壇徹 (DAN, Toru) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号三洋電機株式会社知的財産本部

内 Osaka (JP). 田邊朋之 (TANABE, Tomoyuki) [JP/JP]; 〒3768515 群馬県桐生市天神町一丁目5番1号国立大学法人群馬大学内 Gunma (JP). 小林春夫 (KOBAYASHI, Haruo) [JP/JP]; 〒3768515 群馬県桐生市天神町一丁目5番1号国立大学法人群馬大学内 Gunma (JP).

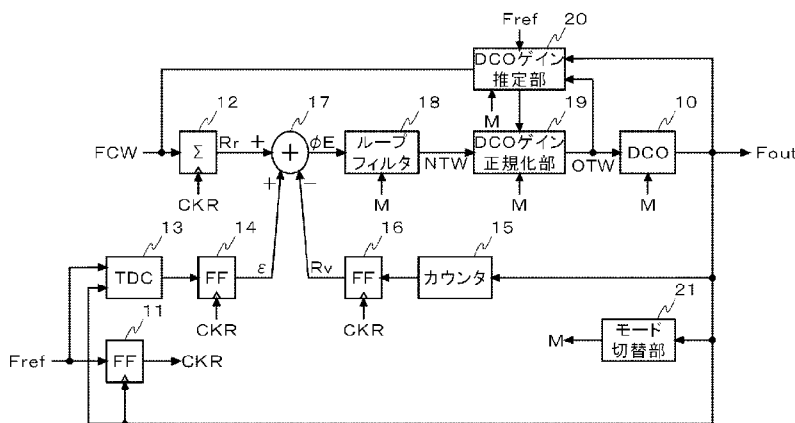
- (74) 代理人: 森下賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-1-1-1 2 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: PLL CIRCUIT, AND RADIO COMMUNICATION DEVICE EQUIPPED THEREWITH

(54) 発明の名称: PLL回路、およびそれを搭載した無線通信装置

[図1]



- 20 DCO GAIN ESTIMATION UNIT
- 18 LOOP FILTER
- 19 DCO GAIN NORMALIZATION UNIT
- 15 COUNTER
- 21 MODE SWITCHING UNIT

(57) Abstract: In an ADPLL circuit (100), a DCO gain estimation unit (20) estimates, on the basis of the gain of a digital control oscillator (10), which is estimated in the state in which the loop gain with some value is set for a loop filter (18), and the element parameter of the digital control oscillator (10), the gain of the digital control oscillator (10) in the state in which the loop gain with another value is set for the loop filter (18).

(57) 要約: ADPLL回路100において、DCOゲイン推定部20は、ある値のループゲインがループフィルタ18に設定された状態において推定したデジタル制御発振器10のゲイン、およびデジタル制御発振器10の素子パラメータをもとに、別の値のループゲインがループフィルタ18に設定された状態における、デジタル制御発振器10のゲインを推定する。

WO 2011/001652 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調查報告 (條約第 21 條(3))

## 明 細 書

### 発明の名称： PLL回路、およびそれを搭載した無線通信装置 技術分野

[0001] 本発明は、デジタル制御発振器（DCO；Digital Controlled Oscillator）を用いたPLL回路、およびそれを搭載した無線通信装置に関する。

### 背景技術

[0002] 近年、PLL回路のほとんどの構成要素をデジタル回路で実現したADPLL（All Digital Phase Locked Loop）回路が開発されている（たとえば、特許文献1、2参照）。ADPLL回路は、従来のアナログPLL回路と異なり、チャージポンプ回路やアナログLPFが必要ないため、回路面積を削減することができる。また、ADPLL回路は、プロセスポータビリティ、プロセススケラビリティおよびフレキシビリティに優れ、低電圧動作が可能である。

[0003] PLL回路において出力周波数を設定または変更する際、目的周波数に早く、高精度に収束させるために、ループフィルタに設定するループゲインの値を段階的に小さくする手法が知られている。ループゲインの値は小さいほど、出力周波数の変位も小さくなる。したがって、ループゲインの値が小さいと、目的周波数に到達するまでの収束時間が長くなってしまふ。一方、ループゲインの値が大きいと、目的周波数に到達するまでの収束時間は短くなるが、周波数変位が粗くなってしまふため、収束精度が低くなってしまふ。

[0004] 上述した手法では、最初に大きな値のループゲインを設定することにより、出力周波数を目的周波数に早く近づけ、その後、小さな値のループゲインに切り替えることにより、出力周波数を細かく変位させる。これにより、目的周波数に早く、高精度に到達させることができる。以下、あるループゲインが設定された状態を一つのモードと定義する。この場合、設定されるループゲインの数と、モードの数とが対応することになる。

### 先行技術文献

## 特許文献

- [0005] 特許文献1：特開2001-177407号公報  
特許文献2：特開2009-27581号公報

## 発明の概要

### 発明が解決しようとする課題

- [0006] 上述した手法が採用されるADPLL回路に搭載されるデジタル制御発振器には、複数のモードに対応した、複数の回路要素が含まれる。当該複数の回路要素のそれぞれと、上記複数のモードのそれぞれとは、あらかじめ一対一に対応づけられており、あるモードにおいて制御対象となる回路要素は一意に特定される。
- [0007] それら複数の回路要素は、それぞれ、デジタル／アナログ変換器として機能する回路要素（たとえば、可変容量アレイ）である。複数の回路要素の単位ステップ幅は、対応づけられているモードに応じて、それぞれ異なる。大きな値のループゲインが設定されるモードに対応づけられている回路要素の単位ステップ幅は大きくなり、小さな値のループゲインが設定されるモードに対応づけられている回路要素の単位ステップ幅は小さくなる。
- [0008] ところで、デジタル制御発振器はDCOゲインを持つ。DCOゲインとは、設定されるデジタル値の1LSB（Least Significant Bit）変化に対する、出力周波数の変化分を示す値である。DCOゲインは、プロセス、電源電圧および温度によって値が変動する。また、DCOゲインは、上記複数の回路要素のうち、いずれの回路要素が制御対象となっているかによっても、値が異なってくる。したがって、デジタル制御発振器のDCOゲインを見積もって、そのDCOゲインを正規化しなければ、所望の発振周波数を高精度に実現することが難しい。
- [0009] 上述した手法が採用されるADPLL回路では、モードが切り替えられると、そのモードにおけるDCOゲインを見積もり、見積もったDCOゲインを正規化するためのパラメータを設定している。その後、そのモードにおいて収束する周波数を探索する。このDCOゲインの見積処理にかかる時間は

、収束時間を増大させる要因となる。

[0010] このような状況下、本発明者は、モードが切り替えられる際に実行されるDCOゲインの見積処理にかかる時間を従来より短縮する手法を見出した。本発明はこうした状況に鑑みてなされたものであり、その目的は、モードが切り替えられた後のDCOゲインをより短時間に見積ることができる技術を提供することにある。

### 課題を解決するための手段

[0011] 本発明のある態様のPLL回路は、設定されるデジタル値に応じた周波数で発振するデジタル制御発振器と、デジタル制御発振器の出力位相と、設定される周波数制御デジタル値をもとにした参照位相との誤差を検出して、位相誤差値を生成する位相検出器と、位相検出器から出力される位相誤差値に、所定のループゲインを乗算して、第1デジタルチューニング値を生成するループフィルタと、ループフィルタから出力される第1デジタルチューニング値に、所定の基準周波数を乗算するとともに、設定されるデジタル制御発振器のゲインを除算して、デジタル制御発振器に設定すべき第2デジタルチューニング値を生成する発振器ゲイン正規化部と、発振器ゲイン正規化部から出力される第2デジタルチューニング値をもとに、デジタル制御発振器のゲインを推定する発振器ゲイン推定部と、チューニングする際、ループフィルタに設定されるループゲインの値を段階的に切り替えるモード切替部と、を備える。発振器ゲイン推定部は、あるモードにおいて、周波数制御デジタル値を変化させることにより得られる、第2デジタルチューニング値の変化分と、デジタル制御発振器の出力信号の周波数の変化分との比から、デジタル制御発振器のゲインを推定し、発振器ゲイン推定部は、あるモードにおいて推定したデジタル制御発振器のゲイン、およびデジタル制御発振器の素子パラメータをもとに、別のモードにおけるデジタル制御発振器のゲインを推定する。

[0012] 本発明の別の態様は、無線通信装置である。この装置は、無線信号を受信するアンテナと、PLL回路を用いた局部発振器と、アンテナにより受信さ

れた無線信号を、局部発振器から供給される信号をもとに復調する復調部と、を備える。

### 発明の効果

[0013] 本発明によれば、モードが切り替えられた後のDCOゲインをより短時間に見積ることができる。

### 図面の簡単な説明

[0014] [図1]本発明の実施の形態に係るADPLL回路の構成を示す図である。

[図2]デジタル位相誤差値の生成過程の具体例を説明するための図である。

[図3]ループゲインを三段階に切り替える際の、デジタル制御発振器の出力信号の周波数推移の一例を示す図である。

[図4]スモールモードにおけるDCOゲインを見積もる際の、第2デジタルチューニング値の推移の一例を示す図である。

[図5]DCOゲイン推定部による、DCOゲインの見積処理の手順を示すフローチャートである。

[図6]実施の形態に係るLC発振器の構成例を示す図である。

[図7]タンク容量の構成例を示す図である。

[図8]スモールモードのDCOゲインをミドルモードのDCOゲインから見積もる際の、第2デジタルチューニング値の推移の一例を示す図である。

[図9]実施の形態に係るADPLL回路を局部発振器として搭載した無線通信装置の構成を示す図である。

[図10]変形例に係るADPLL回路の構成を示す図である。

### 発明を実施するための形態

[0015] 図1は、本発明の実施の形態に係るADPLL回路100の構成を示す図である。当該ADPLL回路100は、デジタル制御発振器10、リタイミングクロック生成部11、アキュムレータ12、時間／デジタル変換器（TDC；Time-to-Digital Converter）13、第1フリップフロップ回路14、カウンタ15、第2フリップフロップ回路16、位相検出器17、ループフィルタ18、DCOゲイン正規化部19、DCOゲイン推定部20および

モード切替部 21 を備える。

- [0016] デジタル制御発振器 10 は、設定されるデジタル値に応じた周波数で発振する。リタイミングクロック生成部 11 は、基準周波数信号  $F_{ref}$  を、デジタル制御発振器 10 の出力信号  $F_{out}$  をもとにリタイミングして、リタイミングクロック信号  $CKR$  を生成する。
- [0017] 基準周波数信号  $F_{ref}$  は、図示しない水晶振動子などにより生成される。本実施の形態では、20~40MHz 程度の周波数で発振する振動子を用いる。リタイミングクロック生成部 11 により生成されたリタイミングクロック信号  $CKR$  は、アキュムレータ 12、第 1 フリップフロップ回路 14 および第 2 フリップフロップ回路 16 にそれぞれ供給される。
- [0018] アキュムレータ 12 は、外部から設定される周波数制御デジタル値 ( $FCW$ ; Frequency Control Word) を、リタイミングクロック信号  $CKR$  にしたがって累積加算し、参照位相データ  $R_r$  を生成し、位相検出器 17 に出力する。
- [0019] 時間/デジタル変換器 13 は、基準周波数信号  $F_{ref}$  とデジタル制御発振器 10 の出力信号  $F_{out}$  との時間差をデジタル値に変換する。より具体的には、時間/デジタル変換器 13 は、デジタル制御発振器 10 の出力信号  $F_{out}$  の一周期より細かい単位の時間差を検出し、その時間差を小数データ  $\varepsilon$  として出力する。第 1 フリップフロップ回路 14 は、時間/デジタル変換器 13 から出力された小数データ  $\varepsilon$  を、リタイミングクロック信号  $CKR$  にしたがってラッチして位相検出器 17 に出力する。
- [0020] カウンタ 15 は、デジタル制御発振器 10 の出力信号  $F_{out}$  の有意なエッジ (たとえば、立ち上がりエッジ) をカウントする。このカウント値を整数データ  $R_v$  として出力する。第 2 フリップフロップ回路 16 は、カウンタ 15 から出力された整数データ  $R_v$  を、リタイミングクロック信号  $CKR$  にしたがってラッチして位相検出器 17 に出力する。デジタル制御発振器 10 の出力位相は、当該整数データ  $R_v$  および上記小数データ  $\varepsilon$  により規定される。本実施の形態では、両者の差分により規定される。

- [0021] 位相検出器 17 は、周波数制御デジタル値  $FCW$  をもとにアキュムレータ 12 により生成された参照位相データ  $R_r$  と、デジタル制御発振器 10 の出力位相 ( $R_v - \varepsilon$ ) との誤差を検出して、デジタル位相誤差値  $\phi_E$  を生成する。位相検出器 17 は、生成したデジタル位相誤差値  $\phi_E$  をループフィルタ 18 に出力する。
- [0022] 図 2 は、デジタル位相誤差値  $\phi_E$  の生成過程の具体例を説明するための図である。図 2 では、基準周波数信号  $F_{ref}$  を 3.25 倍して、デジタル制御発振器 10 の出力信号  $F_{out}$  を生成する例を示している。この例では、当該出力信号  $F_{out}$  の四周期  $t_a$  は、一致すべき基準周波数信号  $F_{ref}$  の一周期  $T_{ref}$  と比較して遅延期間  $t_b$ 、遅延している。
- [0023] カウンタ 15 は、デジタル制御発振器 10 の出力信号  $F_{out}$  の立ち上がりエッジをカウントすることにより、当該出力信号  $F_{out}$  の四周期  $t_a$  を当該出力信号  $F_{out}$  の一周期  $T_{out}$  で正規化した値 ( $t_a / T_{out}$ ) の整数部を検出する。この値の整数部が上記整数データ  $R_v$  となる。
- [0024] 時間／デジタル変換器 13 は、基準周波数信号  $F_{ref}$  の立ち上がりエッジから、デジタル制御発振器 10 の出力信号  $F_{out}$  のつぎの立ち上がりエッジまでの時間を検出することにより、上記遅延期間  $t_b$  を当該出力信号  $F_{out}$  の一周期  $T_{out}$  で正規化した値 ( $t_b / T_{out}$ ) を検出する。この値が上記小数データ  $\varepsilon$  となる。
- [0025] デジタル制御発振器 10 の出力信号  $F_{out}$  の四周期  $t_a$  から上記遅延期間  $t_b$  を引いた期間が、基準周波数信号  $F_{ref}$  の一周期  $T_{ref}$  と一致することから、上記整数データ  $R_v$  と上記小数データ  $\varepsilon$  との差分 ( $R_v - \varepsilon$ ) は、基準周波数信号  $F_{ref}$  の一周期  $T_{ref}$  を、デジタル制御発振器 10 の出力信号  $F_{out}$  の一周期  $T_{out}$  で正規化した値 ( $T_{ref} / T_{out}$ ) と一致することになる。この値は、実際に観測されたデジタル制御発振器 10 の出力信号  $F_{out}$  の一周期  $T_{out}$  と、基準周波数信号  $F_{ref}$  の一周期  $T_{ref}$  との比、すなわち、実際に観測されたデジタル制御発振器 10 の出力信号  $F_{out}$  の周波数と、基準周波数信号  $F_{ref}$  の周波数との比を



示す。

- [0026] 位相検出器 17 は、目的周波数と基準周波数信号  $F_{ref}$  の周波数との比（上記参照位相データ  $R_r$  に対応する）から、実際に観測されたデジタル制御発振器 10 の出力信号  $F_{out}$  の周波数と、基準周波数信号  $F_{ref}$  の周波数との比（ $T_{ref}/T_{out} = R_v - \varepsilon$ ）を減算することにより、上記デジタル位相誤差値  $\phi_E$  を算出する。すなわち、位相検出器 17 は、上記参照位相データ  $R_r$  から、上記整数データ  $R_v$  と上記小数データ  $\varepsilon$  との差分を減算することにより、上記デジタル位相誤差値  $\phi_E$  を算出する。
- [0027] 図 1 に戻り、ループフィルタ 18 は、位相検出器 17 から出力されるデジタル位相誤差値  $\phi_E$  に、所定のループゲイン  $\alpha$  を乗算して、第 1 デジタルチューニング値（ $NTW$  ; Normalized Tuning Word）を生成する。なお、後述するスモールモード  $SM$  では、デジタル位相誤差値  $\phi_E$  に、ループゲイン  $\alpha$  を乗算するとともに、所定の積分項を加算して、追従性を高めてもよい。ループフィルタ 18 は、生成した第 1 デジタルチューニング値  $NTW$  を  $DCO$  ゲイン正規化部 19 に出力する。
- [0028]  $DCO$  ゲイン正規化部 19 は、ループフィルタ 18 から出力される第 1 デジタルチューニング値  $NTW$  に、基準周波数信号  $F_{ref}$  を乗算するとともに、 $DCO$  ゲイン推定部 20 により推定されたデジタル制御発振器 10 の  $DCO$  ゲイン  $K_{DCO}$  を除算して、デジタル制御発振器 10 に設定すべき第 2 デジタルチューニング値（ $OTW$  ; Oscillator Tuning Word）を生成する。すなわち、 $DCO$  ゲイン正規化部 19 は、第 1 デジタルチューニング値  $NTW$  に、基準周波数信号  $F_{ref}$  を  $DCO$  ゲイン推定値  $K_{DCO}$  で除算した値（ $F_{ref}/K_{DCO}$ ）を乗算する。デジタル制御発振器 10 は、 $DCO$  ゲイン正規化部 19 から設定される第 2 デジタルチューニング値  $OTW$  に応じた周波数の出力信号  $F_{out}$  を生成する。
- [0029]  $DCO$  ゲイン推定部 20 は、 $DCO$  ゲイン正規化部 19 から出力される第 2 デジタルチューニング値  $OTW$  をもとに、デジタル制御発振器 10 の  $DCO$  ゲイン  $K_{DCO}$  を推定し、 $DCO$  ゲイン正規化部 19 に設定する。

- [0030] モード切替部 21 は、ADPLL 回路 100 がチューニングされる際、ADPLL 回路 100 のモードを段階的に切り替える。その切替処理のコアとなる処理として、モード切替部 21 は、ループフィルタ 18 に設定されるループゲイン  $\alpha$  の値を段階的に切り替える。
- [0031] 上述したように、ループゲイン  $\alpha$  は、その値が小さいほど高い収束精度が得られるが収束時間が長くなる。そこで、ループゲイン  $\alpha$  を大きな値から小さな値に段階的に切り替えていく手法が用いられる。
- [0032] 図 3 は、ループゲイン  $\alpha$  を三段階に切り替える際の、デジタル制御発振器 10 の出力信号  $F_{out}$  の周波数推移の一例を示す図である。ここでは、ラージモード LM、ミドルモード MM およびスモールモード SM の三つのモードを想定する。ラージモード LM は、三つのモードのなかでループゲイン  $\alpha$  の値が最も大きく、デジタル制御発振器 10 の出力信号  $F_{out}$  の周波数を最も大きく変化させるモードである。ミドルモード MM は、ラージモード LM よりループゲイン  $\alpha$  の値が小さく、ラージモード LM より当該出力信号  $F_{out}$  の周波数を小さく変化させるモードである。スモールモード SM は、ミドルモード MM よりループゲイン  $\alpha$  の値がさらに小さく、ミドルモード MM より当該出力信号  $F_{out}$  の周波数をさらに小さく変化させるモードである。
- [0033] モード切替部 21 は、ADPLL 回路 100 がチューニングされる際、ラージモード LM、ミドルモード MM およびスモールモード SM の順でモードを切り替える。その際、ループフィルタ 18 に設定すべきループゲイン  $\alpha$  を、ラージモード用のループゲイン  $\alpha_L$ 、ミドルモード用のループゲイン  $\alpha_M$  およびスモールモード用のループゲイン  $\alpha_S$  の順に切り替える。たとえば、ラージモード用のループゲイン  $\alpha_L$  を  $1/8$ 、ミドルモード用のループゲイン  $\alpha_M$  を  $1/32$ 、スモールモード用のループゲイン  $\alpha_S$  を  $1/128$  と設定してもよい。ループゲイン  $\alpha$  の値を  $1/2$  の倍数に設定すれば、右ビットシフト演算による乗算が可能となる。
- [0034] モード切替部 21 は、デジタル制御発振器 10 の出力信号  $F_{out}$  の周波

数変位を監視することにより、モードの切り替えタイミングを決定する。たとえば、あるモードにおいて所定の設定時間内における当該周波数変位が所定の基準変位より小さい場合（以下、収束条件を満たした場合という）、目的周波数に近づいたと判断し、より小さなモードへと切り替える。図3に示すように、ラージモードLM、ミドルモードMMおよびスモールモードSMの順にモードを切り替えることにより、目的周波数に早く、高精度に到達することができる。

[0035] つぎに、DCOゲイン推定部20によるデジタル制御発振器10のDCOゲイン $K_{DCO}$ の見積処理について説明する。DCOゲイン推定部20は、あるモード値において、周波数制御デジタル値FCWを変化させることにより得られる、第2デジタルチューニング値OTWの変化分 $\Delta OTW$ と、デジタル制御発振器10の出力信号Foutの周波数fvの変化分 $\Delta fv$ との比から、デジタル制御発振器10のDCOゲイン $K_{DCO}$ を推定する。

[0036] 以下、より具体的に説明する。デジタル制御発振器10は、設定される第2デジタルチューニング値OTWが変化すると、自身の出力信号Foutの周波数fvも変化する。DCOゲイン $K_{DCO}$ は、第2デジタルチューニング値OTWの変化分 $\Delta OTW$ に対する、当該出力信号Foutの周波数fvの変化分 $\Delta fv$ の比として定義される。すなわち、当該DCOゲイン $K_{DCO}$ は、第2デジタルチューニング値OTWの1LSBの変化に対する、当該出力信号Foutの周波数fvの変化分 $\Delta fv$ と定義される。

[0037] 図4は、スモールモードSMのDCOゲイン $K_{DCOs}$ を見積もる際の、第2デジタルチューニング値OTWの推移の一例を示す図である。図5は、DCOゲイン推定部20による、DCOゲイン $K_{DCO}$ の見積処理の手順を示すフローチャートである。

[0038] 時刻t1において、外部からアキュムレータ12に周波数制御デジタル値FCW1が設定される(S10)。モード切替部21は、ラージモードLM、ミドルモードMMおよびスモールモードSMの順に切り替える。DCOゲイン推定部20は、モード切替部21によりスモールモードSMの収束条

件を満たしたと判定されたとき（図4の時刻  $t_2$ ）の第2デジタルチューニング値  $OTW_1$  を取得する（S11）。なお、この段階では、DCOゲイン正規化部19には、スモールモードSMにおける仮のDCOゲイン  $K_{DCOS}$  が設定されている。

[0039] DCOゲイン推定部20は、第2デジタルチューニング値  $OTW_1$  を取得すると、上記周波数制御デジタル値  $FCW_1$  と異なる周波数制御デジタル値  $FCW_2$  をアキュムレータ12に設定する（S12）。DCOゲイン推定部20は、モード切替部21によりスモールモードSMの収束条件を満たしたと判定されたとき（図4の時刻  $t_3$ ）の第2デジタルチューニング値  $OTW_2$  を取得する（S13）。なお、この段階でも、DCOゲイン正規化部19には、スモールモードSMにおける仮のDCOゲイン  $K_{DCOS}$  が設定されている。

[0040] DCOゲイン推定部20は、第2デジタルチューニング値  $OTW_2$  を取得すると、基準周波数信号  $F_{ref}$ 、周波数制御デジタル値  $FCW_1$ 、周波数制御デジタル値  $FCW_2$ 、第2デジタルチューニング値  $OTW_1$ 、および第2デジタルチューニング値  $OTW_2$  を用いて、スモールモードSMのDCOゲイン  $K_{DCOS}$  を推定する（S14）。

[0041] デジタル制御発振器10の出力信号  $F_{out}$  の周波数  $f_v$  は、基準周波数信号  $F_{ref}$  と周波数制御デジタル値  $FCW$  との積で表される。したがって、当該出力信号  $F_{out}$  の周波数  $f_v$  の変化分  $\Delta f_v$  は、基準周波数信号  $F_{ref}$  と、周波数制御デジタル値  $FCW$  の変化分  $\Delta FCW$  との積で表される。したがって、推定すべきDCOゲイン  $K_{DCO}$  は、下記式1により算出される。

$$K_{DCO} = \Delta f_v / \Delta OTW = (FCW_2 - FCW_1) \cdot F_{ref} / (OTW_2 - OTW_1) \quad \dots \text{(式1)}$$

[0042] DCOゲイン推定部20は、スモールモードSMのDCOゲイン  $K_{DCOS}$  を算出すると、算出したDCOゲイン  $K_{DCOS}$  をDCOゲイン正規化部19に設定する。その後、モード切替部21によりスモールモードSMの収束条件を

満たしたと判定されたとき（図4の時刻  $t_4$ ）、全体のチューニングが完了する。なお、図4ではラージモードLMのDCOゲイン  $K_{DCOL}$  およびミドルモードMMのDCOゲイン  $K_{DCOM}$  の見積処理については省略して描いている。

[0043] つぎに、デジタル制御発振器10の具体的構成について説明する。本実施の形態では、デジタル制御発振器10をLC発振器で構成する例を説明する。

[0044] 図6は、実施の形態に係るLC発振器の構成例を示す図である。一对の第1PチャンネルトランジスタM1と第2Pチャンネルトランジスタの共通ソース端子には、カレントミラー回路CM1を通じて、定電流源C1を流れる電流がコピーされる。第1PチャンネルトランジスタM1のゲート端子は、第2PチャンネルトランジスタM2のドレイン端子と接続され、第2PチャンネルトランジスタM2のゲート端子は、第1PチャンネルトランジスタM1のドレイン端子と接続される。

[0045] 第1PチャンネルトランジスタM1のドレイン端子は、第2PチャンネルトランジスタM2のゲート端子と、第1インダクタL1の一端と、タンク容量C1の正側端子とに接続される。第2PチャンネルトランジスタM2のドレイン端子は、第1PチャンネルトランジスタM1のゲート端子と、第2インダクタL2の一端と、タンク容量C1の負側端子と接続される。第1インダクタL1および第2インダクタL2のそれぞれの他端は接地される。タンク容量C1には、第2デジタルチューニング値OTWが入力され、タンク容量C1のキャパシタンスが可変構成となっている。

[0046] 当該LC発振器の出力信号の周波数は、第1インダクタL1および第2インダクタL2のインダクタンスLと、タンク容量C1のキャパシタンスCとの積に依存する。ここでは、インダクタンスLは固定であるため、キャパシタンスCを変更することにより、当該周波数を変更することができる。

[0047] 図7は、タンク容量C1の構成例を示す図である。タンク容量C1は、モード数に対応した複数の容量アレイを含む。ここでは、三つの容量アレイ、

すなわち、ラージモード用容量アレイCL、ミドルモード用容量アレイCMおよびスモールモード用容量アレイCSを含む。ラージモード用容量アレイCL、ミドルモード用容量アレイCMおよびスモールモード用容量アレイCSは、並列に接続される。また、ラージモード用容量アレイCL、ミドルモード用容量アレイCMおよびスモールモード用容量アレイCSは、それぞれ複数のバラクタ容量を含む。

- [0048] ラージモード用容量アレイCLは、複数のバラクタ容量CL1~CLnを含み、複数のバラクタ容量CL1~CLnは並列接続される。これら複数のバラクタ容量CL1~CLnの合成キャパシタンスは、ラージモードLMにおいて入力される第2デジタルチューニング値OTWLにより設定される。
- [0049] 複数のバラクタ容量CL1~CLnの数は、ラージモードLMにおいて遷移可能な、上記出力信号Foutのチューニングポイント数、および第2デジタルチューニング値OTWLがバイナリコードで規定されるか温度計コードで規定されるか、によって決定される。
- [0050] たとえば、128個の動作ポイントを設定した場合において、第2デジタルチューニング値OTWLがバイナリコードで規定される場合、7個のバラクタ容量CL1~CL7が必要となり、温度計コードで規定される場合、127個のバラクタ容量CL1~CL127が必要となる。前者の場合、バラクタ容量CL1~CL7の各キャパシタンスを重みづけする必要がある。最下位ビットのバラクタ容量から最上位ビットのバラクタ容量に向けて、キャパシタンスを1倍、2倍、4倍、・・・、64倍と設定する必要がある。後者の場合、バラクタ容量CL1~CL127のキャパシタンスは、すべて同じにすることができる。
- [0051] 複数のバラクタ容量CL1~CLnの各キャパシタンスは、ラージモードLMにおける上記チューニングポイントのステップ幅、および第2デジタルチューニング値OTWLがバイナリコードで規定されるか温度計コードで規定されるか、によって決定される。
- [0052] 第2デジタルチューニング値OTWLがバイナリコードで規定される場合、

最下位ビットのバラクタ容量のキャパシタンスが上記ステップ幅の周波数に変換されるように、そのキャパシタンスが決定される。第2デジタルチューニング値 $OTW_L$ が温度計コードで規定される場合、複数のバラクタ容量 $CL_1 \sim CL_n$ のすべてのキャパシタンスが、上記ステップ幅の周波数に変換されるように、それらのキャパシタンスが決定される。

[0053] 第2デジタルチューニング値 $OTW_L$ が、複数のバラクタ容量 $CL_1 \sim CL_n$ のそれぞれのオンオフ状態を設定することにより、ラージモード用容量アレイ $CL$ の合成キャパシタンスが決定される。

[0054] ミドルモード用容量アレイ $CM$ も、複数のバラクタ容量 $CM_1 \sim CM_n$ を含み、複数のバラクタ容量 $CM_1 \sim CM_n$ は並列接続される。これら複数のバラクタ容量 $CM_1 \sim CM_n$ の合成キャパシタンスは、ミドルモード $MM$ において入力される第2デジタルチューニング値 $OTW_M$ により設定される。複数のバラクタ容量 $CM_1 \sim CM_n$ の数およびキャパシタンスに関する条件は、ラージモード用容量アレイ $CL$ で説明した考察があてはまる。

[0055] スモールモード用容量アレイ $SM$ も、複数のバラクタ容量 $CS_1 \sim CS_n$ を含み、複数のバラクタ容量 $CS_1 \sim CS_n$ は並列接続される。これら複数のバラクタ容量 $CS_1 \sim CS_n$ の合成キャパシタンスは、スモールモード $SM$ において入力される第2デジタルチューニング値 $OTW_S$ により設定される。複数のバラクタ容量 $CS_1 \sim CS_n$ の数およびキャパシタンスに関する条件は、ラージモード用容量アレイ $CL$ で説明した考察があてはまる。

[0056] 最終的に、ラージモード用容量アレイ $CL$ の合成キャパシタンス、ミドルモード用容量アレイ $CM$ の合成キャパシタンスおよびスモールモード用容量アレイ $CS$ の合成キャパシタンスのトータルの合成キャパシタンスにより、上記目的周波数が設定される。

[0057] つぎに、図4、図5に示した $DCO$ ゲイン $K_{DCO}$ の見積処理より、早く $DCO$ ゲイン $K_{DCO}$ を見積もることができる手法について説明する。 $DCO$ ゲイン推定部20は、あるモードにおいて推定した $DCO$ ゲイン $K_{DCO}$ 、およびデジタル制御発振器10の素子パラメータをもとに、別のモードにおける $DCO$

ゲイン $K_{DCO}$ を推定する。たとえば、DCOゲイン推定部20は、ミドルモードMMにおいて推定したミドルモードMMのDCOゲイン $K_{DCOM}$ 、およびデジタル制御発振器10の素子パラメータをもとに、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定する。

[0058] 上記素子パラメータとして、上記LC発振器に含まれる複数の容量アレイの合成キャパシタンスを用いることができる。DCOゲイン推定部20は、あるモードにおいて推定したDCOゲイン $K_{DCO}$ 、およびそのモード用の容量アレイの合成キャパシタンスの単位ステップ幅と別のモード用の容量アレイの合成キャパシタンスの単位ステップ幅との比をもとに、別のモードのDCOゲイン $K_{DCO}$ を推定する。

[0059] たとえば、DCOゲイン推定部20は、ミドルモードMMにおいて推定したミドルモードMMのDCOゲイン $K_{DCOM}$ 、およびミドルモード用容量アレイCMの合成キャパシタンスの単位ステップ幅 $\Delta C_m$ とスモールモード用の容量アレイCSの合成キャパシタンスの単位ステップ幅 $\Delta C_s$ との比をもとに、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定する。より具体的には、ミドルモードMMのDCOゲイン $K_{DCOM}$ に、ミドルモード用容量アレイCMの合成キャパシタンスの単位ステップ幅 $\Delta C_m$ とスモールモード用の容量アレイCSの合成キャパシタンスの単位ステップ幅 $\Delta C_s$ との比( $\Delta C_s / \Delta C_m$ )を乗算することにより、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定する。

[0060] 図8は、スモールモードSMのDCOゲイン $K_{DCOS}$ をミドルモードMMのDCOゲイン $K_{DCOM}$ から見積もる際の、第2デジタルチューニング値OTWの推移の一例を示す図である。

[0061] 時刻 $t_{11}$ において、外部からアキュムレータ12に周波数制御デジタル値FCW1が設定される。モード切替部21は、ラージモードLM、ミドルモードMMと順に切り替える。DCOゲイン推定部20は、ミドルモードMMにおいて、モード切替部21によりミドルモードMMの収束条件を満たしたと判定されたとき(図8の時刻 $t_{12}$ )の第2デジタルチューニング値



OTW1を取得する。

- [0062] DCOゲイン推定部20は、第2デジタルチューニング値OTW1を取得すると、上記周波数制御デジタル値FCW1と異なる周波数制御デジタル値FCW2をアキュムレータ12に設定する。DCOゲイン推定部20は、モード切替部21によりミドルモードMMの収束条件を満たしたと判定されたとき（図8の時刻t13）の第2デジタルチューニング値OTW2を取得する。モード切替部21は、ミドルモードMMからスモールモードSMに切り替える。
- [0063] DCOゲイン推定部20は、第2デジタルチューニング値OTW2を取得すると、基準周波数信号Fref、周波数制御デジタル値FCW1、周波数制御デジタル値FCW2、第2デジタルチューニング値OTW1、および第2デジタルチューニング値OTW2を用いて、ミドルモードMMのDCOゲイン $K_{DCOM}$ を推定する。このように、DCOゲイン推定部20は、図5に示した手法で、ミドルモードMMのDCOゲイン $K_{DCOM}$ を推定する。
- [0064] DCOゲイン推定部20は、ミドルモードMMのDCOゲイン $K_{DCOM}$ を推定すると、そのDCOゲイン $K_{DCOM}$ に、ミドルモード用容量アレイCMの合成キャパシタンスの単位ステップ幅 $\Delta C_m$ とスモールモード用の容量アレイCSの合成キャパシタンスの単位ステップ幅 $\Delta C_s$ との比（ $\Delta C_s / \Delta C_m$ ）を乗算することにより、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定する。DCOゲイン推定部20は、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定すると、そのDCOゲイン $K_{DCOS}$ をDCOゲイン正規化部19に設定する。その後、モード切替部21によりスモールモードSMの収束条件を満たしたと判定されたとき（図8の時刻t14）、全体のチューニングが完了する。
- [0065] 当該手法は、図4、5で説明した手法と比較し、スモールモードSMのDCOゲイン $K_{DCOS}$ 推定処理において、見積用の周波数制御デジタル値FCW2を設定して、見積用の第2デジタルチューニング値OTW2を取得する必要がないため、高速に、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定す

ることができる。したがって、全体のチューニング時間を大幅に短縮することができる。

[0066] これまでの説明では、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定するのに、ミドルモードMMのDCOゲイン $K_{DCOM}$ と、ミドルモード用容量アレイCMの合成キャパシタンスの単位ステップ幅 $\Delta C_m$ とスモールモード用の容量アレイCSの合成キャパシタンスの単位ステップ幅 $\Delta C_s$ との比を用いる例を示した。この点、ラージモードLMのDCOゲイン $K_{DCOL}$ と、ラージモード用容量アレイCLの合成キャパシタンスの単位ステップ幅 $\Delta C_l$ とスモールモード用の容量アレイCSの合成キャパシタンスの単位ステップ幅 $\Delta C_s$ との比を用いて、スモールモードSMのDCOゲイン $K_{DCOS}$ を推定してもよい。

[0067] また、これまでの説明では、ラージモードLM、ミドルモードMMおよびスモールモードSMの三つのモードを設定する例を示したが、二つのモードを設定してもよいし、四つ以上のモードを設定してもよい。以下、それらのモードのなかにおいて相対的に、デジタル制御発振器10の出力信号 $F_{out}$ の周波数 $f_v$ を粗く変化させるモードを粗調モードといい、相対的に、当該出力信号 $F_{out}$ の周波数 $f_v$ を細かく変化させるモードを微調モードという。

[0068] DCOゲイン推定部20は、粗調モードにおいて推定したDCOゲイン、および粗調モード用容量アレイの合成キャパシタンスの単位ステップ幅と微調モード用容量アレイの合成キャパシタンスの単位ステップ幅との比をもとに、微調モードのDCOゲインを推定する。

[0069] 以上説明したように本実施の形態によれば、あるモードのDCOゲインを推定する際に、そのモードにおいて実際に観測されたデータをもとに推定するのではなく、他のモードのDCOゲインをもとに推定することにより、DCOゲインの推定処理にかかる時間を短縮することができる。

[0070] 図9は、実施の形態に係るADPLL回路100を局部発振器として搭載した無線通信装置200の構成を示す図である。当該無線通信装置200は

、アンテナ 30、ローノイズアンプ 31、復調部 32、局部発振器 33 および信号処理部 34 を備える。局部発振器 33 には、実施の形態に係る ADPLL 回路 100 を採用する。

[0071] アンテナ 30 は、無線信号を受信する。ローノイズアンプ 31 は、受信された無線信号を増幅する。復調部 32 は、局部発振器 33 から供給される信号をもとに、当該無線信号をベースバンド信号に変調する。信号処理部 34 は、当該ベースバンド信号を処理する。

[0072] 実施の形態に係る ADPLL 回路 100 を無線通信装置 200 に用いた場合、ラージモード LM、ミドルモード MM およびスモールモード SM は、それぞれ、キャリブレーションモード、チャンネル選択モードおよびトラッキングモードと考えることができる。

[0073] キャリブレーションモードは、プロセス、電源電圧および温度を較正するためのモードであり、広い周波数範囲を粗いステップ幅でチューニングポイントが遷移する。チャンネル選択モードは、較正後にチャンネルを選択するモードであり、キャリブレーションモードにより制限された周波数範囲を、キャリブレーションモードより細かいステップ幅でチューニングポイントが遷移する。トラッキングモードは、チャンネルが選択された後、実際の受信動作の間、維持されるモードであり、チャンネル選択モードにより制限された周波数範囲を、最も細かいステップ幅でチューニングポイントが遷移する。

[0074] 以上説明したように本実施の形態に係る ADPLL 回路 100 を無線通信装置 200 に適用すれば、チャージポンプなどのアナログ部材を削減することができ、回路面積を縮小することができる。また、従来困難であった、ローノイズアンプ 31、復調部 32、局部発振器 33 および信号処理部 34 をワンチップ化することも容易となる。なお、図 9 では受信装置の例を説明したが、送信装置にも同様に適用可能である。

[0075] 以上、本発明をいくつかの実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろ

ろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0076] 上述した実施の形態では、デジタル制御発振器 10 の素子パラメータとして、デジタル制御発振器 10 を LC 発振器で構成した場合の、容量アレイの単位ステップ幅を挙げた。この点、容量ではなくインダクタを可変構成にした場合、上記素子パラメータは、インダクタアレイの単位ステップ幅であってもよい。また、デジタル制御発振器 10 をリングオシレータで構成し、複数のインバータを DAC (Digital to Analog Converter) 構成にした場合、上記素子パラメータは、当該複数のインバータで構成されるインバータアレイの単位ステップ幅であってもよい。

[0077] 上述した実施の形態では、DCOゲイン推定部 20 がフォアグラウンド自己校正 (Foreground Self-Calibration) 方式により、DCOゲイン  $K_{DCO}$  を推定する手法について説明した。すなわち、DCOゲイン推定部 20 は、周波数制御デジタル値  $FCW$  を変化させることにより得られる、第 2 デジタルチューニング値  $OTW$  の変化分  $\Delta OTW$  と、デジタル制御発振器 10 の出力信号  $F_{out}$  の周波数  $f_v$  の変化分  $\Delta f_v$  との比から、DCOゲイン  $K_{DCO}$  を推定した。この点、変形例では DCOゲイン推定部 20 がバックグラウンド自己校正 (Background Self-Calibration) 方式により、DCOゲイン  $K_{DCO}$  を推定する手法について説明する。

[0078] 図 10 は、変形例に係る ADPLL 回路 100 の構成を示す図である。図 1 に示した ADPLL 回路 100 と比較し、DCOゲイン推定部 20 による処理が異なる。変形例では、DCOゲイン推定部 20 は、第 1 デジタルチューニング値  $NTW$ 、第 2 デジタルチューニング値  $OTW$  および出力信号  $F_{out}$  の周波数  $f_v$  の各時間変化データ (すなわち、過渡状態の値) を取得しながら、適応アルゴリズムなどを用いて DCOゲイン  $K_{DCO}$  を推定する。たとえば、第 1 デジタルチューニング値  $NTW$ 、第 2 デジタルチューニング値  $OTW$  および出力信号  $F_{out}$  の周波数  $f_v$  の各時間変化データから、隣接 2 項間の漸化式の形式で、DCOゲイン  $K_{DCO}$  を算出する。DCOゲイン推定部

20は、推定したDCOゲイン $K_{DCO}$ をDCOゲイン正規化部19に設定する。

[0079] DCOゲイン正規化部19は、DCOゲイン推定部20から設定されるDCOゲイン $K_{DCO}$ と、ループフィルタ18から入力される第1デジタルチューニング値 $N_{TW}$ との関数により、第2デジタルチューニング値 $O_{TW}$ を求め、デジタル制御発振器10およびDCOゲイン推定部20に出力する。たとえば、当該関数は上述した、第1デジタルチューニング値 $N_{TW}$ に、基準周波数信号 $F_{ref}$ をDCOゲイン $K_{DCO}$ で除算した値( $F_{ref}/K_{DCO}$ )を乗算するものであってもよい。

[0080] 以上説明したように変形例に係るバググランド自己校正方式によれば、DCOゲイン $K_{DCO}$ 推定のための特別な時間が必要なフォアグランド自己校正方式と異なり、ADPLL回路100の正常動作を停止させずにDCOゲイン $K_{DCO}$ を推定することができる。したがって、ADPLL回路100をより広範なアプリケーションに適用することができる。

### 符号の説明

[0081] C1 タンク容量、 M1 第1Pチャンネルトランジスタ、 C1 定電流源、 CM1 カレントミラー、 L1 第1インダクタ、 M2 第2Pチャンネルトランジスタ、 L2 第2インダクタ、 CL ラージモード用容量アレイ、 CM ミドルモード用容量アレイ、 CS スモールモード用容量アレイ、 10 デジタル制御発振器、 11 リタイミングクロック生成部、 12 アキュムレータ、 13 時間/デジタル変換器、 14 第1フリップフロップ回路、 15 カウンタ、 16 第2フリップフロップ回路、 17 位相検出器、 18 ループフィルタ、 19 DCOゲイン正規化部、 20 DCOゲイン推定部、 21 モード切替部、 30 アンテナ、 31 ローノイズアンプ、 32 復調部、 33 局部発振器、 34 信号処理部、 100 ADPLL回路、 200 無線通信装置。

### 産業上の利用可能性

[0082] 本発明は、無線通信装置などの分野に適用することができる。

## 請求の範囲

[請求項1] 設定されるデジタル値に応じた周波数で発振するデジタル制御発振器と、

前記デジタル制御発振器の出力位相と、設定される周波数制御デジタル値をもとにした参照位相との誤差を検出して、位相誤差値を生成する位相検出器と、

前記位相検出器から出力される位相誤差値に、所定のループゲインを乗算して、第1デジタルチューニング値を生成するループフィルタと、

前記ループフィルタから出力される第1デジタルチューニング値に、所定の基準周波数を乗算するとともに、設定される前記デジタル制御発振器のゲインを除算して、前記デジタル制御発振器に設定すべき第2デジタルチューニング値を生成する発振器ゲイン正規化部と、

前記発振器ゲイン正規化部から出力される第2デジタルチューニング値をもとに、前記デジタル制御発振器のゲインを推定する発振器ゲイン推定部と、

チューニングする際、前記ループフィルタに設定されるループゲインの値を段階的に切り替えるモード切替部と、を備え、

前記発振器ゲイン推定部は、あるモードにおいて、前記周波数制御デジタル値を変化させることにより得られる、前記第2デジタルチューニング値の変化分と、前記デジタル制御発振器の出力信号の周波数の変化分との比から、前記デジタル制御発振器のゲインを推定し、

前記発振器ゲイン推定部は、あるモードにおいて推定した前記デジタル制御発振器のゲイン、および前記デジタル制御発振器の素子パラメータをもとに、別のモードにおける前記デジタル制御発振器のゲインを推定することを特徴とするPLL回路。

[請求項2] 前記デジタル制御発振器は、LC発振器で構成され、

前記LC発振器は、前記モード数に対応した、複数の容量アレイを

備え、

それぞれの容量アレイは、複数のバラクタ容量を含み、前記第2デジタルチューニング値により前記複数のバラクタ容量の合成キャパシタンスが設定され、

前記発振器ゲイン推定部は、あるモードにおいて推定した前記デジタル制御発振器のゲイン、およびそのモード用の容量アレイの合成キャパシタンスの単位ステップ幅と別のモード用の容量アレイの合成キャパシタンスの単位ステップ幅との比をもとに、前記別のモードにおける前記デジタル制御発振器のゲインを推定することを特徴とする請求項1に記載のPLL回路。

[請求項3]

前記モード切替部は、チューニングする際、前記デジタル制御発振器の出力信号の周波数を粗く変化させる粗調モードから、当該粗調モードより当該周波数を細かく変化させる微調モードに切り替え、

前記発振器ゲイン推定部は、前記粗調モードにおいて推定した前記デジタル制御発振器のゲイン、および前記粗調モード用の容量アレイの合成キャパシタンスの単位ステップ幅と前記微調モード用の容量アレイの合成キャパシタンスの単位ステップ幅との比をもとに、前記微調モードにおける前記デジタル制御発振器のゲインを推定することを特徴とする請求項2に記載のPLL回路。

[請求項4]

前記モード切替部は、チューニングする際、前記デジタル制御発振器の出力信号の周波数を最も大きく変化させるラージモード、当該ラージモードより前記周波数を小さく変化させるミドルモード、および当該ミドルモードより前記周波数を小さく変化させるスモールモードの順に切り替え、

前記発振器ゲイン推定部は、前記ミドルモードにおいて推定した前記デジタル制御発振器のゲイン、および前記ミドルモード用の容量アレイの合成キャパシタンスの単位ステップ幅と前記スモールモード用の容量アレイの合成キャパシタンスの単位ステップ幅との比をもとに



、前記スモールモードにおける前記デジタル制御発振器のゲインを推定することを特徴とする請求項2に記載のPLL回路。

[請求項5]

設定されるデジタル値に応じた周波数で発振するデジタル制御発振器と、

前記デジタル制御発振器の出力位相と、設定される周波数制御デジタル値をもとにした参照位相との誤差を検出して、位相誤差値を生成する位相検出器と、

前記位相検出器から出力される位相誤差値に、所定のループゲインを乗算して、第1デジタルチューニング値を生成するループフィルタと、

前記ループフィルタから出力される第1デジタルチューニング値に、所定の基準周波数を乗算するとともに、設定される前記デジタル制御発振器のゲインを除算して、前記デジタル制御発振器に設定すべき第2デジタルチューニング値を生成する発振器ゲイン正規化部と、

前記発振器ゲイン正規化部から出力される第2デジタルチューニング値をもとに、前記デジタル制御発振器のゲインを推定する発振器ゲイン推定部と、

チューニングする際、前記ループフィルタに設定されるループゲインの値を段階的に切り替えるモード切替部と、を備え、

前記発振器ゲイン推定部は、前記第1デジタルチューニング値、前記第2デジタルチューニング値および当該PLL回路の出力信号の周波数の各時間変化データから、前記デジタル制御発振器のゲインを推定し、

前記発振器ゲイン推定部は、あるモードにおいて推定した前記デジタル制御発振器のゲイン、および前記デジタル制御発振器の素子パラメータをもとに、別のモードにおける前記デジタル制御発振器のゲインを推定することを特徴とするPLL回路。

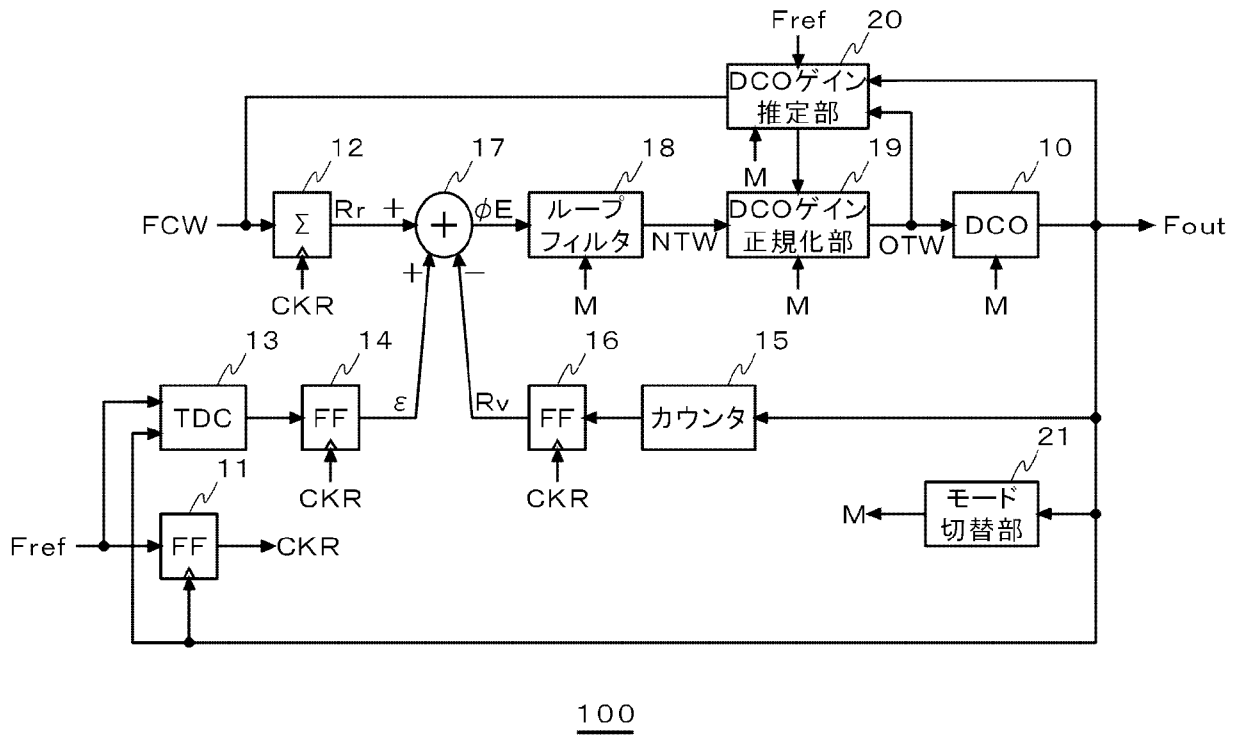
[請求項6]

無線信号を受信するアンテナと、

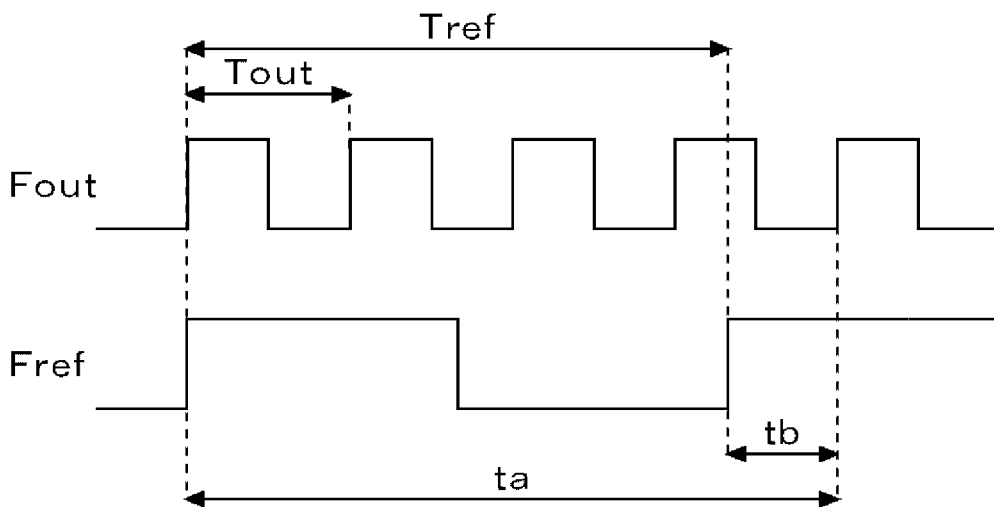
請求項 1 から 5 のいずれかに記載の PLL 回路を用いた局部発振器と、

前記アンテナにより受信された無線信号を、前記局部発振器から供給される信号をもとに復調する復調部と、  
を備えることを特徴とする無線通信装置。

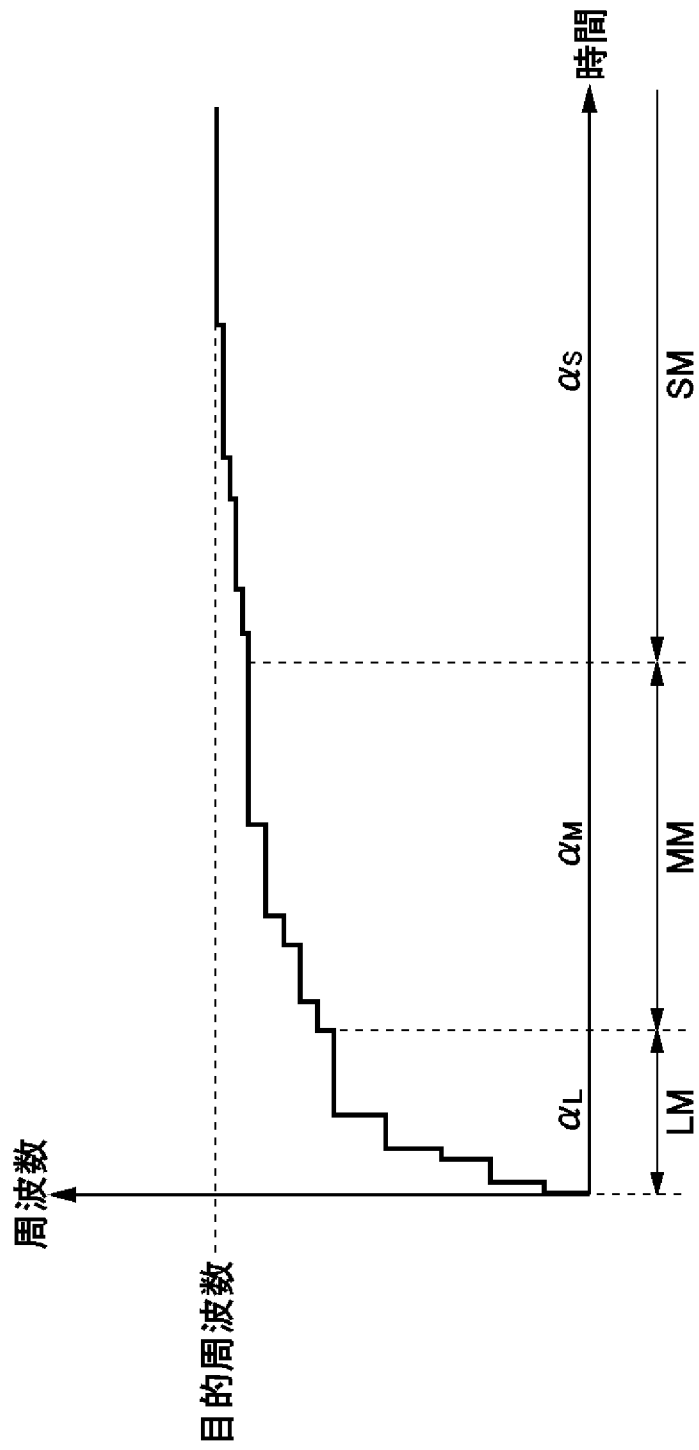
[図1]



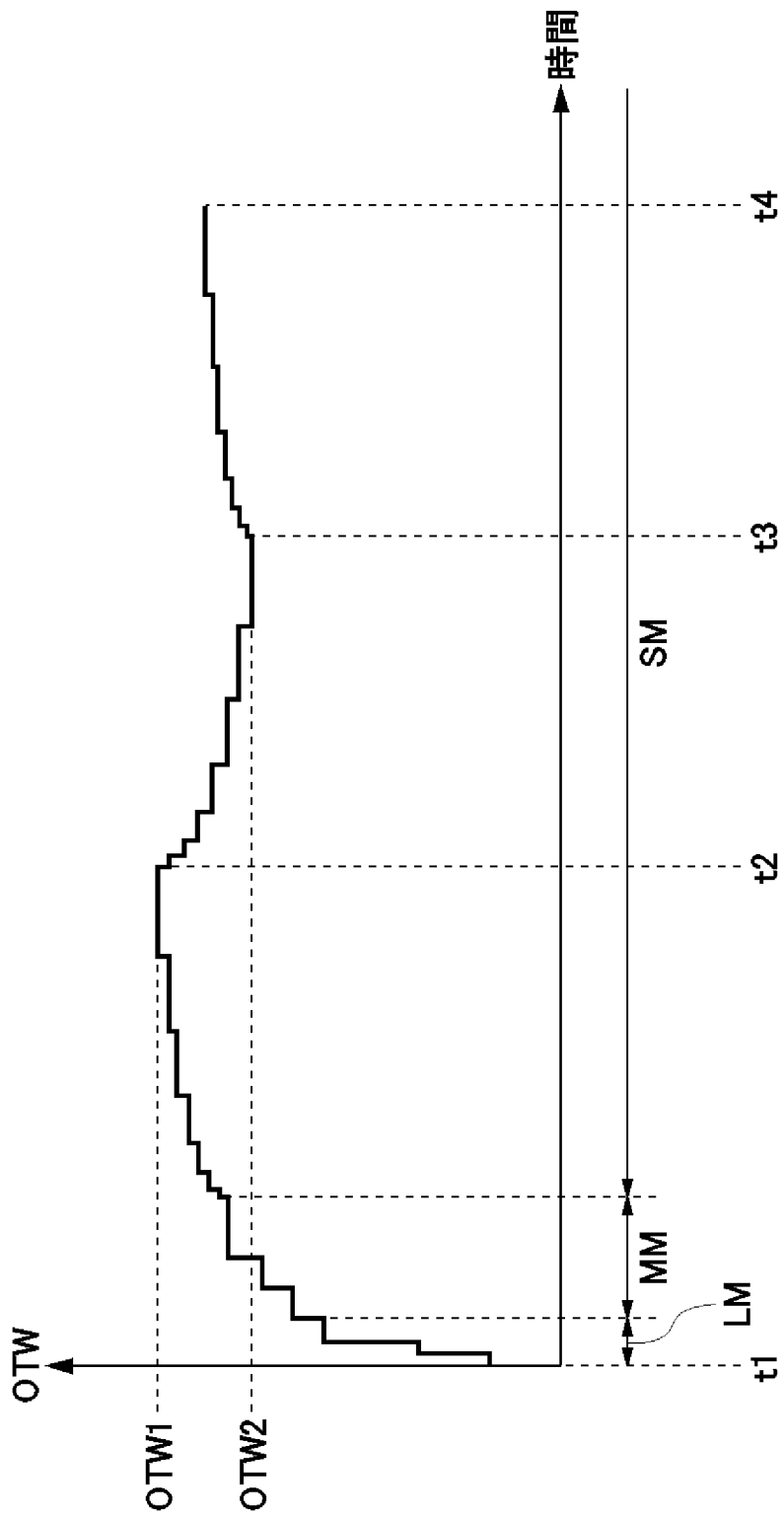
[図2]



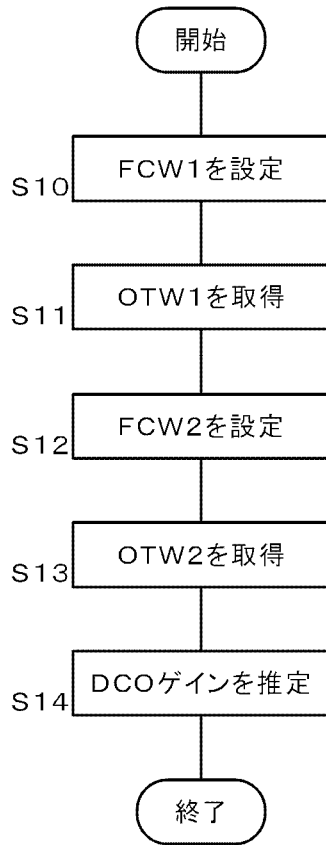
[図3]



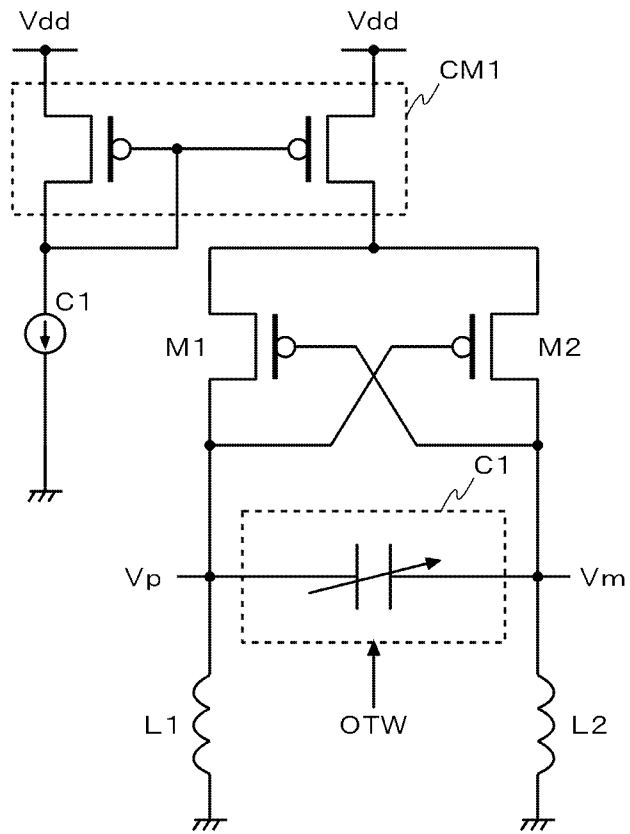
[図4]



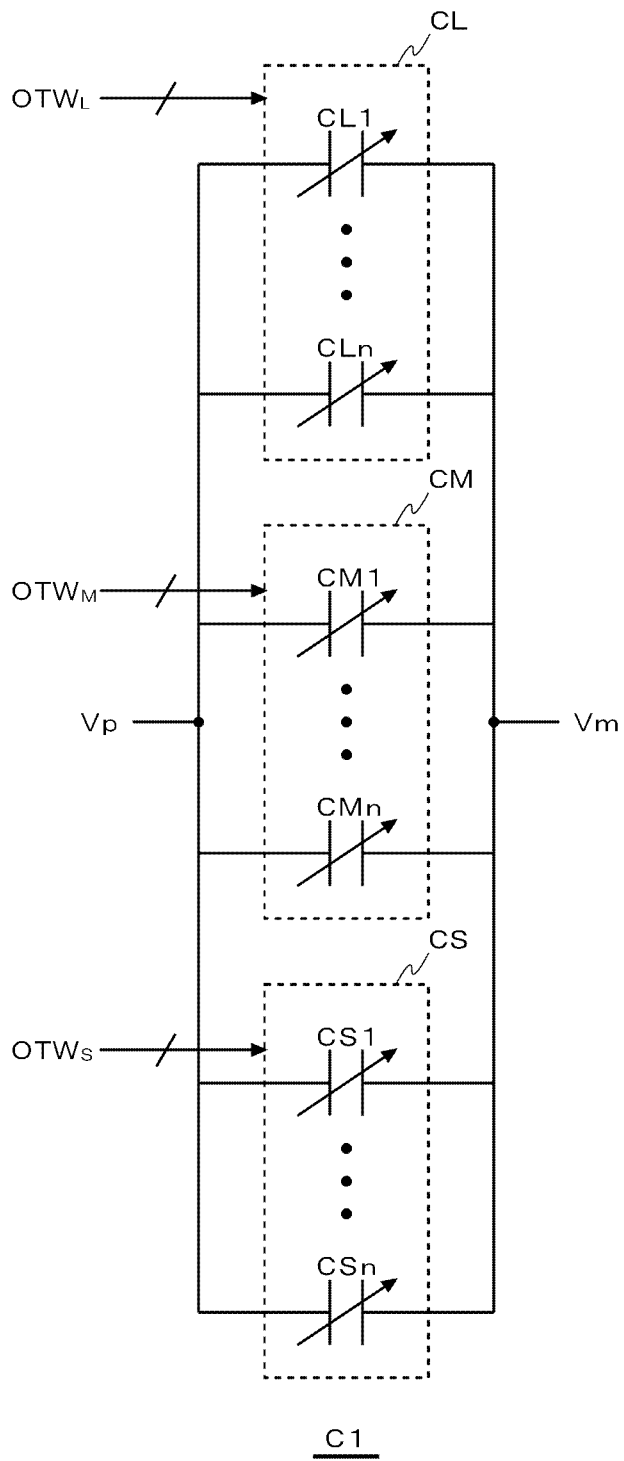
[図5]



[圖6]

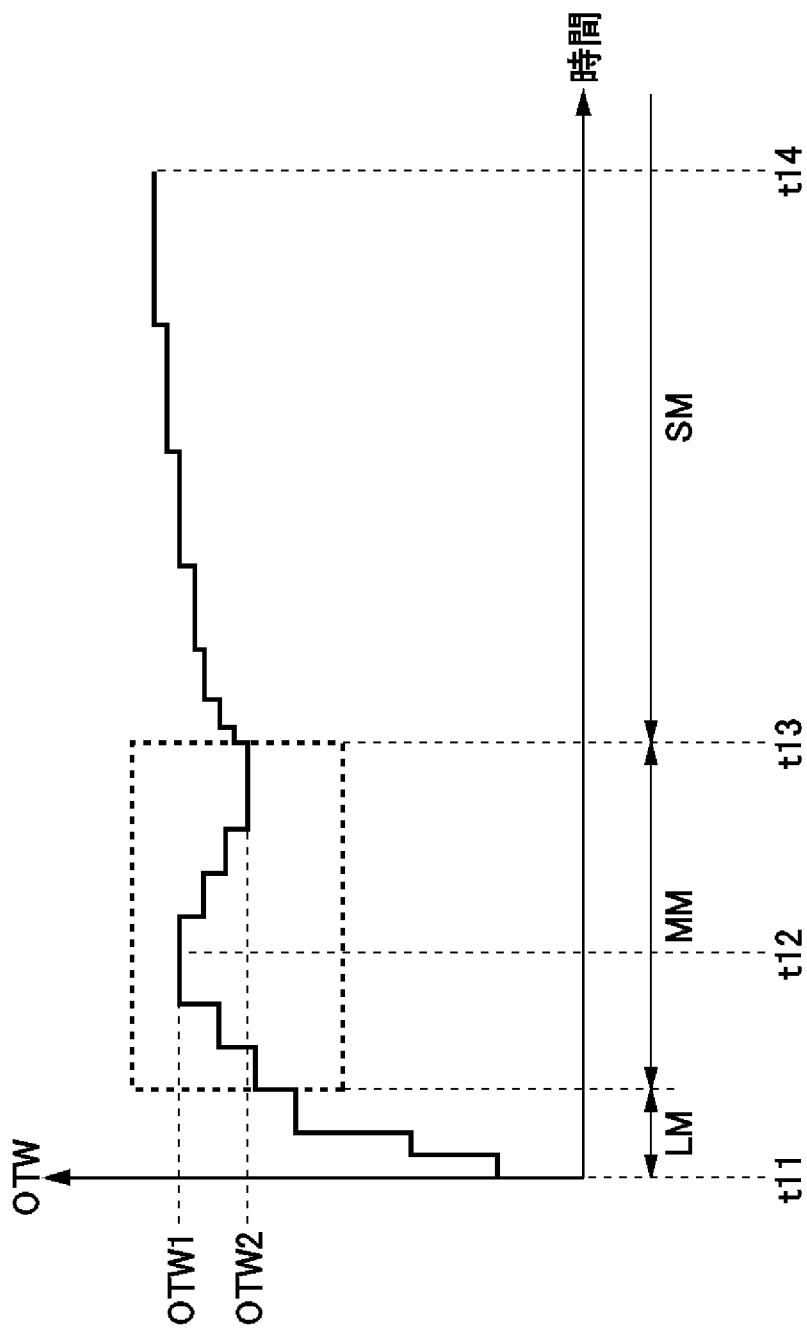


[図7]

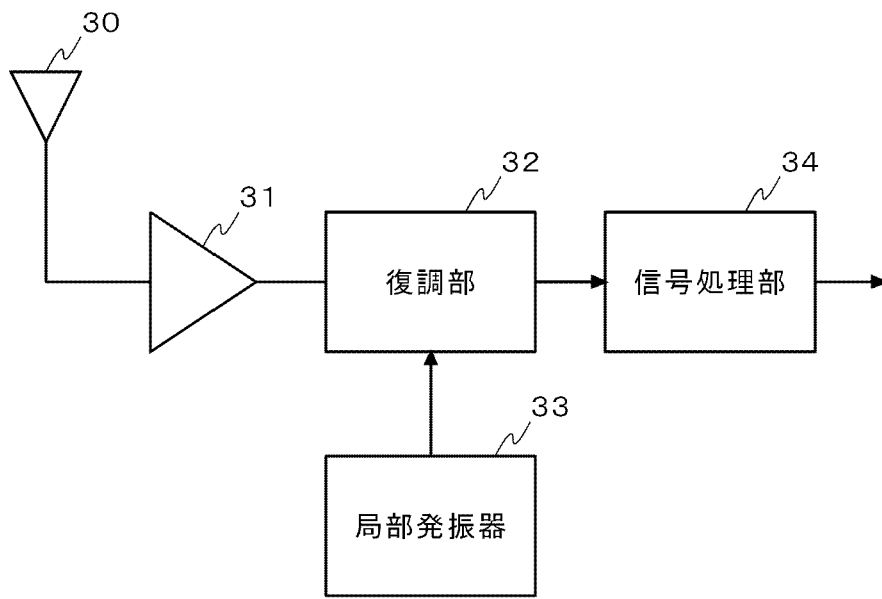




[図8]



[図9]

200



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/004255

A. CLASSIFICATION OF SUBJECT MATTER  
H03L7/107(2006.01) i, H03L7/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H03L7/06-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010  
 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-21954 A (Panasonic Corp.), 29 January 2009 (29.01.2009), entire text; all drawings & US 2009/0052508 A1	1-6
A	US 2003/0133522 A1 (Texas Instruments Inc.), 17 July 2003 (17.07.2003), paragraphs [0202] to [0204]; fig. 31 & US 2003/0107442 A1 & US 2003/0141936 A1 & EP 1351397 A2	1-6
A	JP 2009-81740 A (Sony Corp.), 16 April 2009 (16.04.2009), entire text; all drawings & US 2009/0079508 A1	1-6

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
27 August, 2010 (27.08.10)

Date of mailing of the international search report  
14 September, 2010 (14.09.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004255

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-204160 A (Texas Instruments Inc.), 19 July 2002 (19.07.2002), entire text; all drawings & US 2002/0094052 A1 & EP 1217745 A2	1-6
A	"TV Tuner-yo ADPLL no Kento", Tomoyuki TANABE et al., Proceedings of the 2009 IEICE General Conference Electronics 2, page 132, The Institute of Electronics, Information and Communication Engineers, 04 March 2009 (04.03. 2009)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03L7/107(2006.01)i, H03L7/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03L7/06-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-21954 A (パナソニック株式会社) 2009.01.29, 全文, 全図 & US 2009/0052508 A1	1-6
A	US 2003/0133522 A1 (Texas Instruments Incorporated) 2003.07.17, 段落[0202]-[0204], 図31 & US 2003/0107442 A1 & US 2003/0141936 A1 & EP 1351397 A2	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

27.08.2010

国際調査報告の発送日

14.09.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

上田 智志

電話番号 03-3581-1101 内線 3574

5W

3664

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-81740 A (ソニー株式会社) 2009. 04. 16, 全文, 全図 & US 2009/0079508 A1	1-6
A	JP 2002-204160 A (テキサス インストルメンツ インコーポレイ テッド) 2002. 07. 19, 全文, 全図 & US 2002/0094052 A1 & EP 1217745 A2	1-6
A	「TVチューナ用ADPLLの検討」, 田辺朋之, 他9名, 電子情報通信学会2009年総合大会講演論文集 エレクトロニク ス2, pp. 132, 社団法人電子情報通信学会, 2009. 03. 04	1-6