

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年4月14日(14.04.2011)

PCT

(10) 国際公開番号  
WO 2011/043432 A1

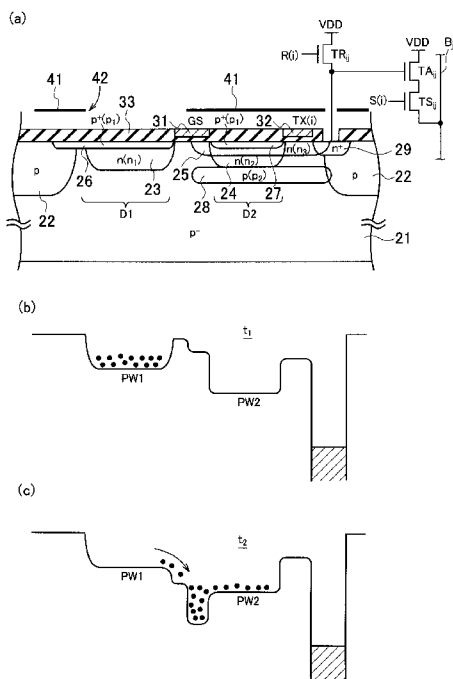
- (51) 国際特許分類:  
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2010/067672
- (22) 国際出願日: 2010年10月7日(07.10.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-235208 2009年10月9日(09.10.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(National University Corporation Shizuoka University) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 安富 啓太 (YASUTOMI, Keita) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT AND SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 半導体素子及び固体撮像装置

[図2]



(57) Abstract: Disclosed are a semiconductor element and a solid-state image pickup device which are each provided with a p-type substrate region (21), an n-type charge generation buried region (23) that is buried in part of the upper portion of the substrate region (21) and forms a first potential valley (PW1) so as to configure the substrate region (21) and a photodiode (D1), an n-type accumulation region (24) that is buried apart from the charge generation buried region (23) and forms a second potential valley (PW2) deeper than the first potential valley (PW1), a transfer gate insulation film (33) that is provided between the charge generation buried region (23) and the accumulation region (24), a transfer gate electrode (31) that is provided on the transfer gate insulation film (33) and controls the potential of a transfer channel formed in the substrate region (21) between the charge generation buried region (23) and the accumulation region (24), and a stair potential formation means that forms an electron shutter potential barrier having a stepped potential shape in the transfer channel, and enable the implementation of complete transfer of charge and the securement of a sufficient number of accumulated electrons.

(57) 要約: p型の基体領域(21)と、基体領域(21)とフォトダイオード(D1)を構成するように、基体領域(21)の上部の一部に埋め込まれ第1のポテンシャル谷(PW1)を形成するn型の電荷生成埋込領域(23)と、電荷生成埋込領域(23)から離間して埋め込まれ、第1のポテンシャル谷(PW1)よりも深い第2のポテンシャル谷(PW2)を形成するn型の蓄積領域(24)と、電荷生成埋込領域(23)と蓄積領域(24)との間に設けられた転送ゲート絶縁膜(33)と、転送ゲート絶縁膜(33)の上に設けられ、電荷生成埋込領域(23)と蓄積領域(24)との間の基体領域(21)に

成される転送チャネルの電位を制御する転送ゲート電極(31)と、転送チャネル中に、段差状ポテンシャル形状をなす電子シャッター用電位障壁を形成する階段ポテンシャル形成手段とを備え、電荷の完全転送を実現でき、十分な蓄積電子数を確保できる半導体素子及び固体撮像装置を提供する。

WO 2011/043432 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称**：半導体素子及び固体撮像装置

### 技術分野

[0001] 本発明は、光が生成した電子を転送、蓄積する機能を持った半導体素子、及びこの半導体素子を1次元又は2次元に周期的に配列した固体撮像装置に関する。

### 背景技術

[0002] CMOSイメージセンサにおいては、ローリングシャッタ動作が基本であるが、グローバル（全画素同時）電子シャッタ、リセットノイズ除去の機能を有するCMOSイメージセンサが提案されている（特許文献1参照。）。この様な全画素同時電子シャッタ機能を有するCMOSイメージセンサとして、特許文献1では、一部にCCDの構造を有し、電荷を保持するため、埋め込み型のMOSキャパシタを用いて低暗電流化を図っている。

[0003] 又、CCD構造を用いずに、埋め込み型の蓄積ダイオードを使用して電荷を保持するCMOSイメージセンサが提案されている（特許文献2，3参照）。特許文献2に記載されたCMOSイメージセンサでは、フォトダイオードと蓄積ダイオードのn型ドーピング濃度を変えることによって発生した空乏電位差を利用して、電荷の転送を行っている。特許文献3に記載されたCMOSイメージセンサでは、シャッタゲートの制御により、フォトダイオードと蓄積ダイオードの2つのダイオードで電荷がシェアされて、フォトダイオードで発生した電荷の一部が蓄積ダイオードに移動する動作を利用し、フォトダイオードと蓄積ダイオードが同じドーピング濃度を有し、空乏化電位の差がない場合でも電子シャッタ動作がなされる。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2004-111590号公報

特許文献2：特開2008-103647号公報

特許文献3：米国特許第7361877号明細書

## 発明の概要

### 発明が解決しようとする課題

[0005] しかしながら、特許文献1は、ゲート下のn型埋め込み層のみを用いて、電荷の蓄積を行うため、不純物密度を十分高くする必要がある。更に、その表面をホールで満たし、ピンングによって暗電流を低減させるために、ゲートに大きな負電圧を印加しなければならない。大きな負電圧を発生させることは容易ではない。又、特許文献2、3は、フォトダイオードから、蓄積ダイオードに電荷を完全に転送するために、2つの埋め込みダイオードの空乏化電位（電位井戸）の差を大きくする必要があり、十分な蓄積ダイオードの容量を用意するため、電源電圧を高くする必要がある。更に、特許文献3では、蓄積ダイオードを囲うようにp型ドーピングがされているため、電位障壁が発生し、フォトダイオードから蓄積ダイオードへの電荷の完全転送が困難である。特許文献3は、フォトダイオードで発生した電荷を蓄積ダイオードとでシェアし、その際に蓄積ダイオードに移動した一部の電荷を利用して電子シャッタ機能を実現している。よって、光で発生した電荷の一部はフォトダイオードに残留し、ドレインに排出されるので、CMOSイメージセンサの感度が低下する。

[0006] 本発明は、転送ゲートの両側に形成されるポテンシャル谷の電位差が小さくても電荷の完全転送を実現でき、十分な蓄積電荷を確保できる半導体素子、及びこの半導体素子をセンサ要素（画素）として用いた固体撮像装置を提供することを目的とする。

### 課題を解決するための手段

[0007] 上記目的を達成するために、本発明の第1の態様は、(a) 第1導電型の半導体からなる基体領域と、(b) 基体領域とフォトダイオードを構成するように、基体領域の上部の一部に埋め込まれ、基体領域に第1のポテンシャル谷を形成する第2導電型の電荷生成埋込領域と、(c) 基体領域の上部の一部に、電荷生成埋込領域から離間して埋め込まれ、フォトダイオードが生

成した信号電荷を移動させる場の方向を深さ方向として、第1のポテンシャル谷よりも深い第2のポテンシャル谷を形成する第2導電型の蓄積領域と、

(d) 電荷生成埋込領域と蓄積領域との間の基体領域の表面に設けられた転送ゲート絶縁膜と、(e) この転送ゲート絶縁膜の上に設けられ、電荷生成埋込領域と蓄積領域との間の基体領域に形成される転送チャンネルの電位を制御する転送ゲート電極と、(f) 転送チャンネル中の第1のポテンシャル谷と第2のポテンシャル谷との間に、第1のポテンシャル谷側の頂部に比し第2のポテンシャル谷側が電位障壁低減方向に1段低くなった肩部をなす、段差状の電子シャッタ用電位障壁を形成する階段ポテンシャル形成手段とを備える半導体素子であることを要旨とする。この第1の態様に係る半導体素子においては、転送ゲート電極に印加する電圧により、頂部と肩部の定性的な段差関係を維持しながら、電子シャッタ用電位障壁の頂部の高さを変化させ、電荷生成埋込領域から蓄積領域へ信号電荷を転送することを特徴とする。

[0008] 本発明の第2の態様は、(a) 第1導電型の基体領域と、(b) 基体領域とフォトダイオードを構成するように、基体領域の上部の一部に埋め込まれ、基体領域に第1のポテンシャル谷を形成する第2導電型の電荷生成埋込領域と、(c) 基体領域の上部の一部に、電荷生成埋込領域から離間して埋め込まれ、フォトダイオードが生成した信号電荷を移動させる場の方向を深さ方向として、第1のポテンシャル谷よりも深い第2のポテンシャル谷を形成する第2導電型の蓄積領域と、(d) 電荷生成埋込領域と蓄積領域との間の基体領域の表面に設けられた転送ゲート絶縁膜と、(e) この転送ゲート絶縁膜の上に設けられ、電荷生成埋込領域と蓄積領域との間の基体領域に形成される転送チャンネルの電位を制御する転送ゲート電極と、(f) 転送チャンネル中の第1のポテンシャル谷と第2のポテンシャル谷との間に、第1のポテンシャル谷側の頂部に比し第2のポテンシャル谷側が電位障壁低減方向に1段低くなった肩部をなす、段差状の電子シャッタ用電位障壁を形成する階段ポテンシャル形成手段とを備える画素を複数配列した固体撮像装置であることを要旨とする。この第2の態様に係る固体撮像装置においては、それぞれ

の画素の転送ゲート電極に電圧を同時に印加することにより、それぞれの画素において、頂部と肩部の定性的な段差関係を維持しながら、電子シャッタ用電位障壁の頂部の高さを変化させ、それぞれの画素の電荷生成埋込領域から蓄積領域へ信号電荷を転送して、グローバル電子シャッタの動作をすることを特徴とする。

### 発明の効果

[0009] 本発明によれば、転送ゲートの両側に形成されるポテンシャル谷の電位差が小さくても電荷の完全転送を実現でき、十分な蓄積電子数を確保できる半導体素子、及びこの半導体素子をセンサ要素（画素）として用いた固体撮像装置を提供できる。

### 図面の簡単な説明

[0010] [図1]本発明の第1の実施の形態に係る固体撮像装置（2次元イメージセンサ）の半導体チップ上のレイアウトを説明する模式的平面図である。

[図2]図2（a）は、本発明の第1の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する模式的な断面図である。図2（b）は、下方向を電位（ポテンシャル）の正方向として表現した、図2（a）に対応する、信号電荷（電子）に対するポテンシャル図である。図2（c）は、信号電荷（電子）の転送の様子を説明するポテンシャル図である。

[図3]図3（d）は、下方向を電位の正方向として、信号電荷（電子）の転送の様子を説明するポテンシャル図である。図3（e）は、下方向を正方向として、信号電荷（電子）の転送の様子を説明するポテンシャル図である。

[図4]本発明の第1の実施の形態に係る固体撮像装置の読み出し方法を説明するタイミングチャートある。

[図5]図5（a）、図5（b）、図5（c）は、本発明の第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。

[図6]図6（d）、図6（e）、図6（f）は、本発明の第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。

[図7]図7（a）は、本発明の第5の実施の形態に係る固体撮像装置の画素の

一部となる半導体素子の構成を説明する模式的な断面図である。図7（b）は、下方向を電位の正方向として示した、図7（a）に対応する、信号電荷（電子）に対するポテンシャル図である。

[図8]図8（a）は、本発明の第6の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する模式的な断面図である。図8（b）は、下方向を正方向として示した、図8（a）に対応するポテンシャル図である。図8（c）は、下方向を正方向として示した、信号電荷（電子）の排出の様子を説明するポテンシャル図である。

[図9]本発明の第6の実施の形態に係る固体撮像装置のシャッタ時間を制御する方法を説明するタイミングチャートである、

[図10]図10（a）は、図8（a）に示す半導体素子の平面図の一例である。図10（b）は、図10（a）に示す半導体素子に、転送ゲート電極に制御信号として異なる電圧を与えた場合の水平方向のポテンシャル図である。図10（c）は、図10（a）に示す半導体素子に、転送ゲート電極に制御信号として異なる電圧を与えた場合の基板の深さ方向のポテンシャル図である。

[図11]図11（a）は、第2の実施の形態に係る半導体素子の構成を説明する模式的な断面図である。図11（b）は、下方向を電位の正方向として示した、図11（a）に対応する、信号電荷（電子）に対するポテンシャル図である。

[図12]図12（a）は、第3の実施の形態に係る半導体素子の構成を説明する模式的な断面図である。図12（b）は、下方向を電位の正方向として示した、図12（a）に対応する、信号電荷（電子）に対するポテンシャル図である。

[図13]図13（a）は、第4の実施の形態に係る半導体素子の構成を説明する模式的な断面図である。図13（b）は、下方向を電位の正方向として示した、図13（a）に対応する、信号電荷（電子）に対するポテンシャル図である。

## 発明を実施するための形態

[0011] 次に、図面を参照して、本発明の第1～第6の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0012] 又、以下に示す第1～第6の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、高速動画像の撮像装置、高速現象をブレなく撮像するための静止画の撮像装置等の種々の固体撮像装置に適用可能である。又、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでなく、本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0013] (第1の実施の形態)

本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)は、図1に示すように、画素アレイ部1と周辺回路部(2, 3, 4, 5, 6)とを同一の半導体チップ上に集積化している。画素アレイ部1には、2次元マトリクス状に多数の画素 $X_{ij}$ ( $i=1\sim m$ ;  $j=1\sim n$ ;  $m, n$ はそれぞれ整数である。)が配列されており、例えば、方形状の撮像領域を構成している。画素アレイ部1の下辺部には、画素行 $X_{11}\sim X_{1m}$ ;  $\dots$ ;  $X_{i1}\sim X_{im}$ ;  $\dots$ ;  $X_{(n-2)1}\sim X_{(n-2)m}$ ;  $X_{(n-1)1}\sim X_{(n-1)m}$ ;  $X_{n1}\sim X_{nm}$ 方向に沿って水平シフトレジスタ2が設けられ、画素アレイ部の左辺部には画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}$ ;  $X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}$ ;  $X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}$ ;  $\dots$ ;  $X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}$ ;  $\dots$ ;  $X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 方向に沿って垂直シフトレジスタ3が設けられている。垂直シフトレジスタ3及び



水平シフトレジスタ 2 には、タイミング発生回路 4 が接続されている。

[0014] これらのタイミング発生回路 4 及び水平シフトレジスタ 2 及び垂直シフトレジスタ 3 によって画素アレイ部 1 内の単位画素  $X_{ij}$  が順次走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、本発明の第 1 の実施の形態に係る固体撮像装置では、画素アレイ部 1 を各画素行  $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$  単位で垂直方向に走査することにより、各画素行  $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$  の画素信号を各画素列  $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$  毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。各垂直信号線から読み出された画素信号は、信号処理回路 5 のノイズキャンセル回路  $CDS_1 \sim CDS_m$  において信号処理された後、アンプ 6 を介して、撮像信号  $V_2$  として図示を省略した外部回路に出力される。

[0015] 第 1 の実施の形態に係る固体撮像装置のそれぞれの画素  $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$  として機能する半導体素子の断面構造の一例を図 2 (a) に示す。

[0016] 図 2 (a) に示すように、画素  $X_{ij}$  としての半導体素子は、第 1 導電型 (p 型) の半導体からなる基体領域 2 1 と、基体領域 2 1 の上部に埋め込まれ、光を入射する第 2 導電型 (n 型) の電荷生成埋込領域 (カソード領域) 2 3 と、基体領域 2 1 の上部の一部に電荷生成埋込領域 (カソード領域) 2 3 と離間して埋め込まれ、信号電荷を移動させる場の方向を深さ方向として定義して、電荷生成埋込領域 2 3 のポテンシャル谷 (電子井戸) の底よりもポテンシャル谷の底の深さが深く (図 2 (b)、図 2 (c)、図 3 (d)、図 3 (e) 参照。)、電荷生成埋込領域 2 3 が生成した電荷を蓄積する第 2 導電型 (n+型) の蓄積領域 2 4 と、基体領域 2 1 の上部の一部に蓄積領域 2 4 と離間して埋め込まれ、蓄積領域 2 4 が蓄積した電荷を受け入れる第 2 導電型

( $n^+$ 型)の読み出し領域29と、基体領域21の上部の、電荷生成埋込領域23と蓄積領域24との間の一部から、蓄積領域24と読み出し領域29との間に渡って配置される第2導電型( $n$ 型)で、蓄積領域24より低不純物密度のキャパシタ形成領域25とを備える。電子はポテンシャルの高い方向に向かって移動し、正孔はポテンシャルの低い方向に向かって移動する。よって、「信号電荷を移動させる場の方向」とは、電子に対しては電気力線とは反対の方向を意味し、正孔に対しては電気力線の方向を意味する。電荷生成埋込領域23、蓄積領域24、読み出し領域29を囲むように、基体領域21より高不純物密度の第1導電型のウェル( $p$ ウェル)22が形成されている。蓄積領域24の下方には、上方から見た平面パターンがキャパシタ形成領域25と一致するように、ブロック層28が形成されている。図2(a)では「第1導電型の基体領域」として、第1導電型( $p$ 型)の基体領域21を用いる場合を例示しているが、基体領域21の代わりに、第1導電型の半導体基板上に、半導体基板よりも低不純物密度の第1導電型のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体からなる基体領域21として採用しても良く、第2導電型( $n$ 型)の半導体基板上に、第1導電型( $p$ 型)のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体からなる基体領域21として採用しても良い。第2導電型( $n$ 型)の半導体基板上に、 $pn$ 接合を形成するように、第1導電型( $p$ 型)のエピタキシャル成長層を形成すれば、長い波長の場合光が、第2導電型の半導体基板深くまで浸入するが、第2導電型の半導体基板で発生した光によるキャリアは、 $pn$ 接合のビルトインポテンシャルによる電位障壁のため第1導電型のエピタキシャル成長層まで入って来られないので、第2導電型の半導体基板深くで発生したキャリアを積極的に捨てることができる。これによって、深い位置で発生したキャリアが拡散で戻ってきて、隣の画素に漏れ込むのを防ぐことが可能になる。これは特に、RGBのカラーフィルタが搭載された単板カラーのイメージセンサの場合に、色の混合を起こさないようにできる効果を奏する。

- [0017] ブロック層 28 は、第 1 の実施の形態に係る固体撮像装置が受光する波長が長い場合において、基体領域 21 の深くで発生した電子が表面に拡散によって戻ってくる場合、その一部が、蓄積領域 24 に取り込まれるのをブロックすることができる。このため、例えば近赤外光など、使用する光の波長が長い場合であっても、転送ゲート電極 31 の電位制御による発生電子の蓄積領域 24 への転送の変調特性に対する、基体領域 21 の深くで発生した電子が表面に拡散によって戻ってくる影響を抑制することが可能である。
- [0018] 電荷生成埋込領域（カソード領域）23 と、電荷生成埋込領域（カソード領域）23 の直下の基体領域（アノード領域）21 とで第 1 の埋め込みフォトダイオード（以下において、単に「フォトダイオード」という。）D1 を構成している。蓄積領域（カソード領域）24 と、蓄積領域 24 の直下の基体領域（アノード領域）21 とで第 2 の埋め込みフォトダイオード（以下において「電荷蓄積ダイオード」という。）D2 を構成している。
- [0019] ウェル 22 の一部から電荷生成埋込領域 23 の上部に渡り、 $p^+$  型の第 1 のピニング層 26 が、蓄積領域 24 の上部に  $p^+$  型の第 2 のピニング層 27 が配置されている。第 1 のピニング層 26 及び第 2 のピニング層 27 は、ダーク時の表面でのキャリアの生成を抑制する層であり、ダーク電流削減のために好ましい層として用いている。
- [0020] 基体領域 21 の上にはゲート絶縁膜 33 が形成されている。ゲート絶縁膜 33 としては、シリコン酸化膜（ $SiO_2$  膜）が好適であるが、シリコン酸化膜以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ（MIS トランジスタ）の絶縁ゲート構造をなしても良い。例えば、シリコン酸化膜／シリコン窒化膜（ $Si_3N_4$  膜）／シリコン酸化膜の 3 層積層膜からなる ONO 膜でも良い。更には、ストロンチウム（Sr）、アルミニウム（Al）、マグネシウム（Mg）、イットリウム（Y）、ハフニウム（Hf）、ジルコニウム（Zr）、タンタル（Ta）、ビスマス（Bi）のいずれか 1 つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜 33 として使用可能である。

[0021] ゲート絶縁膜（転送ゲート絶縁膜）33上には、電荷生成埋込領域23と蓄積領域24との間に形成される転送チャネルの電位を制御して、電荷生成埋込領域23から、電荷生成埋込領域23が生成した電子を蓄積領域24へ電荷を転送し、グローバル電子シャッタの動作をさせる転送ゲート電極（電子シャッタ用ゲート電極）31と、蓄積領域24と読み出し領域29との間に形成される転送チャネルの電位を制御して、蓄積領域24から読み出し領域29へ電荷を転送する読み出しゲート電極32が配置されている。ゲート絶縁膜（転送ゲート絶縁膜）33とゲート絶縁膜（転送ゲート絶縁膜）33上の転送ゲート電極31とで、電荷生成埋込領域23と蓄積領域24との間の基体領域21の上部に形成されるチャネルの電位を制御して、電荷生成埋込領域23から蓄積領域24へ電荷を排出する第1の電位制御手段（31, 33）を構成している。又、ゲート絶縁膜（読み出しゲート絶縁膜）33とゲート絶縁膜（読み出しゲート絶縁膜）33上の読み出しゲート電極32とで、蓄積領域24と読み出し領域29との間の基体領域21の上部に形成されるチャネルの電位を制御して、蓄積領域24から読み出し領域29へ電荷を転送する第2の電位制御手段（32, 33）を構成している。

[0022] 転送ゲート電極31の下方の蓄積領域24側の一部には、基体領域21の上部にキャパシタ形成領域25が配置されており、この転送ゲート電極31がキャパシタ形成領域25に対向する部分とキャパシタ形成領域25とが、ゲート絶縁膜33を隔てて平行平板構造を構成する領域は、第1のMOSキャパシタ（31, 33, 25）を構成している。キャパシタ形成領域25は、第1のMOSキャパシタ（31, 33, 25）の領域から、読み出しゲート電極32の下方に位置する基体領域21の上部に渡って配置されており、読み出しゲート電極32、ゲート絶縁膜33、キャパシタ形成領域25とで、第1のMOSキャパシタ（31, 33, 25）と同様に、第2のMOSキャパシタ（32, 33, 25）を構成している。

[0023] 図2（b）、図2（c）、図3（d）、図3（e）は、図2（a）の断面図において、電荷生成埋込領域23、蓄積領域24、キャパシタ形成領域2

5、読み出し領域29を含む水平面で切った断面におけるポテンシャル図であり、電荷（電子）を黒丸で示している。図2（a）に対応して、図2（b）の中央の電位障壁（電子シャッタ用電位障壁）の左側に、電荷生成埋込領域23の伝導帯端のポテンシャル谷（第1のポテンシャル谷）PW1を示す。一方、第1のポテンシャル谷PW1の右側に電位障壁（電子シャッタ用電位障壁）を隔てて、蓄積領域24の伝導帯端のポテンシャル谷（第2のポテンシャル谷）PW2を示す。

[0024] 第1の実施の形態に係る固体撮像装置の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる信号電荷が電子である場合を例示的に説明している。このため、図2（b）、図2（c）、図3（d）、図3（e）に示すポテンシャル図において、図の下方向（深さ方向）が、電位（ポテンシャル）の正方向として表現しており、下方向がフォトダイオードが生成した信号電荷を移動させる場の方向である。したがって、第1導電型をn型、第2導電型をp型として、電気的な極性を反対とする場合においては、処理される信号電荷が正孔となるが、正孔に対しては、半導体素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状等は、図の下方向（深さ方向）を、電位の負方向として表現される。しかし、信号電荷が正孔の場合も、ポテンシャル（電位）的には逆となるが、図2（b）、図2（c）、図3（d）、図3（e）の下方向がフォトダイオードが生成した信号電荷（正孔）を移動させる場の方向である。

[0025] 第1のポテンシャル谷PW1と、第2のポテンシャル谷PW2との間には、頂部とこの頂部の右側でこの頂部より低い肩部とで段差を付けた、段差状の電位障壁（電子シャッタ用電位障壁）を形成している。即ち、電子シャッタ用電位障壁は、第2のポテンシャル谷PW2側の、第1のMOSキャパシタ（31, 33, 25）に相当する部分が第1のポテンシャル谷PW1側の頂部より深くなり、段差状（ステップ状）の肩部をなしている。第1のポテンシャル谷PW1側の、第1のMOSキャパシタ（31, 33, 25）の左側のキャパシタ形成領域25がない領域の転送ゲート電極31の直下に相当

する部分が肩部より高い頂部をなしている。よって、第1のポテンシャル谷PW1と、第2のポテンシャル谷PW2との間に設けられる段差状の電位障壁（電子シャッタ用電位障壁）は、転送ゲート電極31直下の基体領域21の伝導帯端のポテンシャル分布に相当し、転送ゲート電極31に与えられる制御信号GSの電圧によって、定性的な頂部と肩部の相対的な段差関係を維持したまま、その頂部の高さを変化させる。

[0026] 更に、第2のポテンシャル谷PW2の右側に、読み出し領域29のポテンシャル井戸を示す。読み出し領域29のポテンシャル井戸において、右上がりのハッチングをした部分が電子が充満したポテンシャルレベルで、この右上がりのハッチングをした部分の上端がフェルミレベルの位置である。よって、右上がりのハッチングをした部分の上端の位置が、読み出し領域29がなすポテンシャル井戸の底の位置に相当する。第2のポテンシャル谷PW2と、読み出し領域29のポテンシャル井戸との間の電位障壁（読み出し用電位障壁）は、読み出しゲート電極32直下の基体領域21の伝導帯端のポテンシャル分布に相当する。第1の実施の形態に係る固体撮像装置は、制御信号GSが全画素の転送ゲート電極（電子シャッタ用ゲート電極）31のそれぞれに同時に与えられ、それぞれの電荷生成埋込領域23が生成した電子をそれぞれの蓄積領域24へ電荷をそれぞれ転送し、グローバル電子シャッタの動作をする。

[0027] 図2（b）、図2（c）、図3（d）、図3（e）に示すように、電荷生成埋込領域23の完全空乏化したときの第1のポテンシャル谷PW1の深さが、蓄積領域24の完全空乏化したときの第2のポテンシャル谷PW2の深さよりも浅くなるようにするためには、例えば、電荷生成埋込領域23の不純物密度よりも蓄積領域24の不純物密度が高くなるように、それぞれの不純物密度を選べば良い。電荷生成埋込領域23の不純物密度よりも蓄積領域24の不純物密度を高く設定する方法は、公知の種々の方法が採用可能である。

[0028] 第1のポテンシャル谷PW1と第2のポテンシャル谷PW2との間の電子

シャッタ用電位障壁の頂部の高さ、第2のポテンシャル谷PW2と読み出し領域29のポテンシャル井戸との間の読み出し用電位障壁の高さは、それぞれ転送ゲート電極31、読み出しゲート電極32にそれぞれ印加される制御信号GS、制御信号TXとしての電圧によって変化する。

- [0029] 図2(a)に示すように、画素 $X_{ij}$ の読み出し領域29には、読み出し用バッファアンプを構成する信号読み出しトランジスタ(増幅トランジスタ)TA $_{ij}$ のゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)TA $_{ij}$ のドレイン電極は電源VDDに接続され、ソース電極は画素選択用のスイッチングトランジスタTS $_{ij}$ のドレイン電極に接続されている。画素選択用のスイッチングトランジスタTS $_{ij}$ のソース電極は、垂直信号線B $_j$ に接続され、ゲート電極には水平ラインの選択用制御信号S(i)が垂直シフトレジスタ3から与えられる。選択用制御信号S(i)をハイ(H)レベルにすることにより、スイッチングトランジスタTS $_{ij}$ が導通し、信号読み出しトランジスタ(増幅トランジスタ)TA $_{ij}$ で増幅された読み出し領域29の電位に対応する電流が垂直信号線B $_j$ に流れる。更に、読み出し領域29には、読み出し用バッファアンプを構成するリセットトランジスタTR $_{ij}$ のソース電極が接続されている。リセットトランジスタTR $_{ij}$ のドレイン電極は電源VDDに接続され、ゲート電極にはリセット信号R(i)が与えられる。リセット信号R(i)をハイ(H)レベルにして、読み出し領域29に蓄積された電荷を吐き出し、読み出し領域29をリセットする。

- [0030] <固体撮像装置の動作>

本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)の動作を、図4に示したタイミングチャートと、図2(b)、図2(c)、図3(d)、図3(e)を用いて説明する。図2(b)、図2(c)、図3(d)、図3(e)は、それぞれ図4に示した時刻 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ に対応するポテンシャル図となっている。

- [0031] (イ) 先ず、図4に示す時刻 $t_1$ において、転送ゲート電極31に制御信号GSとして低い電圧(0V、又は-1V程度の負電圧)を与えると、図2(

b) に示すように、電荷生成埋込領域 23 と蓄積領域 24 との間に、電子に対する段差状の電子シャッタ用電位障壁が形成され、電荷生成埋込領域 23 で発生した電子（電荷）は、蓄積領域 24 に転送されずに、電荷生成埋込領域 23 内に蓄積される。制御信号 GS は、全画素同時に入力され、グローバル電子シャッタとして動作する。

[0032] (ロ) 次に、時刻  $t_2$  において、転送ゲート電極 31 に制御信号 GS として高い電圧（正の電圧）を与えると、図 2 (c) に示すように電荷生成埋込領域 23 と蓄積領域 24 との間の電子シャッタ用電位障壁の頂部の位置が、頂部と肩部の相対的な段差関係を維持したまま、信号電荷を移動させる場の方向にシフトする。即ち、図 2 (c) は、図の下方向を電位（ポテンシャル）の正方向として表現した電子に対するポテンシャル図であるので、電子シャッタ用電位障壁の頂部の電子に対する電位が上がる（なお、第 1 導電型を n 型、第 2 導電型を p 型として、信号電荷が正孔となる場合であれば、図 2 (c) は、図の上方向が電位（ポテンシャル）の正方向として表現されるので、電子シャッタ用電位障壁の頂部の正孔に対する電位は下がる。）。時刻  $t_1$  における第 1 のポテンシャル谷 PW1 と第 2 のポテンシャル谷 PW2 との間の電子シャッタ用電位障壁は段差部を有するので、時刻  $t_2$  において、図 2 (c) に示すように頂部の位置の信号電荷（電子）を移動させる場の方向に沿った移動（電位の正方向への移動）に伴い、蓄積領域 24 に隣接する第 1 の MOS キャパシタ（31, 33, 25）に相当する肩部の高さが第 2 のポテンシャル谷 PW2 より、信号電荷を移動させる場の方向に深くなり（電子に対する電位が上がり）、この深くなった部分が信号電荷（電子）に対する井戸状のポテンシャル分布の形状となる。なお、図 2 (c) では、図 2 (b) に示した形状に比して、肩部側がより深い形状となり、頂部と肩部との差が大ききを状況を図示しているが、この場合も、定性的には、頂部と肩部の相対的な段差関係は維持されている。このため、電荷生成埋込領域 23 で発生した電子は、第 1 の MOS キャパシタ（31, 33, 25）がなすポテンシャル井戸に転送される。井戸状のポテンシャル分布形状に、第 2 のポテンシ



ル谷PW2が連続して形成されているので、信号電荷量が多い場合であっても、電子は第1のMOSキャパシタ(31, 33, 25)がなすポテンシャル井戸から溢れて、直接、蓄積領域24がなすポテンシャル谷に蓄積されるので、電荷生成埋込領域23がなすポテンシャル谷側に信号電荷が残存することが防げる。よって、電荷蓄積ダイオードD2の容量を大きく設計すれば、第1のMOSキャパシタ(31, 33, 25)の容量を小さくできる。

[0033] (ハ) 時刻  $t_3$  において、転送ゲート電極31に制御信号GSとして低い電圧(0V、又は-1V程度の負電圧)を与えると、図3(d)に示すように、電荷生成埋込領域23と蓄積領域24との間において、再び頂部と肩部の相対的な段差関係を維持したまま、電子シャッタ用電位障壁の頂部の高さが、電位障壁の高さを高くする方向に上昇し、第1のMOSキャパシタ(31, 33, 25)がなすポテンシャル井戸に蓄積されていた電子を含めて、すべての電子が蓄積領域24に転送される。第1のMOSキャパシタ(31, 33, 25)がなすポテンシャル井戸を介することにより、第1のポテンシャル谷PW1と第2のポテンシャル谷PW2との電位差が小さい場合においても、完全に電荷を蓄積領域24に転送できる。このとき、読み出しゲート電極32には、制御信号TX(i)として、低い電圧(0V、又は-1V程度の負電圧)を与えられており、図3(d)に示すように蓄積領域24と読み出し領域29との間に電子に対する読み出し用電位障壁が形成され、蓄積領域24に蓄積された電子は、読み出し領域29に転送されない。

[0034] (ニ) 時刻  $t_4$  において、画素  $X_{11} \sim X_{1m}$  の読み出しゲート電極32に制御信号TX(i)として高い電圧(正の電圧)を与えると、図3(e)に示すように、蓄積領域24と読み出し領域29との間の読み出し用電位障壁の高さが減少、若しくは消滅し、蓄積領域24から読み出し領域29への信号電荷が転送される。この様に、信号電荷を移動させる場の方向を深さ方向として、第1のポテンシャル谷PW1と、第1のポテンシャル谷PW1の空乏化電位より深い空乏化電位の第2のポテンシャル谷PW2と間に、第2のポテンシャル谷PW2側がその左の頂部より深い肩部をなす段差状の電子シャッタ

用電位障壁を設け、この電子シャッタ用電位障壁の頂部を上下させることにより、電荷の完全転送が実現できる。又、信号電荷が十分に小さい場合には、第1のMOSキャパシタ(31, 33, 25)のみで一時的に蓄積できるため、界面準位による信号電荷の捕獲を回避できる。よって、信号電荷の小さい画素において問題となる残像を効果的に抑制することができる。

[0035] 図4に示す蓄積時間 $T_s$ においては、電荷生成埋込領域23への露光による電荷の蓄積と同時に、垂直シフトレジスタ3からの出力によって選択された1行分の画素信号に対し、画素内での電荷転送と同期して、蓄積領域24に蓄積された電荷の読み出し動作が行われる。制御信号GSの立ち上がりの時刻からフレーム周期 $T_f$ が経過すると、次の制御信号GSが入力され、直前のフレームにおいて電荷生成埋込領域23に蓄積された電荷を蓄積領域24に転送する。

[0036] 読み出し動作は、1水平ライン毎に、対応するカラムのノイズキャンセル回路 $CDS_j$ に読み出し領域29の蓄積した信号電荷に依存したレベルを読み出し、ノイズキャンセル回路 $CDS_1 \sim CDS_m$ においてノイズキャンセルを行った後、水平走査を行う。まず、リセット信号 $R(i)$ のパルスを与えて、読み出し領域29をリセットしたときの電圧を $f_R$ パルスによってノイズキャンセル回路 $CDS_j$ がリセット電圧 $V_R$ としてサンプルし、記憶する。リセット電圧 $V_R$ は、読み出し領域29をリセットした際に重畳するリセットノイズ( $kTC$ ノイズ)と呼ばれるランダムノイズ成分と、増幅トランジスタの閾値電圧のばらつきによって画素単位で発生する固定パターンノイズ成分を含んでいる。次いで、制御信号 $TX(i)$ を与えて、電荷生成埋込領域23から蓄積領域24を経て読み出し領域29に信号電荷の転送を行う。読み出し領域29は微小な容量であるため、信号電荷により読み出し領域29の電圧が変化する。このときのソースフォロア出力を信号電圧 $V_S$ としてノイズキャンセル回路 $CDS_1 \sim CDS_m$ がサンプルし、記憶する。

[0037] 信号電圧 $V_S$ とリセット電圧 $V_R$ の差 $\Delta V$ は次式(1)となる：

$$\Delta V = V_R - V_S$$

$$\begin{aligned}
 &= V_R - (V_R - G_{SF} G_C N_{SIG}) \\
 &= G_{SF} G_C N_{SIG} \quad \dots (1)
 \end{aligned}$$

ここで、 $G_{SF}$ はソースフォロアのゲイン、 $G_C$ は電荷電圧変換ゲインであり、次式(2)で表される：

$$G_C = q / C_{FD} \quad \dots (2)$$

$q$ は電気素量、 $C_{FD}$ は読み出し領域29の容量である。式(1)より、リセット電圧 $V_R$ に含まれるノイズ成分は相関二重サンプリング(CDS)によりキャンセルされるため、信号電荷に比例した電圧のみを取り出すことができる。

[0038] 以上のように、第1の実施の形態に係る固体撮像装置は、画素としての半導体素子において、先ず、転送ゲート電極31に制御信号GSを与えることによって、電荷生成埋込領域23に蓄積された電荷を蓄積領域24に転送し、次いで、読み出しゲート電極32に制御信号TXを与えることによって蓄積領域24に蓄積された電荷を読み出し領域29に転送する2段転送の動作をする。

[0039] 第1の実施の形態に係る固体撮像装置は、第1のポテンシャル谷PW1と第2のポテンシャル谷PW2との間に、頂部と肩部とからなる段差状の電子シャッタ用電位障壁を形成する。したがって、第1のポテンシャル谷PW1と第2のポテンシャル谷PW2との電位差が小さい場合であっても、電子シャッタ用電位障壁の段差部に相当する第1のMOSキャパシタ(31, 33, 25)に信号電荷を蓄積できるので、信号電荷が電荷生成埋込領域23に残存することなく、蓄積領域24に完全転送される。又、信号電荷量が多い場合であっても、第1のMOSキャパシタ(31, 33, 25)が電荷を蓄積することにより、信号電荷が電荷生成埋込領域23に残存することなく、電荷を蓄積領域24に完全転送することができる。

[0040] <半導体素子及び固体撮像装置の製造方法>

次に、図2(a)に示した本発明の第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を、半導体素子(画素)に着目しながら、図5～

図6を用いて説明する。尚、以下に述べる半導体素子及び固体撮像装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である：

(イ) 先ず、 $30 \sim 0.65 \Omega \text{ cm}$ 程度（不純物密度  $4 \times 10^{14} \text{ cm}^{-3}$ 程度以上、 $3 \times 10^{16} \text{ cm}^{-3}$ 程度以下）の(100)面を主表面とするp型半導体基板を基体領域21として用意する。このp型の基体領域21の主表面に150nm程度の熱酸化膜(SiO<sub>2</sub>膜)を形成後、フォトレジスト膜を塗布（スピコート）し、これをフォトリソグラフィ技術によりパターニングしてpウェル形成領域を開口する。次に、pウェル形成領域に熱酸化膜を通して $10^{12} \sim 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でボロンイオン(<sup>11</sup>B<sup>+</sup>)をイオン注入する。次に、熱酸化膜のウェル形成領域の部分をエッチング除去する。又、フォトレジスト膜も除去し、所定の清浄化工程を終えてから、約1200°Cでイオン注入されたボロンを熱拡散して、ウェル(pウェル)22を形成する（図5(a)参照。）。このとき周辺回路部及びそれぞれの画素X<sub>ij</sub>の内部に配置される読み出し用バッファアンプにも、同時にウェル(pウェル)22が形成される。又、周辺回路部には、同様にしてnウェル（図示省略。）も形成される。更に、基体領域21の主表面の熱酸化膜をすべて除去（剥離）してから、再び膜厚100nm程度のパッド酸化膜(SiO<sub>2</sub>膜)を基体領域21の主表面に熱酸化法で形成する。その後、CVD法を用いて膜厚200nm程度の窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)を成長させる。この窒化膜の上にフォトリソグラフィ技術によりパターニングされたフォトレジスト膜を形成し、これをマスクに反応性イオンエッチング(RIE)を行って、選択酸化(LOCOS)用の窒化膜のマスクを形成する。

[0041] (ロ) 次に、図示を省略するが、窒化膜を除去してから、素子形成領域に膜厚が数10nmのダミー酸化膜を形成する。そして、フォトリソグラフィ技術により、周辺回路のウェル22をフォトレジスト膜で被覆してからpMOSのゲートしきい値電圧制御(V<sub>th</sub>制御)用の不純物をイオン注入する。次に、フォトレジスト膜を除去してからウェル22以外の領域上に、フォトリ

ソグラフィ技術により、フォトレジスト膜のパターンを形成し、続いて周辺回路及び読み出し用バッファアンプのウェル22と同時に、ウェル22にnMOSのゲートしきい値電圧制御用の不純物をイオン注入する。その後、フォトレジスト膜を除去する。更に、 $V_{th}$ 制御イオン注入イオン注入時の保護膜として使用されたダミー酸化膜を剥離する。

[0042] (ハ) 次に、基体領域21の表面を熱酸化し、酸化膜(SiO<sub>2</sub>膜)からなるゲート絶縁膜71を形成する。そして、図5(a)に示すように、ゲート絶縁膜71上にフォトレジスト膜51を被覆し、フォトリソグラフィ技術を用いて、第2導電型のキャパシタ形成領域25及びブロック層28の領域の上方を開口するように、フォトレジスト膜51に窓部を形成する。フォトレジスト膜51をマスクとして、基体領域21の表面の第2導電型のキャパシタ形成予定領域に対し、活性化後に不純物密度 $n_3$ となるドーズ量で砒素イオン(<sup>75</sup>As<sup>+</sup>)をイオン注入し、続いて、キャパシタ形成予定領域の下方のブロック層予定領域に対し、活性化後に不純物密度 $p_2$ となるドーズ量でホウ素イオン(<sup>11</sup>B<sup>+</sup>)をイオン注入する。図5(a)には破線でキャパシタ形成予定領域25p、ブロック層予定領域28pを示した。その後、フォトレジスト膜51を除去後、活性化アニールをすれば、図5(b)に示すように、キャパシタ形成領域25とブロック層28とが、平面パターン上、同一水平位置に形成される。この様にキャパシタ形成領域25とブロック層28とを同一のマスクによりイオン注入して形成するので、フォトレジスト膜の枚数を減らすことができ、又、マスクずれによる性能のばらつきを低減できる。

[0043] (ニ) 次に、図示を省略するが、ゲート絶縁膜71の全面の上にCVD法によりポリシリコン膜を200~400nm程度堆積し、更に、フォトレジスト膜をポリシリコン膜上に塗布する。そして、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして、RIE等によりポリシリコン膜をエッチングし、転送ゲート電極31の中央部がキャパシタ形成領域25の端部に重なるように、転送ゲート電極31のパターンを形成する。その後、図5(b)に示すように、転送ゲート電極31の形成に用い

たフォトレジスト膜を除去する。

[0044] (ホ) 次に、基体領域 2 1 の上にフォトレジスト膜 5 2 を塗布し、フォトリソグラフィ技術を用いて、電荷生成埋込領域の領域を開口するように、フォトレジスト膜 5 2 に窓部を形成する。そして、図 5 (c) に示すようにフォトレジスト膜 5 2、転送ゲート電極 3 1 をマスクとして、基体領域 2 1 の表面の電荷生成埋込予定領域に対し、砒素イオン ( $^{75}\text{As}^+$ ) を活性化後に不純物密度  $n_1$  となるドーズ量でイオン注入する。図 5 (c) には、破線で電荷生成埋込予定領域 2 3 p を示した。転送ゲート電極 3 1 に関しては、砒素イオン ( $^{75}\text{As}^+$ ) が自己整合的にイオン注入されるので、転送ゲート電極 3 1 にも砒素イオン ( $^{75}\text{As}^+$ ) がイオン注入される。同時に、周辺回路及び読み出し用バッファアンプの p ウェルに設けられる nMOS トランジスタにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的に砒素イオン ( $^{75}\text{As}^+$ ) をイオン注入する。このとき、図示を省略した周辺回路の p ウェル等の上のポリシリコンゲート電極にも砒素イオン ( $^{75}\text{As}^+$ ) がイオン注入される。その後、フォトレジスト膜 5 2 を除去し、転送ゲート電極 3 1 の側面にスペーサ 3 5 を形成し、必要な活性化アニールを追加すれば、図 6 (d) に示すように、不純物密度  $n_1$  の電荷生成埋込領域 2 3 が形成される。

[0045] (ヘ) 次に、フォトリソグラフィ技術を用いて、基体領域 2 1 の上にフォトレジスト膜 5 3 を塗布し、フォトリソグラフィ技術を用いて、蓄積領域を開口するように、フォトレジスト膜 5 3 に窓部を形成する。そして、図 6 (e) に示すようにフォトレジスト膜 5 3、転送ゲート電極 3 1 及びスペーサ 3 5 をマスクとして、基体領域 2 1 の蓄積領域予定領域に対し、砒素イオン ( $^{75}\text{As}^+$ ) を活性化後に不純物密度  $n_2$  となるドーズ量でイオン注入する。図 6 (e) には破線で蓄積領域予定領域 2 4 p を示した。転送ゲート電極 3 1 に関しては、自己整合的に砒素イオン ( $^{75}\text{As}^+$ ) がイオン注入されるので、転送ゲート電極 3 1 にも砒素イオン ( $^{75}\text{As}^+$ ) がイオン注入される。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファアンプの p ウェルに設けられる nMOS トランジスタにも同様に、ポリシリコンゲート電極をマスク

として、自己整合的にイオン注入する。このとき、図示を省略した周辺回路のpウェルに設けられるnMOSトランジスタの上のポリシリコンゲート電極にも砒素イオン ( $^{75}\text{As}^+$ ) がイオン注入される。その後、フォトレジスト膜53を除去する。

[0046] (ト) 次に、フォトリソグラフィ技術を用いて、基体領域21の上に他のフォトレジスト膜54を被覆する。そして、図6(f)に示すようにフォトレジスト膜54、転送ゲート電極31及びスペーサ35をマスクとして、自己整合的に、基体領域21にホウ素イオン ( $^{11}\text{B}^+$ ) を活性化後に不純物密度  $p_1$  となるドーズ量でイオン注入する。図6には破線で第1のピニング層予定領域26p、第2のピニング層予定領域27pを示した。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファアンプのnウェルにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、必要に応じて、図示を省略した周辺回路のnウェル上に設けられるnMOSトランジスタのポリシリコンゲート電極にもホウ素イオン ( $^{11}\text{B}^+$ ) がイオン注入される。その後、新たなフォトレジスト膜を除去して、基体領域21を活性化熱処理(アニール)すれば、基体領域21には、図2(a)に示すように、n型の電荷生成埋込領域23、第1のピニング層26、電荷生成埋込領域23より不純物密度が高いn<sup>+</sup>型の蓄積領域24、第2のピニング層27、n<sup>+</sup>型の読み出し領域29が形成される。同様に、図示を省略した周辺回路のウェル22等にn型ソース/ドレイン領域が形成される。このとき、転送ゲート電極31及び読み出しゲート電極32に注入された燐 ( $^{31}\text{P}^+$ )、砒素 ( $^{75}\text{As}^+$ ) 及びホウ素 ( $^{11}\text{B}^+$ ) も活性化されるので、転送ゲート電極31及び読み出しゲート電極32が低抵抗化する。

[0047] (チ) 次に、図6(f)に続く図の図示を省略するが、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層やゲート電極を形成するポリシリコン膜間の絶縁のため、層間絶縁膜を堆積させる(図2(a)参照。)。この層間絶縁膜は、CVD法により堆積された膜厚0.5 $\mu\text{m}$ 程度の酸化膜(CVD-SiO<sub>2</sub>)と、この酸化膜

(CVD-SiO<sub>2</sub>)の上に、CVD法により堆積された膜厚0.5 μm程度のPSG膜又はBPSG膜の2層構造から構成された複合膜等種々の誘電体膜が使用可能である。CVD法で堆積後、熱処理することにより、この複合膜の上層のBPSG膜は、リフローされて層間絶縁膜の表面が平坦化される。この上部に、フォトリソグラフィ技術を用いてパターニングされたフォトレジスト膜をマスクにして、RIE若しくはECRイオンエッチング等により層間絶縁膜をエッチングし、金属配線層とトランジスタを接続するコンタクト孔を形成する。その後、このコンタクト孔を形成に用いたフォトレジスト膜を除去する。次に、スパッタリング法又は電子ビーム真空蒸着法等によりシリコン等を含有するアルミニウム合金膜(AI-Si, AI-Cu-Si)を形成する。この上に、フォトリソグラフィ技術を用いて、フォトレジスト膜のマスクを形成し、このマスクを用いて、RIEにより、アルミニウム合金膜をパターニングするという一連の処理を順次繰り返す、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層等を形成する。更に、金属配線層等の上に他の層間絶縁膜を堆積させ、フォトリソグラフィ技術を用いて、各画素の基体領域の直上に開口部42を有する金属膜を形成し、遮光膜41とする(図2(a)参照)。そして、機械的損傷防止と、水分や不純物の浸入の防止を目的とした膜厚1 μm程度のパッシベーション膜を遮光膜の上にCVD法により積層すれば、本発明の第1の実施の形態に係る固体撮像装置が完成する。パッシベーション膜にはPSG膜や窒化膜等が利用される。

[0048] 基体領域21は、不純物密度 $5 \times 10^{12} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以下程度が好ましい。電荷生成埋込領域23の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$ 程度以下、好ましくは $2 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $8 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的空乏化が容易な値が採用可能であり、その厚さは0.1~3 μm程度、好ましくは0.1~0.3 μm程度とすることが可能である。一方、蓄積領域24の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$ 程度以下、



好ましくは  $4 \times 10^{17} \text{ cm}^{-3}$  程度以上、 $2 \times 10^{18} \text{ cm}^{-3}$  程度以下、代表的には、例えば  $3 \times 10^{19} \text{ cm}^{-3}$  程度の値が採用可能であり、その厚さは  $0.1 \sim 3 \mu\text{m}$  程度、好ましくは  $0.1 \sim 1.3 \mu\text{m}$  程度とすることが可能である。蓄積領域 24 の不純物密度は、電荷生成埋込領域 23 の不純物密度の  $1.2 \sim 5$  倍、好ましくは  $1.5 \sim 2.5$  倍程度に設定しておけば、蓄積領域 24 がなすポテンシャル谷の底の電位が、電荷生成埋込領域 23 がなすポテンシャル谷の底の電位よりも適度に深くなる。

[0049] ゲート絶縁膜 33 を熱酸化膜で形成する場合は、熱酸化膜の厚さは、 $150 \text{ nm}$  程度以上、 $1000 \text{ nm}$  程度以下、好ましくは  $200 \text{ nm}$  程度以上、 $400 \text{ nm}$  程度以下とすれば良い。ゲート絶縁膜 33 を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率  $\epsilon_r$  ( $1 \text{ MHz}$  で  $\epsilon_r = 3.8$ ) で換算した等価な厚さとすれば良い。例えば、比誘電率  $\epsilon_r = 4.4$  である CVD 酸化膜を用いるのであれば上記厚さを  $4.4 / 3.8 = 1.16$  倍した厚さを、比誘電率  $\epsilon_r = 7$  であるシリコン窒化物 ( $\text{Si}_3\text{N}_4$ ) 膜を用いるのであれば上記厚さを  $7 / 3.8 = 1.84$  倍した厚さを採用すれば良い。但し、標準的な CMOS 技術で形成される酸化膜 ( $\text{SiO}_2$  膜) を用いるのが好ましく、CMOS 技術におけるフィールド酸化膜を用いるのが製造工程の簡略化に適している。図 2 (a) に示すように、遮光膜 41 の開口部 42 は、光電荷の発生が、フォトダイオード D1 を構成している電荷生成埋込領域 23 の直下の基体領域 21 で生じるように選択的に設けられている。図 2 (a) では、ゲート絶縁膜 33 のみを示しているが、遮光膜 41 は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム (Al) 等の金属薄膜で構成すれば良い。

[0050] 本発明の第 1 の実施の形態に係る半導体素子及び固体撮像装置の製造方法によれば、キャパシタ形成領域 25 を形成後、転送ゲート電極 31 の側面にスペーサ 35 を形成して、スペーサ 35 を介して図 6 (e) に示すようにイオン注入し、 $n^+$  型の蓄積領域 24 を形成しているため、蓄積領域 24 の端部に不純物密度が高いディップ部が形成されるのを防ぎ、リーク電流の発生を

抑制することが可能になる。又、蓄積領域 24 の端部にディップ部が形成されるのを防ぐことが可能なので、例えば、図 2 (c) に示すように、時刻  $t_2$  において、井戸状のポテンシャル分布形状に第 2 のポテンシャル谷 PW2 が単調に連続して形成されるようにするのが容易となるので、信号電荷量が多い場合であっても、電子は第 1 の MOS キャパシタ (31, 33, 25) がなすポテンシャル井戸から溢れて、直接、且つスムーズに蓄積領域 24 がなすポテンシャル谷に蓄積されるようになり、電荷生成埋込領域 23 がなすポテンシャル谷側に信号電荷が残存することが防げる。又、電荷蓄積ダイオード D2 の容量を大きくし、第 1 の MOS キャパシタ (31, 33, 25) の容量を小さくする設計も容易になる。

[0051] (第 2 の実施の形態)

第 1 の実施の形態に係る固体撮像装置に用いる半導体素子は、転送ゲート電極 31 と、ゲート絶縁膜 (転送ゲート絶縁膜) 33 を介して、転送ゲート電極 31 の下方の一部に配置された第 2 導電型のキャパシタ形成領域 25 により、第 1 の MOS キャパシタ (31, 33, 25) を構成したが、第 2 導電型 (n 型) で、電荷生成埋込領域 23 より低不純物密度の共通埋込領域 63 を、図 11 (a) に示すように基体領域 21 の上部に転送ゲート電極 31 の下方の全面に配置した場合であっても、段差付きの電子シャッタ用電位障壁を転送ゲート電極 31 の下方に形成できる。

[0052] 即ち、第 2 の実施の形態に係る固体撮像装置に用いる半導体素子においては、図 11 (a) に示すように、基体領域 21 の上部に、電荷生成埋込領域 23 の上部から読み出しゲート電極 32 の下方に渡って設けられた共通埋込領域 63 に対して、基体領域 21 の上部に、ウェル (p ウェル) 22 の一部から、電荷生成埋込領域 23 の上部を含み、転送ゲート電極 31 の下方の一部に渡って第 1 導電型 (p 型) で、基体領域 21 よりも高不純物密度の段差分布形成領域 62 を設けることにより、共通埋込領域 63 と段差分布形成領域 62 とで、階段ポテンシャル形成手段を構成している。そして、この階段ポテンシャル形成手段が、転送ゲート電極 31 の下方に段差付きの電子シャ

ッタ用電位障壁を形成している。

[0053] 転送ゲート電極 31 の下方の全面に、共通埋込領域 63 が配置されているが、段差分布形成領域 62 に占有された領域を除いて、転送ゲート電極 31、ゲート絶縁膜（転送ゲート絶縁膜）33 及び共通埋込領域 63 で第 1 の MOS キャパシタ（31, 33, 63）を構成している。同様に、読み出しゲート電極 32 の下方の全面に、共通埋込領域 63 が配置されており、読み出しゲート電極 32、ゲート絶縁膜（読み出しゲート絶縁膜）33 及び共通埋込領域 63 で第 2 の MOS キャパシタ（32, 33, 63）を構成している。他の構成は、図 2（a）に示した半導体素子と実質的に同様であるので、重複した説明を省略する。

[0054] 第 2 の実施の形態に係る半導体素子では、図 11（b）に示すように、第 1 の実施の形態と同様の電位分布が得られ、電荷蓄積ダイオード D2 の容量を大きく設計することで、第 1 の MOS キャパシタ（31, 33, 63）の容量を小さく設計できる。又、第 2 の実施の形態の説明では、第 1 導電型を p 型、第 2 導電型を n 型として、転送、蓄積等の処理をされる信号電荷が電子処理をされる信号電荷が電子である場合について説明しており、図 11（b）に示すポテンシャル図において、図の下方向（深さ方向）を、電位（ポテンシャル）の正方向として表現している。

[0055] （第 3 の実施の形態）

第 1 の実施の形態に係る半導体素子では、n 型半導体の不純物密度の差違による第 1 のポテンシャル谷 PW1 と第 2 のポテンシャル谷 PW2 との電位差を有するが、p 型半導体の不純物密度の差違によって第 1 のポテンシャル谷 PW1 と第 2 のポテンシャル谷 PW2 との電位差を有するようにしても良い。

[0056] 第 3 の実施の形態に係る半導体素子は、図 12（a）に示すように、基体領域 21 とキャパシタ形成領域 25 とで、階段ポテンシャル形成手段を構成しているが、第 1 のピニング層 26 の不純物密度  $p_1$  を、第 2 のピニング層 27 の不純物密度  $p_3$  より高くすることで、図 12（b）に示すような第 1 の実

施の形態と同様の、第1のポテンシャル谷PW1及び第2のポテンシャル谷PW2の電位分布を得ることができる。この場合には、電荷生成埋込領域23cと蓄積領域24cとを同じ不純物密度( $n_1$ )で形成することができるので、電荷生成埋込領域23cと蓄積領域24cとを、同一のマスクによってイオン注入することができる。

[0057] 又、第3の実施の形態の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる信号電荷が電子である場合について説明しており、図12(b)に示すポテンシャル図において、図の下方向(深さ方向)を、電位(ポテンシャル)の正方向として表現している。

[0058] (第4の実施の形態)

第4の実施の形態に係る半導体素子は、図11(a)に示したような、転送ゲート電極31の下方の第2導電型の共通埋込領域63を形成せずに、図13(a)に示すような構造にして、図13(b)に示すような、頂部と肩部とからなる段差状の電子シャッタ用電位障壁を、第1の実施の形態と同様に有する。

[0059] 第4の実施の形態の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる信号電荷が電子である場合について説明しており、図13(b)に示すポテンシャル図において、図の下方向(深さ方向)を、電位(ポテンシャル)の正方向として表現している。

[0060] 基体領域21の上部に、ウェル22の一部から、電荷生成埋込領域23の上部を含み、転送ゲート電極31の下方の一部に渡って、第1導電型で基体領域21よりも高不純物密度 $p_3$ の段差分布形成領域62が設けられている。即ち、基体領域21と段差分布形成領域62とで、階段ポテンシャル形成手段を構成している。段差分布形成領域62を設けることにより、第1の実施の形態と同様に、フォトダイオードD1側に頂部を、電荷蓄積ダイオードD2側に肩部を有して、転送ゲート電極31の直下に段差状の電子シャッタ用電位障壁ができる。このため、一度蓄積領域24に転送された電荷は、電荷生成埋込領域23へ逆流することはなく、第4の実施の形態に係る半導体素

子は、図 2 (a) に示した第 1 の実施の形態に係る半導体層と同じように完全電荷転送を容易にすることができる。

[0061] 蓄積領域 24 の下方のブロック層 28 (不純物密度  $p_2$ ) は、転送ゲート電極 31 及び読み出しゲート電極 32 の形成後、転送ゲート電極 31 及び読み出しゲート電極 32 をマスクとして、自己整合的にイオン注入を行うことにより形成しても良い。この様に、ブロック層 28 を自己整合により形成する場合には、イオン注入に用いるマスク枚数を減らすことができるため、半導体素子の製造コストを下げることができる。更に、ブロック層 28 を蓄積領域 24 のイオン注入に用いたマスクと同一のマスクを用いて、注入条件を調整してイオン注入することによっても、マスク枚数を減らすことができる。又、マスクずれにより、ポテンシャル分布が設計時に意図した分布からずれ、転送不良が発生するのを防ぐことができ、製造歩留まりを向上させることができる。

[0062] (第 5 の実施の形態)

本発明の第 5 の実施の形態に係る固体撮像装置 (2 次元イメージセンサ) の全体構成は、図 1 に示したブロック図と同一であるため、重複した説明を省略する。第 5 の実施の形態に係る固体撮像装置では、非常に明るい光を受けた場合の対策として、それぞれの画素  $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$  内の半導体素子の構造として、図 7 (a) に示すように、オーバーフロー用埋込領域 60 及び排出領域 20 を設けた構造について説明する。

[0063] 図 7 (a) に示すように、オーバーフロー用埋込領域 60 は、電荷生成埋込領域 23 a と離間し、排出領域 20 と接して基体領域 21 の上部に埋め込まれている。図 7 (b) は、図 7 (a) において、排出領域 20、オーバーフロー用埋込領域 60、電荷生成埋込領域 23 a、蓄積領域 24、読み出し領域 29 を水平面で切った断面におけるポテンシャル図である。第 1 のポテンシャル谷 PW1 とオーバーフロー用埋込領域 60 との間には、電子に対する障壁の高さの低いオーバーフロー用電位障壁が形成されている。第 5 の実施の形態に係る固体撮像装置に用いる半導体素子は、図 7 (b) に示すよう

に、生成した信号電荷が過剰になった場合は、過剰分を電子に対する障壁の高さの低いオーバーフロー用電位障壁を介してオーバーフローさせ、排出領域20に排出することができるので、ブルーミングを抑制するために有効である。第2のポテンシャル谷PW2と読み出し領域29のポテンシャル井戸との間の読み出し用電位障壁の高さは、読み出しゲート電極32に印加される制御信号TXの電圧によって変化する。

[0064] 第5の実施の形態の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる信号電荷が電子である場合について例示的に説明しており、図7(b)に示すポテンシャル図において、図の下方向(深さ方向)を、電位(ポテンシャル)の正方向として表現している。

[0065] 転送ゲート電極31の下方の蓄積領域24側の一部には、基体領域21の上部に第2導電型のキャパシタ形成領域25が配置されており、基体領域21とキャパシタ形成領域25とで、階段ポテンシャル形成手段を構成している。この転送ゲート電極31がキャパシタ形成領域25に対向する部分とキャパシタ形成領域25とがゲート絶縁膜(転送ゲート絶縁膜)33を隔てて平行平板構造を構成する領域は、第1のMOSキャパシタ(31, 33, 25)を構成している。キャパシタ形成領域25は、第1のMOSキャパシタ(31, 33, 25)の領域から、読み出しゲート電極32の下方に位置する基体領域21の上部に渡って配置されており、読み出しゲート電極32、ゲート絶縁膜(読み出しゲート絶縁膜)33、キャパシタ形成領域25とで、第1のMOSキャパシタ(31, 33, 25)と同様に、第2のMOSキャパシタ(32, 33, 25)を構成している。第1のポテンシャル谷PW1と、第2のポテンシャル谷PW2との間の段差状の電子シャッタ用電位障壁は、転送ゲート電極31に与えられる制御信号GSの電圧によって、頂部と肩部の段差関係を定性的に維持したまま、その頂部の高さを変化させる。図7に示した半導体素子の他の断面構造は図2(a)に示した構造と基本的には同様であるので、重複した説明を省略する。

[0066] 第5の実施の形態に係る固体撮像装置は、転送ゲート電極31に与えられ

る制御信号GSによって、転送ゲート電極31の下方に段差状の電子シャッタ用電位障壁を形成し、頂部と肩部の段差関係を定性的に維持したまま、その頂部の高さを変化させることで、第1のポテンシャル谷PW1と、第1のポテンシャル谷PW1より深い第2のポテンシャル谷PW2との電位差が小さくても電荷の完全転送を実現でき、十分な蓄積電子数を確保できる。

[0067] (第6の実施の形態)

第6の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$ ;  $X_{21} \sim X_{2m}$ ;  $\dots$ ;  $X_{n1} \sim X_{nm}$ 内の半導体素子の断面構造を図8(a)に示す。図8(a)に示すように、第6の実施の形態に係る半導体素子は、基体領域21の上部に電荷生成埋込領域23bと離間して設けられた排出領域20と、電荷生成埋込領域23bと排出領域20との間の上方のゲート絶縁膜(排出ゲート絶縁膜)33上に設けられた排出ゲート電極34を備える点で第1の実施の形態と異なる。

[0068] 図8(a)において、排出ゲート電極34は、電荷生成埋込領域23bと排出領域20との間に形成される転送チャネルの電位を制御して、電荷生成埋込領域23から排出領域20へ信号電荷を吐き出し、電子シャッタの機能をなす。

[0069] 転送ゲート電極31の下方の蓄積領域24側の一部には、基体領域21の上部に第2導電型のキャパシタ形成領域25が配置されており、基体領域21とキャパシタ形成領域25とで、階段ポテンシャル形成手段を構成している。この転送ゲート電極31がキャパシタ形成領域25に対向する部分とキャパシタ形成領域25とが、ゲート絶縁膜(転送ゲート絶縁膜)33を隔てて平行平板構造を構成する領域は、第1のMOSキャパシタ(31, 33, 25)を構成している。キャパシタ形成領域25は、第1のMOSキャパシタ(31, 33, 25)の領域から、読み出しゲート電極32の下方に位置する基体領域21の上部に渡って配置されており、読み出しゲート電極32、ゲート絶縁膜(読み出しゲート絶縁膜)33、キャパシタ形成領域25とで、第1のMOSキャパシタ(31, 33, 25)と同様に、第2のMOS

キャパシタ（32, 33, 25）を構成している。他の構成は、図2（a）に示した半導体素子と実質的に同様であるので、重複した説明を省略する。

[0070] 図8（b）及び図8（c）は、図8（a）において、排出領域20、電荷生成埋込領域23b、蓄積領域24、読み出し領域29を通る水平面で切った断面におけるポテンシャル図である。第1のポテンシャル谷PW1と、第2のポテンシャル谷PW2との間の段差状の電子シャッタ用電位障壁が形成され、転送ゲート電極31に与えられる制御信号GSの電圧によって頂部と肩部の段差関係を定性的に維持したまま、電子に対する電位障壁の頂部の高さを変化させる。第1のポテンシャル谷PW1と排出領域20の間には、排出用電位障壁が形成されている。排出用電位障壁の電子に対する電位障壁の高さは、排出ゲート電極34に印加される制御信号TXDとしての電圧によって変化する。図8（c）に示すように、排出ゲート電極34に制御信号TXDとして正の電圧を印加したとき、排出用電位障壁の電子に対する電位障壁の高さを下げ、電荷生成埋込領域23bから排出領域20に電荷を排出し、シャッタ時間を制御する動作を行わせることができる。第2のポテンシャル谷PW2と読み出し領域29のポテンシャル井戸との間の読み出し用電位障壁の高さは、読み出しゲート電極32に印加される制御信号TXの電圧によって変化する。

[0071] 第6の実施の形態の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる信号電荷が電子である場合について例示的に説明しており、図8（b）及び図8（c）に示すポテンシャル図において、図の下方方向（深さ方向）を、電位（ポテンシャル）の正方向として表現している。

[0072] 第1及び第5の実施の形態において、シャッタ時間 $T_{sh}$ は、制御信号GSの立ち下がりの時刻から次に入力される制御信号GSの立ち上がりの時刻までの時間であるが、第6の実施の形態に係る固体撮像装置は、半導体素子にフォトダイオードD1の初期化機能を有しており、信号電荷の流れの方向を排出ゲート電極34と転送ゲート電極31で制御できるため、排出ゲート電極



34に与えられる制御信号TXDのパルスのタイミングを変化させることによって、シャッタ時間 $T_{SH}$ を制御できる。又、第6の実施の形態に係る半導体素子は、第1及び第5の実施の形態と同様に、フォトダイオードが生成した信号電荷を移動させる場の方向を深さ方向として、第1のポテンシャル谷PW1と、第1のポテンシャル谷PW1より深い第2のポテンシャル谷PW2との間に、段差状の電子シャッタ用電位障壁を形成し、頂部と肩部の段差関係を定性的に維持したまま、電子に対する電位障壁の頂部の高さを変化させることで、電荷の完全転送を実現できる。

[0073] 例えば、図9に示すように、シャッタ時間 $T_{SH}$ は、制御信号TXDのタイミングを変化させることによって、制御信号TXDの立ち下りの時刻から次の制御信号GSの立ち上りの時刻までの蓄積時間 $T_{S1}$ から $T_{S2}$ に変化させることができる。

[0074] シャッタ時間 $T_{SH} = T_{S2}$ の間、全画素 $X_{11} \sim X_{1m}$ ;  $X_{21} \sim X_{2m}$ ;  $\dots$ ;  $X_{n1} \sim X_{nm}$ の電荷生成埋込領域23に蓄積された電荷は、次のフレーム周期 $T_f$ において、まず、制御信号GSが全画素同時に与えられ蓄積領域24に転送される。蓄積領域24に蓄積された電荷は、1行目の画素 $X_{11} \sim X_{1m}$ から順に読み出される。

[0075] 図9に示すように、読み出し動作は、まず、垂直シフトレジスタ3から水平ラインの選択用制御信号S(1)が与えられ、選択用制御信号S(1)をハイ(H)レベルにすることにより、スイッチングトランジスタ $TS_{ij}$ が導通し、信号読み出しトランジスタ(増幅トランジスタ) $TA_{ij}$ で増幅された読み出し領域29の電位に対応する電流が垂直信号線 $B_j$ に流れる。このとき、リセット信号R(1)はハイ(H)レベルになっているので、読み出し領域29に蓄積された電荷は吐き出され、読み出し領域29はリセットされる。次いで読み出しゲート電極32に制御信号TXが与えられ、蓄積領域24に蓄積されている電荷は、読み出し領域29へ転送される。読み出し領域29へ転送された電荷は、読み出し用バッファアンプを介して垂直信号線 $B_j$ から読み出される。これらの動作をn行目まで繰り返す。

## [0076] &lt;シミュレーション&gt;

図10(a)は、図8(a)に断面図を示す第6の実施の形態の半導体素子の平面構造の一例である。図10(b)は、図8(a)及び図10(a)に示すような半導体素子のシミュレーションモデルを用いて、水平方向(X方向)電位分布をシミュレーションし、転送ゲート電極31に印加する制御信号GSによってプロットしたものである。

[0077] 図10(b)に示すように、フォトダイオードD1がなす第1のポテンシャル谷PW1と、電荷蓄積ダイオードD2がなす第2のポテンシャル谷PW2との間には、GS=-2Vにおいて、第1の電位制御手段(31, 33)に相当する部分(X方向の位置が約3.5~5.0μm)に段差状の電子シャッタ用電位障壁が形成されることが確認できる。段差状の電子シャッタ用電位障壁は、転送ゲート電極31に与えられる制御信号GS=-2V、-1V、0V、1V、2Vの電圧によって頂部と肩部の段差関係を定性的に維持したまま、電子に対する電位障壁の頂部の高さを変化することが確認できる。GS=-1Vにすると、第1のMOSキャパシタ(31, 33, 25)に相当する箇所の電位が0.4V程度上昇する。制御信号を接地電位GG=0Vにすると、段差状の電子シャッタ用電位障壁は段差部を有したまま減少し、GS=1Vにすると、電子シャッタ用電位障壁は完全に消滅し、第1の電位制御手段(31, 33)に相当する箇所の電位分布は、頂部と肩部の段差関係を定性的に維持したまま、GS=1V、2Vと順に、電子に対する電位障壁の高さが低くなっている。フォトダイオードD1がなす第1のポテンシャル谷PW1とその左側の排出領域20の間には、排出用電位障壁が形成されていることが確認できる。排出用電位障壁の高さは、排出ゲート電極34に印加される制御信号TXDとしての電圧によって変化する。電荷蓄積ダイオードD2がなす第2のポテンシャル谷PW2と読み出し領域29のポテンシャル井戸の間には読み出し用電位障壁が形成されていることが確認できる。読み出し用電位障壁の高さは、読み出しゲート電極32に印加される制御信号TXの電圧によって変化する。

[0078] 図10(c)は、図10(b)に一点鎖線で示す位置において、第1のMOSキャパシタ(31, 33, 25)の深さ方向(図10(a)の奥行き方向: Z方向)の電位分布を示している。図10(c)から、界面準位がピンニングされた状態になっていることがわかる。電荷転送時の制御信号 $GS = 2V$ 時にも、信号電荷である電子を移動させる場の方向を深さ方向として、界面準位よりも深いところに最大電位があり、埋め込み型のMOSキャパシタとして機能することがわかる。このシミュレーションの埋め込みMOSキャパシタの飽和電荷密度は制御信号 $GS = 2V$ のときに $300 e^- / \mu m^2$ 程度であり、表面トラップに対して十分に大きい飽和電荷量を確保できる。尚、この飽和電荷密度は、不純物密度等の調整により1桁程度まで大きくすることも可能である。

[0079] (その他の実施の形態)

上記のように、本発明は第1～第6の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0080] 既に述べた第1～第6の実施の形態の説明では、第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。第1～第6の実施の形態の説明では、転送、蓄積等の処理がされる信号電荷を電子とし、ポテンシャル図において、図の下方方向(深さ方向)が、電位(ポテンシャル)の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、半導体素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方方向(深さ方向)が、電位の負方向として表現される。

[0081] 又、既に述べた第1及び第5の実施の形態の説明においては、2次元固体撮像装置(エリアセンサ)を例示的に説明したが、本発明の半導体素子は2次元固体撮像装置の画素のみに用いられるように限定して解釈すべきでは

ない。例えば、図1に示した2次元マトリクスにおいて、 $j = m = 1$ とした1次元固体撮像装置（ラインセンサ）の画素として複数の半導体素子を1次元に配列しても良いことは、上記開示の内容から、容易に理解できるはずである。

[0082] この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

### 産業上の利用可能性

[0083] 本発明により、洩れのない電荷転送が実現できるので、本発明は低ノイズの超高速カメラセンサ・距離画像センサの技術分野に利用可能である。特に、これから需要が伸びが期待される蛍光検出バイオセンサの技術分野に利用可能である。

### 符号の説明

[0084] CDS<sub>1</sub>～CDS<sub>m</sub>…ノイズキャンセル回路  
 D1…フォトダイオード  
 D2…電荷蓄積ダイオード  
 X<sub>11</sub>～X<sub>1m</sub>; X<sub>21</sub>～X<sub>2m</sub>; …; X<sub>n1</sub>～X<sub>nm</sub>…画素  
 1…画素アレイ部  
 2…水平シフトレジスタ  
 3…垂直シフトレジスタ  
 4…タイミング発生回路  
 5…信号処理回路  
 6…アンプ  
 20…排出領域  
 21…基体領域  
 22…ウェル  
 23, 23a, 23b, 23c…電荷生成埋込領域  
 23p…電荷生成埋込予定領域

- 2 4, 2 4 c…蓄積領域
- 2 4 p…蓄積領域予定領域
- 2 5, 6 1…キャパシタ形成領域
- 2 5 p…キャパシタ形成予定領域
- 2 6…第 1 のピニング層
- 2 6 p…第 1 のピニング層予定領域
- 2 7…第 2 のピニング層
- 2 7 p…第 2 のピニング層予定領域
- 2 8…ブロック層
- 2 8 p…ブロック層予定領域
- 2 9…読み出し領域
- 3 1…転送ゲート電極
- 3 2…読み出しゲート電極
- 3 3, 7 1…ゲート絶縁膜
- 3 4…排出ゲート電極
- 3 5…スペーサ
- 4 1…遮光膜
- 4 2…開口部
- 5 1, 5 2, 5 3, 5 4…フォトリジスト膜
- 6 0…オーバーフロー用埋込領域
- 6 1…キャパシタ形成領域
- 6 2…段差分布形成領域
- 6 3…共通埋込領域

## 請求の範囲

[請求項1]

第1導電型の半導体からなる基体領域と、

前記基体領域とフォトダイオードを構成するように、前記基体領域の上部の一部に埋め込まれ、前記基体領域に第1のポテンシャル谷を形成する第2導電型の電荷生成埋込領域と、

前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれ、前記フォトダイオードが生成した信号電荷を移動させる場の方向を深さ方向として、前記第1のポテンシャル谷よりも深い第2のポテンシャル谷を形成する第2導電型の蓄積領域と、

前記電荷生成埋込領域と前記蓄積領域との間の前記基体領域の表面に設けられた転送ゲート絶縁膜と、

該転送ゲート絶縁膜の上に設けられ、前記電荷生成埋込領域と前記蓄積領域との間の前記基体領域に形成される転送チャネルの電位を制御する転送ゲート電極と、

前記第1のポテンシャル谷と前記第2のポテンシャル谷との間に、前記第1のポテンシャル谷側の頂部に比し前記第2のポテンシャル谷側が電位障壁低減方向に1段低くなった肩部をなす、段差状の電子シヤッタ用電位障壁を形成する階段ポテンシャル形成手段

とを備え、前記転送ゲート電極に印加する電圧により、前記頂部と前記肩部の定性的な段差関係を維持しながら、前記電子シヤッタ用電位障壁の前記頂部の高さを変化させ、前記電荷生成埋込領域から前記蓄積領域へ前記信号電荷を転送することを特徴とする半導体素子。

[請求項2]

前記階段ポテンシャル形成手段が、

前記転送チャネルをなす前記基体領域の上部の一部と、

前記転送チャネルをなす前記基体領域の上部の他の一部を占有し、且つ前記蓄積領域と重複する、第2導電型で前記蓄積領域よりも低不純物密度のキャパシタ形成領域

とを備えることを特徴とする請求項1に記載の半導体素子。

- [請求項3] 前記階段ポテンシャル形成手段が、  
前記転送チャネルをなす前記基体領域の上部の一部と、  
前記転送チャネルをなす前記基体領域の上部の他の一部を占有し、  
且つ前記電荷生成埋込領域と重複する、第1導電型で前記基体領域よりも高不純物密度の段差分布形成領域  
とを備えることを特徴とする請求項1に記載の半導体素子。
- [請求項4] 前記階段ポテンシャル形成手段が、  
前記転送チャネルを含んで前記基体領域の上部において、前記蓄積領域及び前記電荷生成埋込領域を含んで広がる、第2導電型で前記蓄積領域より低不純物密度の共通埋込領域と、  
前記共通埋込領域の一部を占有し、且つ前記電荷生成埋込領域と重複する、第1導電型で前記基体領域よりも高不純物密度の段差分布形成領域  
とを備えることを特徴とする請求項1に記載の半導体素子。
- [請求項5] 前記基体領域の上部の一部に、前記蓄積領域から離間して埋め込まれた第2導電型の読み出し領域と、  
前記蓄積領域と前記読み出し領域との間の前記基体領域の表面に設けられた読み出しゲート絶縁膜と、  
該読み出しゲート絶縁膜の上に設けられ、前記蓄積領域と前記読み出し領域との間の前記基体領域に形成される読み出しチャネルの電位を制御して、前記蓄積領域から前記読み出し領域へ前記信号電荷を転送する読み出しゲート電極  
とを更に備えることを特徴とする請求項1～4のいずれか1項に記載の半導体素子。
- [請求項6] 前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれた第2導電型の排出領域と、  
前記電荷生成埋込領域と前記排出領域との間の前記基体領域の表面に設けられた排出ゲート絶縁膜と、

該排出ゲート絶縁膜の上に設けられ、前記電荷生成埋込領域と前記排出領域との間の前記基体領域に形成される排出チャンネルの電位を制御して、前記電荷生成埋込領域から前記排出領域へ前記信号電荷を転送する排出ゲート電極

とを更に備えることを特徴とする請求項 1～5 のいずれか 1 項に記載の半導体素子。

[請求項7] 前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれた第 2 導電型のオーバーフロー用埋込領域と、

前記基体領域の上部の一部に、前記オーバーフロー用埋込領域に隣接して埋め込まれた第 2 導電型の排出領域

とを更に備えることを特徴とする請求項 1～5 のいずれか 1 項に記載の半導体素子。

[請求項8] 前記蓄積領域の下方に、第 1 導電型で前記基体領域よりも高不純物密度のブロック層を更に備えることを特徴とする請求項 1～7 のいずれか 1 項に記載の半導体素子。

[請求項9] 第 1 導電型の半導体からなる基体領域と、

前記基体領域とフォトダイオードを構成するように、前記基体領域の上部の一部に埋め込まれ、前記基体領域に第 1 のポテンシャル谷を形成する第 2 導電型の電荷生成埋込領域と、

前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれ、前記フォトダイオードが生成した信号電荷を移動させる場の方向を深さ方向として、前記第 1 のポテンシャル谷よりも深い第 2 のポテンシャル谷を形成する第 2 導電型の蓄積領域と、

前記電荷生成埋込領域と前記蓄積領域との間の前記基体領域の表面に設けられた転送ゲート絶縁膜と、

該転送ゲート絶縁膜の上に設けられ、前記電荷生成埋込領域と前記蓄積領域との間の前記基体領域に形成される転送チャンネルの電位を制御する転送ゲート電極と、



前記第 1 のポテンシャル谷と前記第 2 のポテンシャル谷との間に、前記第 1 のポテンシャル谷側の頂部に比し前記第 2 のポテンシャル谷側が電位障壁低減方向に 1 段低くなった肩部をなす、段差状の電子シャッタ用電位障壁を形成する階段ポテンシャル形成手段

とを備える画素を複数配列し、それぞれの前記画素の前記転送ゲート電極に電圧を同時に印加することにより、前記頂部と前記肩部の定性的な段差関係を維持しながら、それぞれの前記画素の前記電子シャッタ用電位障壁の前記頂部の高さを変化させ、それぞれの前記画素の前記電荷生成埋込領域から前記蓄積領域へ前記信号電荷を転送して、グローバル電子シャッタの動作をすることを特徴とする固体撮像装置。

[請求項10] それぞれの前記画素の前記階段ポテンシャル形成手段が、前記転送チャンネルをなす前記基体領域の上部の一部と、前記転送チャンネルをなす前記基体領域の上部の他の一部を占有し、且つ前記蓄積領域と重複する、第 2 導電型で前記蓄積領域よりも低不純物密度のキャパシタ形成領域

とを備えることを特徴とする請求項 9 に記載の固体撮像装置。

[請求項11] それぞれの前記画素の前記階段ポテンシャル形成手段が、前記転送チャンネルをなす前記基体領域の上部の一部と、前記転送チャンネルをなす前記基体領域の上部の他の一部を占有し、且つ前記電荷生成埋込領域と重複する、第 1 導電型で前記基体領域よりも高不純物密度の段差分布形成領域

とを備えることを特徴とする請求項 9 に記載の固体撮像装置。

[請求項12] それぞれの前記画素の前記階段ポテンシャル形成手段が、前記転送チャンネルを含んで前記基体領域の上部において、前記蓄積領域及び前記電荷生成埋込領域を含んで拡がる、第 2 導電型で前記蓄積領域より低不純物密度の共通埋込領域と、

前記共通埋込領域の一部を占有し、且つ前記電荷生成埋込領域と重

複する、第1導電型で前記基体領域よりも高不純物密度の段差分布形成領域

とを備えることを特徴とする請求項9に記載の固体撮像装置。

[請求項13]

前記基体領域の上部の一部に、前記蓄積領域から離間して埋め込まれた第2導電型の読み出し領域と、

前記蓄積領域と前記読み出し領域との間の前記基体領域の表面に設けられた読み出しゲート絶縁膜と、

該読み出しゲート絶縁膜の上に設けられ、前記蓄積領域と前記読み出し領域との間の前記基体領域に形成される読み出しチャンネルの電位を制御して、前記蓄積領域から前記読み出し領域へ前記信号電荷を転送する読み出しゲート電極

とをそれぞれの前記画素が更に備えることを特徴とする請求項9～12のいずれか1項に記載の固体撮像装置。

[請求項14]

前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれた第2導電型の排出領域と、

前記電荷生成埋込領域と前記排出領域との間の前記基体領域の表面に設けられた排出ゲート絶縁膜と、

該排出ゲート絶縁膜の上に設けられ、前記電荷生成埋込領域と前記排出領域との間の前記基体領域に形成される排出チャンネルの電位を制御して、前記電荷生成埋込領域から前記排出領域へ前記信号電荷を転送する排出ゲート電極

とをそれぞれの前記画素が更に備えることを特徴とする請求項9～13のいずれか1項に記載の固体撮像装置。

[請求項15]

前記基体領域の上部の一部に、前記電荷生成埋込領域から離間して埋め込まれた第2導電型のオーバーフロー用埋込領域と、

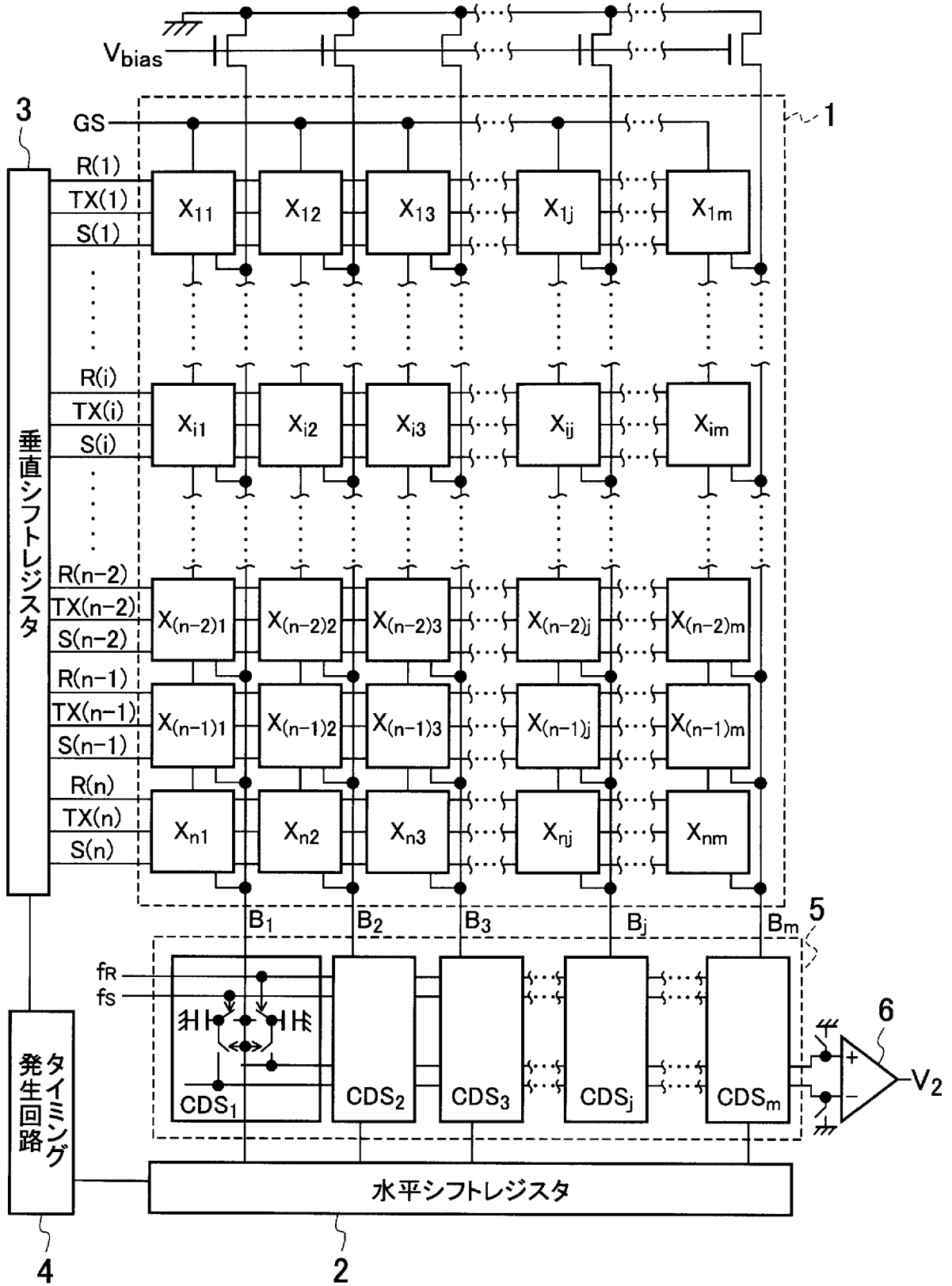
前記基体領域の上部の一部に、前記オーバーフロー用埋込領域に隣接して埋め込まれた第2導電型の排出領域

とをそれぞれの前記画素が更に備えることを特徴とする請求項9～

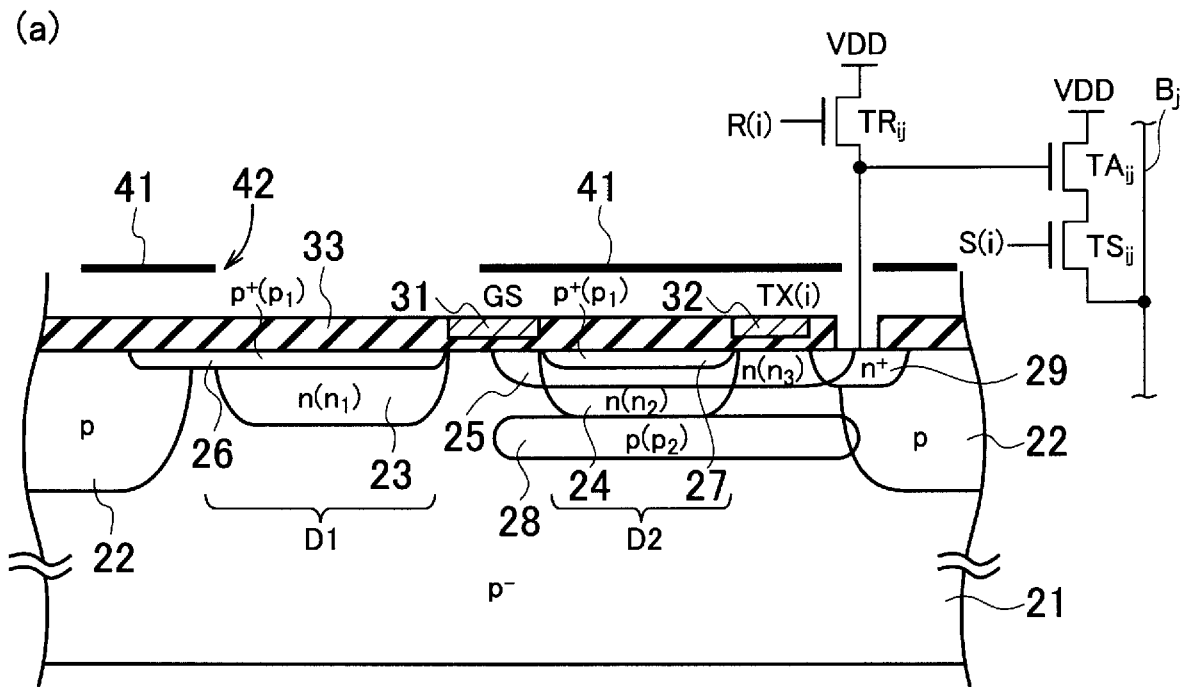
13のいずれか1項に記載の固体撮像装置。

[請求項16] 前記蓄積領域の下方に、第1導電型で前記基体領域よりも高不純物密度のブロック層をそれぞれの前記画素が更に備えることを特徴とする請求項9～15のいずれか1項に記載の固体撮像装置。

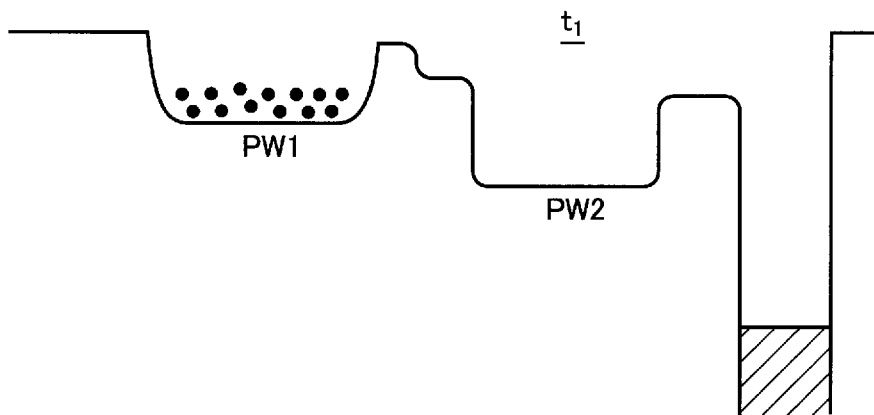
[図1]



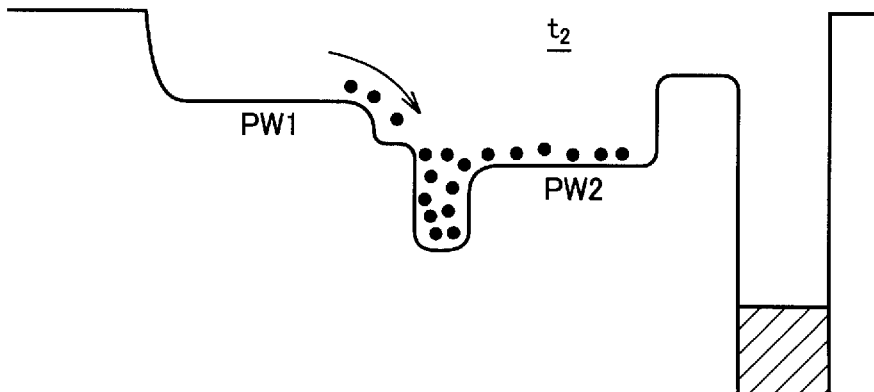
[図2]



(b)

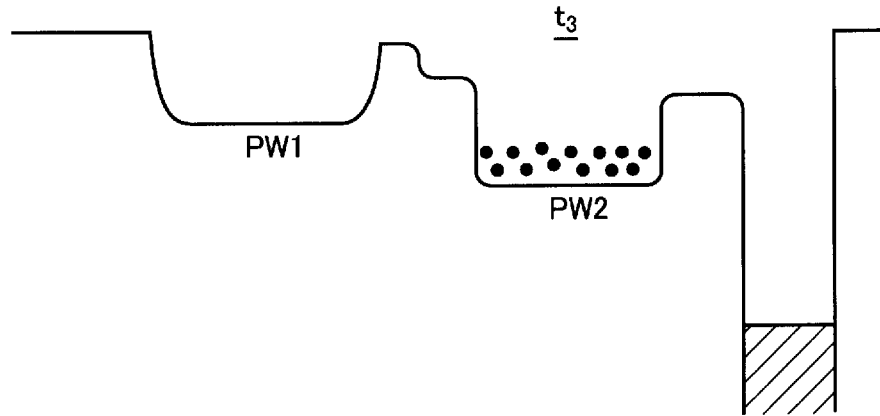


(c)

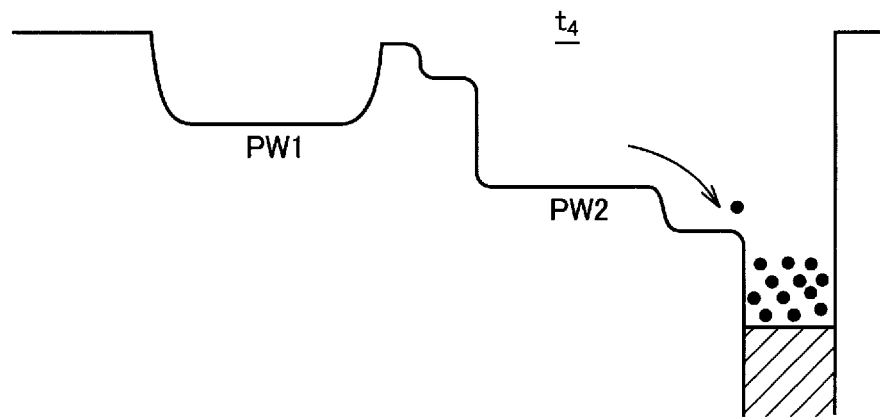


[図3]

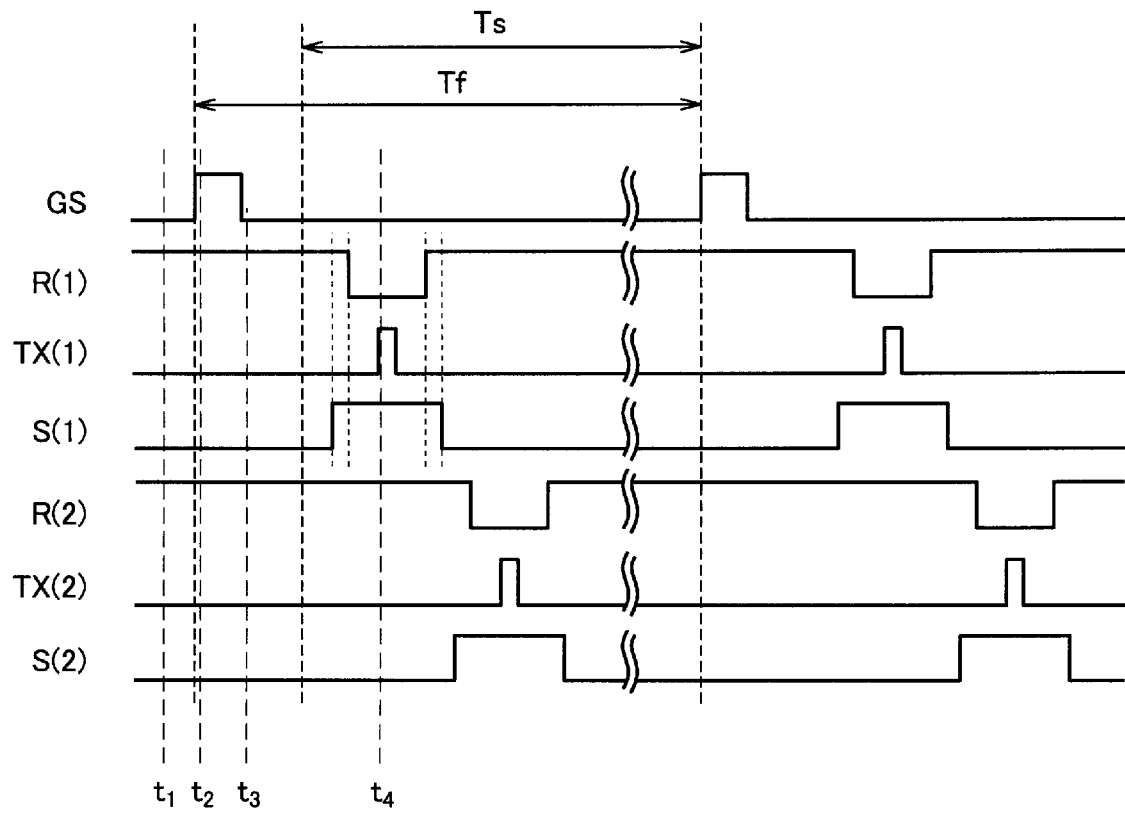
(d)



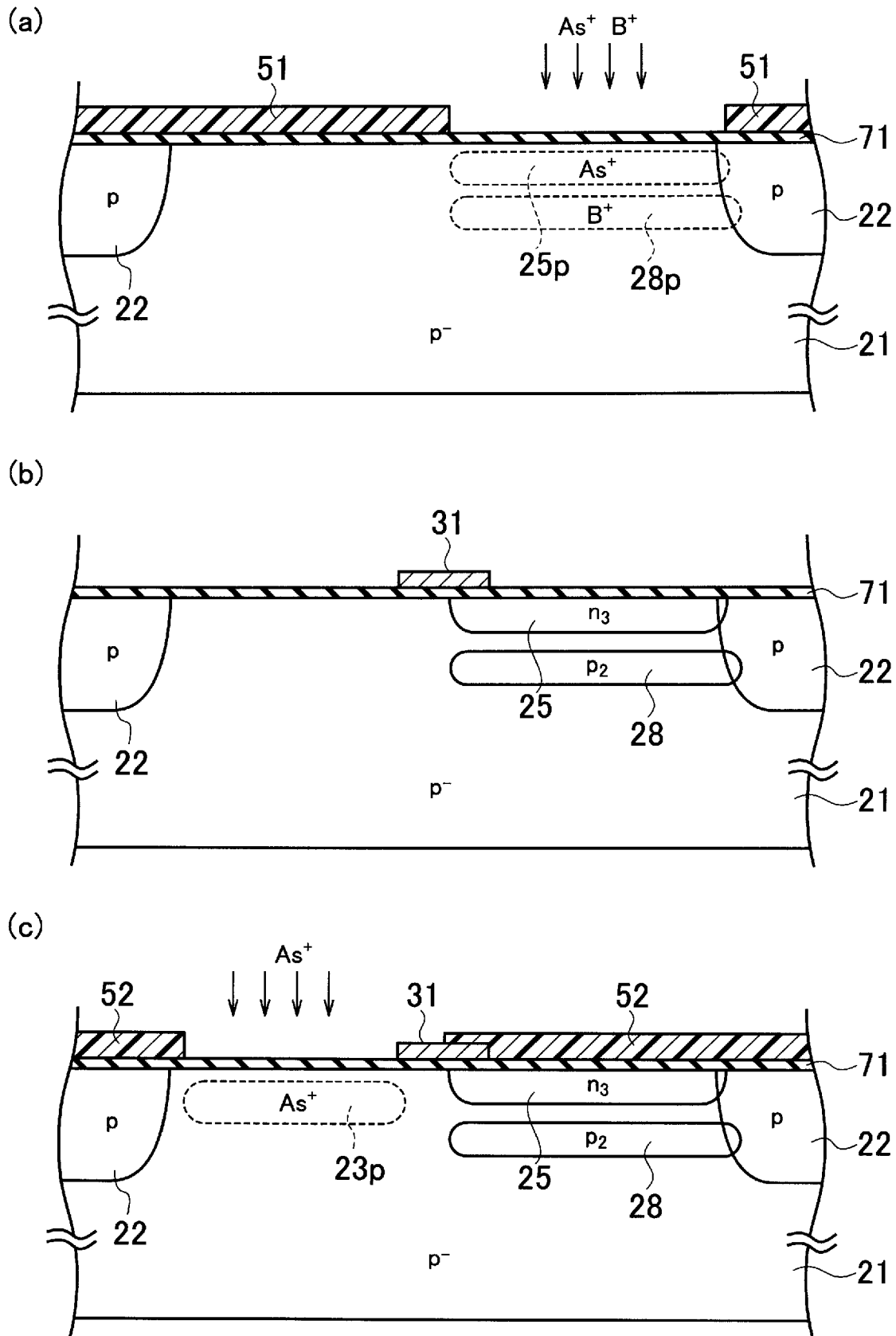
(e)



[図4]



[図5]



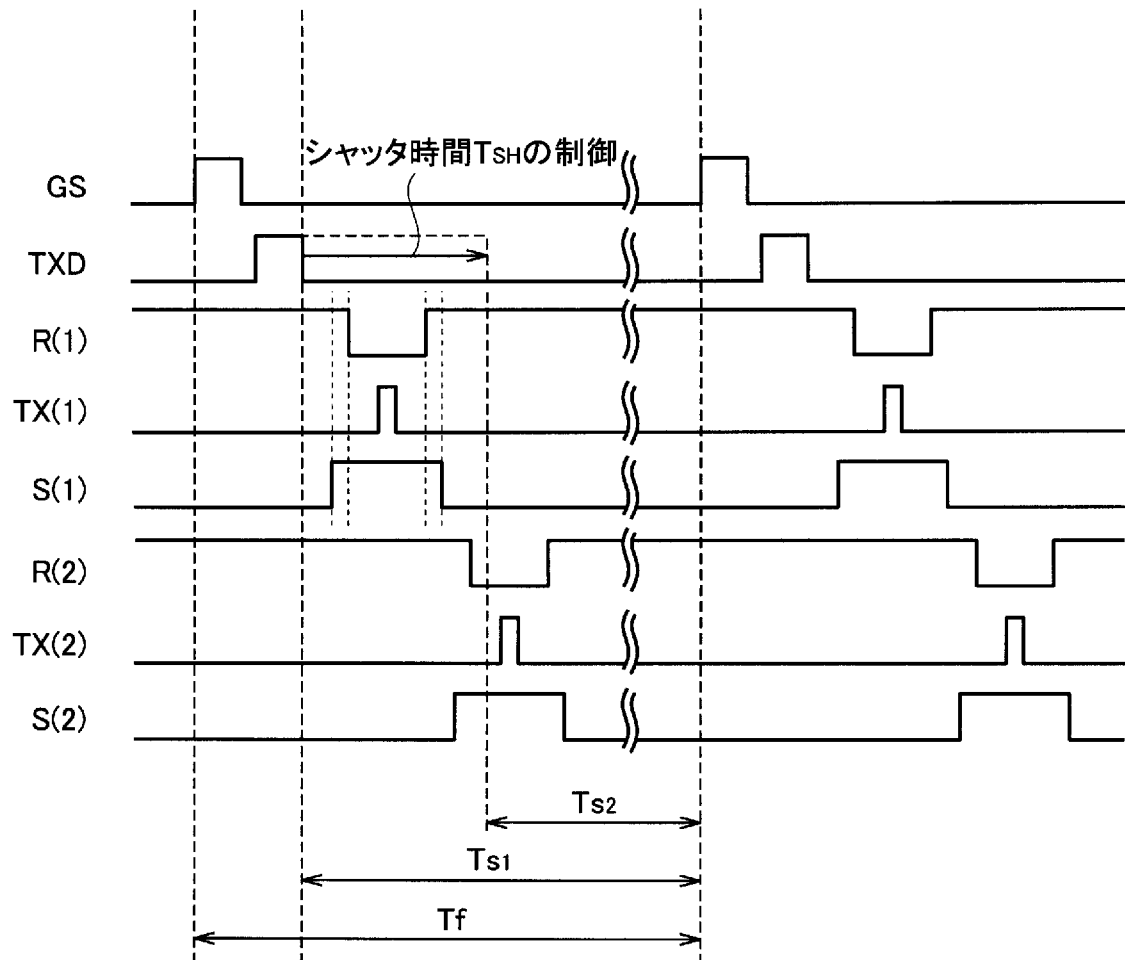




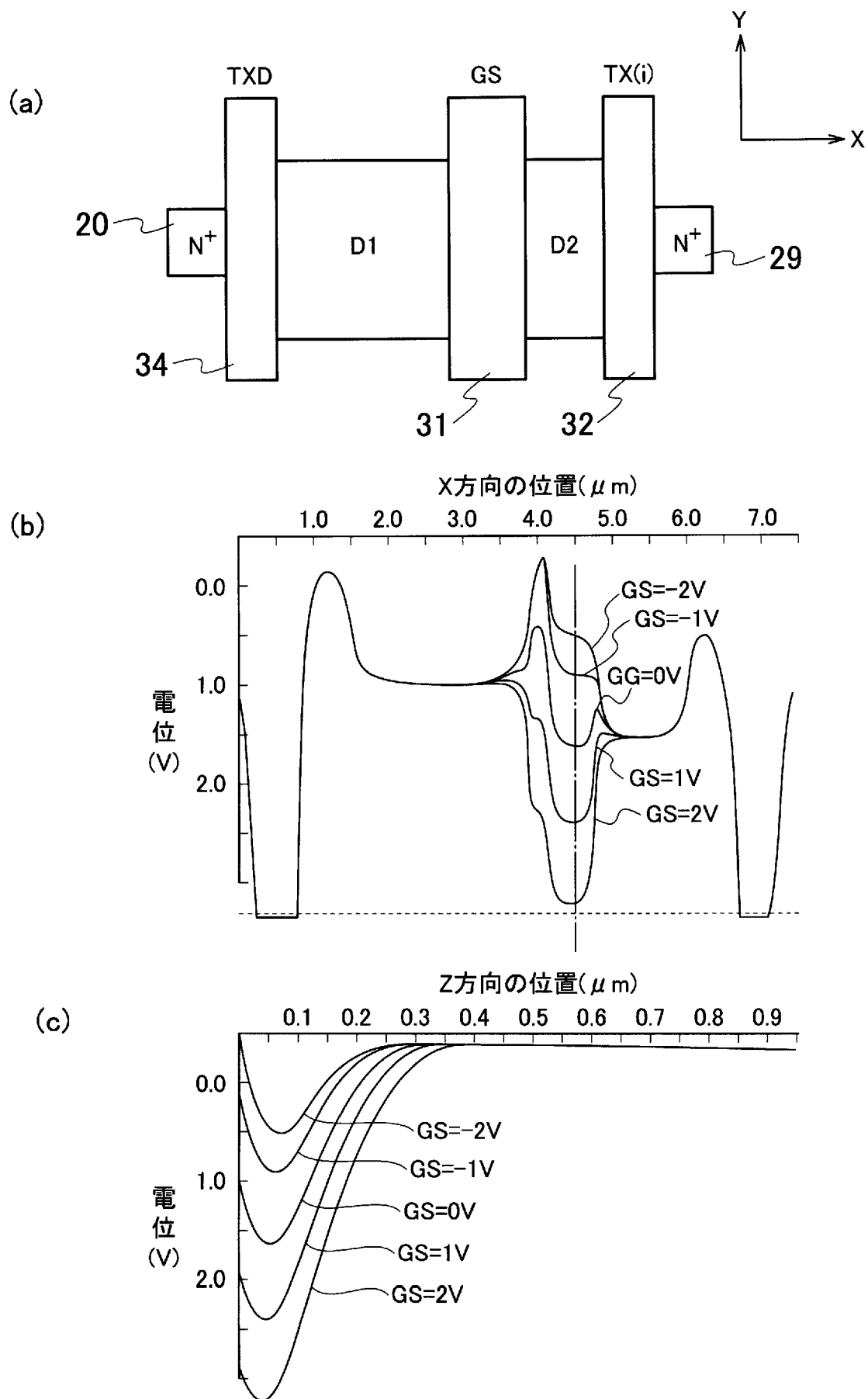




[図9]

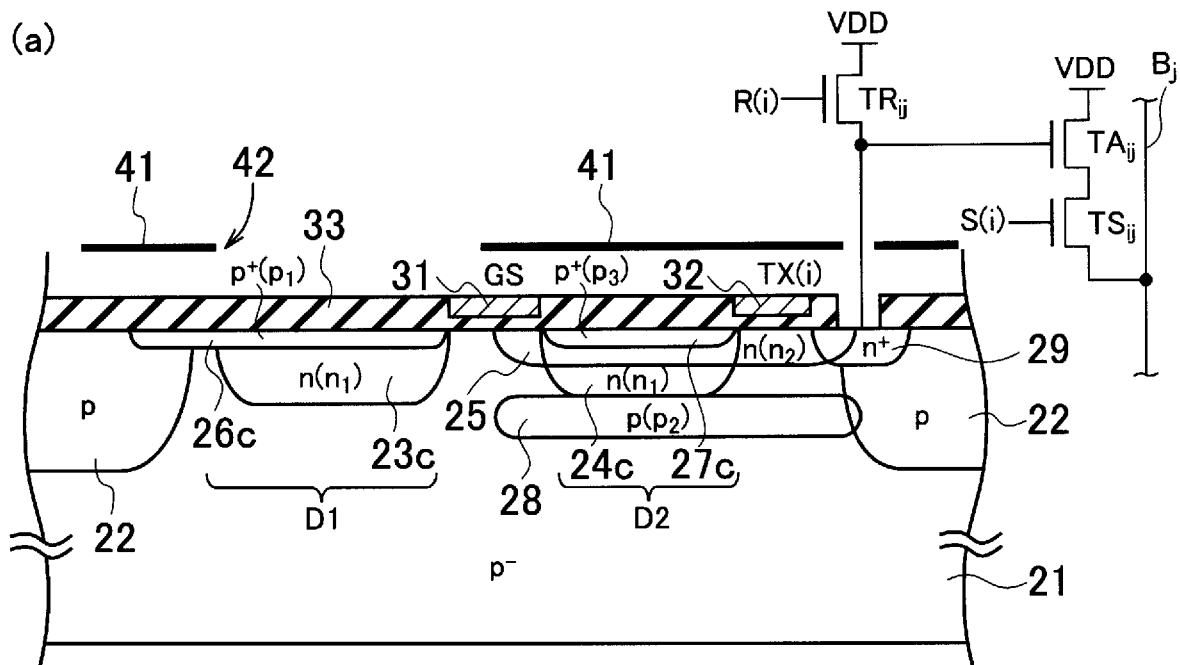


[図10]

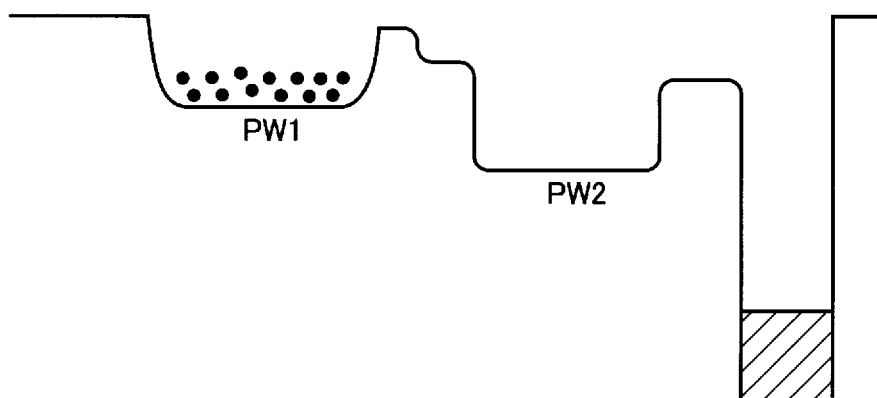




[圖12]



(b)







## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/067672

## A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01) i, H04N5/374(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-103647 A (National University Corporation Shizuoka University), 01 May 2008 (01.05.2008), paragraphs [0010] to [0094]; fig. 1 to 23 (Family: none)	1-3, 5-11, 13-16 4, 12
Y	JP 2005-217302 A (Sony Corp.), 11 August 2005 (11.08.2005), claims; paragraphs [0015] to [0035]; fig. 1 to 3, 7, 8 & US 2005/0168604 A1 & KR 10-2006-0042901 A & CN 1649165 A & TW 278109 B	1-3, 5-11, 13-16
Y	JP 2008-108916 A (Sony Corp.), 08 May 2008 (08.05.2008), paragraphs [0022] to [0026]; fig. 1 & US 2008/0142856 A1 & KR 10-2008-0031647 A	8, 16

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
07 December, 2010 (07.12.10)Date of mailing of the international search report  
14 December, 2010 (14.12.10)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/067672

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-223134 A (Canon Inc.), 18 August 2005 (18.08.2005), paragraphs [0020] to [0028]; fig. 1 to 4 (Family: none)	8, 16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-103647 A (国立大学法人静岡大学) 2008.05.01, 【0010】 - 【0094】, 図1 - 図23 (ファミリーなし)	1-3, 5-11, 13-16 4, 12
Y	JP 2005-217302 A (ソニー株式会社) 2005.08.11, 【特許請求の範囲】, 【0015】 - 【0035】, 図1 - 図3, 図7, 図8 & US 2005/0168604 A1 & KR 10-2006-0042901 A & CN 1649165 A & TW 278109 B	1-3, 5-11, 13-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

07.12.2010

国際調査報告の発送日

14.12.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明

電話番号 03-3581-1101 内線 3498

4L

9353

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-108916 A (ソニー株式会社) 2008.05.08, 【0022】 - 【0026】, 図1 & US 2008/0142856 A1 & KR 10-2008-0031647 A	8, 16
Y	JP 2005-223134 A (キヤノン株式会社) 2005.08.18, 【0020】 - 【0028】, 図1 - 図4 (ファミリーなし)	8, 16