

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年4月7日(07.04.2011)

PCT

(10) 国際公開番号  
WO 2011/040012 A1

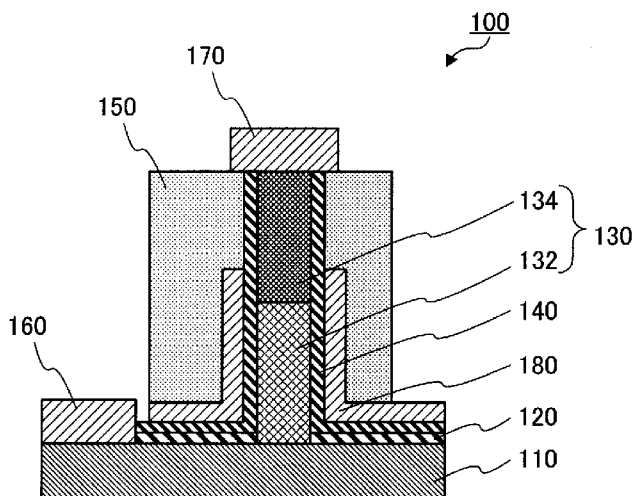
- (51) 国際特許分類:  
H01L 29/66 (2006.01) H01L 29/06 (2006.01)  
C30B 29/62 (2006.01) H01L 29/12 (2006.01)  
H01L 21/20 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2010/005862
- (22) 国際出願日: 2010年9月29日(29.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-227564 2009年9月30日(30.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人北海道大学(NATIONAL UNIVERSITY CORPORATION HOKKAIDO UNIVERSITY) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 富岡克広 (TOMIOKA, Katsuhiko), 福井孝志 (FUKUI, Takashi), 田中智隆 (TANAKA, Tomotaka).
- (74) 代理人: 鷲田 公一 (WASHIDA, Kimihito); 〒2060034 東京都多摩市鶴牧1丁目24-1 新都市センタービル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: TUNNEL FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: トンネル電界効果トランジスタおよびその製造方法

[図4]



(57) Abstract: Disclosed is a tunnel field effect transistor which is capable of operating at a low subthreshold and is able to be manufactured easily. Specifically disclosed is a tunnel field effect transistor which comprises: a group IV semiconductor substrate that is doped so as to have a first conductivity type; a group III-V compound semiconductor nanowire that is arranged on the (111) surface of the group IV semiconductor substrate and contains a first region that is connected to the (111) surface of the group IV semiconductor substrate and a second region that is doped so as to have a second conductivity type that is different from the first conductivity type; a source electrode that is connected to the group IV semiconductor substrate; a drain electrode that is connected to the second region of the group III-V compound semiconductor nanowire; and a gate electrode that is arranged at a position at which it is possible to affect the interface between the (111) surface of the group IV semiconductor substrate and the group III-V

compound semiconductor nanowire, or the interface between the first region and the second region of the group III-V compound semiconductor nanowire.

(57) 要約:

[続葉有]

WO 2011/040012 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

---

本発明は、小さなサブ閾値で動作可能であり、かつ容易に製造されうるトンネル電界効果トランジスタに関する。本発明のトンネル電界効果トランジスタは、第 1 導電型にドーピングされた IV 族半導体基板と；前記 IV 族半導体基板の (1 1 1) 面上に配置された III-V 族化合物半導体ナノワイヤであって、前記 IV 族半導体基板の (1 1 1) 面に接続された第 1 の領域と、前記第 1 導電型と異なる第 2 導電型にドーピングされた第 2 の領域とを含む III-V 族化合物半導体ナノワイヤと；前記 IV 族半導体基板に接続されたソース電極と；前記 III-V 族化合物半導体ナノワイヤの第 2 の領域に接続されたドレイン電極と；前記 IV 族半導体基板の (1 1 1) 面と前記 III-V 族化合物半導体ナノワイヤとの界面、または前記 III-V 族化合物半導体ナノワイヤの第 1 の領域と第 2 の領域との界面に効果を及ぼしうる位置に配置されたゲート電極とを有する。

## 明 細 書

### 発明の名称 : トンネル電界効果トランジスタおよびその製造方法 技術分野

[0001] 本発明は、III-V族化合物半導体ナノワイヤを有するトンネル電界効果トランジスタおよびその製造方法に関する。

### 背景技術

[0002] 半導体マイクロプロセッサおよび高集積回路は、金属-酸化膜-半導体（以下「MOS」という）電界効果トランジスタ（以下「FET」という）などの素子を半導体基板上に集積して製造される。一般的には、相補型MOSFET（以下「CMOS」という）が集積回路の基本素子（スイッチ素子）となる。半導体基板の材料には、IV族半導体であるシリコンが主として使用される。CMOSを構成するトランジスタを小型化することで、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。CMOSを小型化する際の課題の一つは、電力消費量の増大である。電力消費量の増大の主な原因としては、1つのマイクロチップに搭載可能なCMOSの数が増加すること、および短チャネル効果によるリーク電流が増大することの2つが挙げられる。これらのうち、リーク電流の増大は、供給電圧の増大をもたらすことになる。したがって、各CMOSについて、リーク電流を抑制し、動作電圧を低減させる必要がある。

[0003] CMOSのスイッチ特性を示す指標として、サブ閾値（mV/桁）が用いられる。サブ閾値は、MOSFETをON状態にするための最低駆動電圧に相当する。従来のMOSFETのスイッチ特性は、電子および正孔（キャリア）の拡散現象に基づくものである。したがって、従来のMOSFETでは、サブ閾値スロープの理論的な最小値は60mV/桁であり、これよりも小さなサブ閾値を示すスイッチ特性を実現することはできなかった。

[0004] この物理的な理論限界を超え、より小さなサブ閾値で動作するスイッチ素子として、トンネルFET（以下「TFET」という）が報告されている（

例えば、非特許文献 1, 2 参照)。TFETは、短チャネル効果がなく、かつ高いON/OFF比を低電圧で実現できるため、次世代スイッチ素子の有力な候補と考えられている。近年、ナノワイヤを用いたTFETが報告されている(例えば、特許文献 1~4 参照)。

[0005] 特許文献 1 には、n 型ドーピング領域(ソース/ドレイン領域)、非ドーピング領域(チャネル領域)および p 型ドーピング領域(ドレイン/ソース領域)を含むナノワイヤを有する TFET が記載されている。非ドーピング領域(チャネル領域)の上にゲート誘電体層が形成されており、ゲート電極はゲート誘電体層の上に配置されている。この TFET は、ナノワイヤの第 1 の領域に n 型ドーパントをドーピングしてソース/ドレイン領域を形成し、第 2 の領域に p 型ドーパントをドーピングしてドレイン/ソース領域を形成することで作製される。

[0006] 特許文献 2~4 には、n 型ドーピング領域(ソース/ドレイン領域)、非ドーピング/低ドーピング領域(チャネル領域)および p 型ドーピング領域(ドレイン/ソース領域)を含むナノワイヤを有する TFET が記載されている。非ドーピング/低ドーピング領域(チャネル領域)の上にゲート誘電体層が形成されており、ゲート電極はゲート誘電体層の上に配置されている。この TFET では、ソース領域とチャネル領域との接合界面においてトンネル現象が生じる。この TFET は、基板表面に置いた金属触媒を用いてナノワイヤを成長させた後、n 型または p 型のドーパントをドーピングしてソース領域、チャネル領域およびドレイン領域を形成することで作製される。

## 先行技術文献

### 特許文献

[0007] 特許文献 1: 米国特許出願公開第 2005/0274992 号

特許文献 2: 特開 2008-72104 号公報

特許文献 3: 特開 2008-103702 号公報

特許文献 4: 特開 2008-252086 号公報

### 非特許文献

[0008] 非特許文献 1: Bhuwarka, K. K., Schulze, J. and Eisele, I., "Scaling the

vertical tunnel FET with tunnel bandgap modulation and gate workfunction engineering", IEEE transactions on electron devices, Vol.52, No. 5, May (2005), pp.909-917.

非特許文献2 : Bhuwalka, K.K., Schulze, J. and Eisele, I., "A simulation approach to optimize the electrical parameters of a vertical tunnel FET", IEEE transactions on electron devices, Vol.52, No.7, July (2005), pp.1541-1547.

## 発明の概要

### 発明が解決しようとする課題

- [0009] しかしながら、特許文献1の技術には、新しい材料を導入できないという欠点を有している。
- [0010] また、特許文献2～4の技術には、ナノワイヤの作製工程に問題がある。これらの技術では、金属触媒を用いた気相-液相-固相機構によりナノワイヤを作製しているため、金属触媒からの影響を防ぐことができない。これらの技術では、TFETの各領域の導電型と不純物濃度を特定しているが、金属触媒が不純物として混入するため、特定された構造のナノワイヤを作製することは現実的に不可能である。また、これらの技術では、トンネル現象が生じるヘテロ領域（ヘテロセクション）において、第1の半導体および第2の半導体にそれぞれ異なる材料を用いる技術を用いている。たとえば、IV族半導体からなるナノワイヤの上にIII-V族化合物半導体からなるナノワイヤを作製する場合、IV族半導体は無極性結晶構造であり、III-V族化合物半導体は極性結晶構造であることから、成長方向が多方向に発散してしまう。このように第1の半導体および第2の半導体にそれぞれ異なる材料を用いる技術を用いると、ナノワイヤの成長方向が多方向に発散してしまうが、特許文献2～4にはこの問題を解決する技術が開示されていない。
- [0011] 本発明は、かかる点に鑑みてなされたものであり、小さなサブ閾値（60 mV/桁以下）で動作可能であり、かつ容易に製造しうるTFETおよびその製造方法を提供することを目的とする。

## 課題を解決するための手段

[0012] 本発明者は、IV族半導体基板の(111)面にIII-V族化合物半導体からなるナノワイヤを作製し、得られた半導体構造物を用いてTFETを作製することで上記課題を解決しうることを見出し、さらに検討を加えて本発明を完成させた。

[0013] すなわち、本発明の第一は、以下のトンネル電界効果トランジスタ(TFET)およびスイッチ素子に関する。

[1] (111)面を有し、第1導電型にドーパされたIV族半導体基板と；前記IV族半導体基板の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、前記IV族半導体基板の(111)面に接続された第1の領域と、前記第1導電型と異なる第2導電型にドーパされた第2の領域とを含むIII-V族化合物半導体ナノワイヤと；前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板に接続されたソース電極またはドレイン電極と；前記III-V族化合物半導体ナノワイヤの第2の領域に接続されたドレイン電極またはソース電極と；前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極とを有するトンネル電界効果トランジスタ。

[2] (111)面を有する第1の領域と、第1導電型にドーパされた第2の領域とを含むIV族半導体基板と；前記IV族半導体基板の第1の領域の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、ドーパされていないか、または前記第1導電型と異なる第2導電型にドーパされたIII-V族化合物半導体ナノワイヤと；前記III-V族化合物半導体ナノワイヤに接続されたソース電極またはドレイン電極と；前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板の第2の領域に接続されたドレイン電極またはソース電極と；前記III-V族化合物半導体ナノワイヤと前記IV族半導体基板の(111)面との界面に電界を作用させるゲート電極とを有するトンネル電界効果トランジスタ。

[3] 前記IV族半導体は、シリコンまたはゲルマニウムであり；前記III-

V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbであり；前記III-V族化合物半導体ナノワイヤの長軸は、前記IV族半導体基板の(111)面に対して垂直である、[1]または[2]に記載のトンネル電界効果トランジスタ。

[4] 前記III-V族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜をさらに有し、前記ゲート電極は前記ゲート誘電体膜上に配置されている、[1]～[3]のいずれかに記載のトンネル電界効果トランジスタ。

[5] 前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの界面は、無転位かつ無欠陥である、[1]～[4]のいずれかに記載のトンネル電界効果トランジスタ。

[6] [1]～[5]のいずれかに記載のトンネル電界効果トランジスタを含むスイッチ素子。

[0014] また、本発明の第二は、以下のトンネル電界効果トランジスタ(TFET)の製造方法に関する。

[7] IV族半導体基板およびIII-V族化合物半導体ナノワイヤを有するトンネル電界効果トランジスタの製造方法であって：(111)面を有するIV族半導体基板と、前記(111)面を被覆し、開口部を有する絶縁膜とを含む基板を準備するステップと；前記基板を低温熱処理して、前記開口部内で露出している前記(111)面を(111)1×1面とするステップと；前記基板に低温条件下でIII族原料またはV族原料を供給して、前記開口部内で露出している前記(111)面を(111)A面または(111)B面に変換するステップと；前記開口部内で露出している前記(111)面からIII-V族化合物半導体ナノワイヤを成長させるステップと；ゲート電極を形成するステップと；前記III-V族化合物半導体ナノワイヤと接触しないように前

記IV族半導体基板の上にソース電極またはドレイン電極を形成し、かつ前記III-V族化合物半導体ナノワイヤ上にドレイン電極またはソース電極を形成するステップと、を含む、トンネル電界効果トランジスタの製造方法。

[8] 前記基板を低温熱処理するステップの前に、前記基板を高温熱処理することにより、前記IV族半導体基板の表面に形成された自然酸化膜を除去するステップをさらに含む、[7]に記載の製造方法。

[9] 前記(111)A面または前記(111)B面に変換された(111)1×1面に、V族原料とIII族原料とを交互に供給することで、III-V族化合物半導体の薄膜を形成するステップをさらに含む、[7]または[8]に記載の製造方法。

[10] 前記(111)面を(111)1×1面とするステップと、前記(111)面を前記(111)A面または(111)B面に変換するステップとを、順に行なうか、または同時に行う、[7]～[9]のいずれかに記載の製造方法。

[11] 前記IV族半導体は、シリコンまたはゲルマニウムであり；前記III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタンを含むガスであり；前記V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマスを含むガスであり；前記III-V化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbである、[7]～[10]のいずれかに記載の製造方法。

[12] 前記(111)面を被覆する絶縁膜は、前記IV族半導体基板の表面の熱酸化膜である、[7]～[11]のいずれかに記載の製造方法。

## 発明の効果

[0015] 本発明によれば、小さなサブ閾値(60mV/桁以下)で動作可能なTFET(スイッチ素子)を容易に製造することができる。本発明のTFETを



用いることで、半導体マイクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

### 図面の簡単な説明

[0016] [図1]基板温度を上昇させたとき、および基板温度を高温から低下させたときに生じるシリコン表面の再構成構造（表面原子の配列周期が変化する現象）の分類図である。

[図2]図2Aは（111）面を示す模式図である。図2Bは（111） $1 \times 1$ 面を示す模式図である。

[図3]図3Aは、シリコン基板およびGaAsナノワイヤの断面写真である。図3Bは、図3Aにおいて破線で囲まれた領域の拡大写真である。図3Cは、図3Bにおいて破線で囲まれた領域のフーリエ変換図である。

[図4]実施の形態1のTFETの構成を示す断面図である。

[図5]実施の形態1のTFETの製造工程を示す模式図である。

[図6]実施の形態1のTFETのバンド構造模式図である。

[図7]実施の形態2のTFETの構成を示す断面図である。

[図8]実施の形態2のTFETのバンド構造模式図である。

[図9]実施の形態3のTFETの構成を示す断面図である。

[図10]実施の形態3のTFETの製造工程を示す模式図である。

[図11]実施の形態3のTFETのバンド構造模式図である。

[図12]実施の形態4のTFETの構成を示す断面図である。

[図13]実施の形態4のTFETのバンド構造模式図である。

[図14]実施の形態5のTFETの構成を示す断面図である。

[図15]実施の形態5のTFETの製造工程を示す模式図である。

[図16]GaAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡写真である。

[図17]電流電圧特性の測定に用いられたデバイスの構成を示す断面図である。

。

[図18] 図18Aは、n型シリコン基板上に形成されたInAsナノワイヤの電流電圧曲線を示すグラフである。図18Bは、n型シリコンおよびInAsナノワイヤのバンド構造模式図である。

[図19] 図19Aは、n型シリコン基板上に形成されたGaAsナノワイヤの電流電圧曲線を示すグラフである。図19Bは、n型シリコンおよびGaAsナノワイヤのバンド構造模式図である。

[図20] 図20Aは、シミュレーションに用いた本発明のTFETの構成を示す断面図である。図20Bは、シミュレーションによって得られたTFETの電気特性を示すグラフである。

[図21] 実施例2で作製したTFETの構成を示す断面図である。

[図22] 実施例2で作製したTFETの電気特性を示すグラフである。

### 発明を実施するための形態

#### [0017] 1. 本発明のトンネル電界効果トランジスタ

本発明のトンネル電界効果トランジスタ（TFET）は、IV族半導体基板、III-V族化合物半導体ナノワイヤ、ソース電極、ドレイン電極およびゲート電極を有する。1つのIV族半導体基板の上に複数のTFETが形成されていてもよい。本発明のTFETは、IV族半導体基板の（111）面およびIII-V族化合物半導体ナノワイヤが接合界面を形成することを特徴とする。本発明のTFETでは、この接合界面においてトンネル現象が生じる。

[0018] IV族半導体基板は、シリコン基板やゲルマニウム基板などの、IV族半導体からなる（111）面を有する基板である。IV族半導体基板は、例えばシリコン（111）基板またはシリコン（100）基板である。IV族半導体基板がシリコン（100）基板の場合は、（100）面とは別に（111）面が形成されている（実施の形態3、4参照）。また、IV族半導体基板は、その端面が（111）面であるIV族半導体層を有するIV族半導体基板であってもよい（実施の形態5参照）。

[0019] IV族半導体基板は、n型またはp型にドーピングされていてもよい。このとき、基板全体がドーピングされていてもよいし、基板の一部のみがドーピングされてい

てもよい。また、IV族半導体基板の表面には、絶縁膜が形成されていてもよい。絶縁膜の例には、酸化シリコン膜、窒化シリコン膜が含まれる。

[0020] III-V族化合物半導体ナノワイヤは、III-V族化合物半導体からなる、直径2~100nm、長さ50nm~10 $\mu$ mの構造体である。III-V族化合物半導体ナノワイヤは、IV族半導体基板の(111)面上に、その長軸が(111)面に垂直になるように配置されている。III-V族化合物半導体は、2つの元素からなる半導体、3つの元素からなる半導体、4つの元素からなる半導体、それ以上の元素からなる半導体のいずれでもよい。2つの元素からなるIII-V族化合物半導体の例には、InAs、InP、GaAs、GaN、InSb、GaSbおよびAlSbが含まれる。3つの元素からなるIII-V族化合物半導体の例には、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSbおよびAlInSbが含まれる。4つ以上の元素からなるIII-V族化合物半導体の例には、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbおよびAlInGaPSbが含まれる。III-V族化合物半導体ナノワイヤは、n型またはp型にドーピングされていてもよい。このとき、ナノワイヤ全体がドーピングされていてもよいし、ナノワイヤの一部のみがドーピングされていてもよい。

[0021] ソース電極は本発明のTFETのソース領域に接続され、ドレイン電極は本発明のTFETのドレイン領域に接続される。ソース電極およびドレイン電極は、例えばTi/Au合金膜やGe/Au/Ni/Au合金膜などである。ソース電極およびドレイン電極の位置は、本発明のTFETの構造により変わる。たとえば、IV族半導体基板がソース領域として機能し、III-V族化合物半導体ナノワイヤの第1の領域(IV族半導体基板の(111)面と接合している)がチャンネル領域として機能し、III-V族化合物半導体ナノワイヤの第2の領域(第1の領域以外の領域)がドレイン領域として機能する場合は、ソース電極はIV族半導体基板の上に配置され、ドレイン電極はIII-V族化合物半導体ナノワイヤの第2の領域上に配置される(実施の形態1, 2

参照)。一方、III-V族化合物半導体ナノワイヤがソース領域として機能し、IV族半導体基板の第1の領域(III-V族化合物半導体ナノワイヤと接合している)がチャンネル領域として機能し、IV族半導体基板の第2の領域(第1の領域以外の領域)がドレイン領域として機能する場合は、ソース電極はIII-V族化合物半導体ナノワイヤの上に配置され、ドレイン電極はIV族半導体基板の第2の領域の第2の領域上に配置される(実施の形態3, 4参照)。

[0022] ゲート電極は、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接合界面に電界を作用させることができる。通常、チャンネル領域(IV族半導体基板またはIII-V族化合物半導体ナノワイヤ)上にゲート誘電体膜が配置され、ゲート電極は前記ゲート誘電体膜上に配置される。

[0023] 本発明のTFETでは、IV族半導体基板の(111)面とIII-V族化合物半導体ナノワイヤとの接合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでいてもよい。具体的には、前記接合界面におけるミスフィット転位の周期は、前記IV族半導体と前記III-V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きければよい。また、前記接合界面における貫通転位の密度は、 $0 \sim 10^{10}$ 個/cm<sup>2</sup>の範囲内であればよい。後述する本発明のTFETの製造方法で本発明のTFETを製造することで、基本的に無転位かつ無欠陥の接合界面を有する本発明のTFETを製造することができる。

[0024] 本発明のTFETでは、IV族半導体基板の(111)面とIII-V族化合物半導体ナノワイヤとの接合界面がトンネル層として機能する。実施の形態に示されるように、本発明のTFETでは、ゲート電極に正または負のバイアスを印加することで、ソース領域(IV族半導体基板またはIII-V族化合物半導体ナノワイヤ)内のキャリアがトンネル現象によりチャンネル領域(III-V族化合物半導体ナノワイヤまたはIV族半導体基板)内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型またはp型MOSFETのスイッチ動作に相当する。III-V族化合物半導体ナノワイヤを構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わる

ため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。

[0025] 本発明のTFETは、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接合界面に生じるポテンシャルを利用することで、サブ閾値60mV/桁以下で動作することができる（実施例参照）。本発明のTFETをスイッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境負荷低減も実現することができる。

[0026] 2. 本発明のTFETの製造方法

本発明のTFETの製造方法は、1) 基板を準備する第1のステップと、2) III-V族化合物半導体ナノワイヤを成長させる第2のステップと、3) ゲート電極を形成する第3のステップと、4) ソース電極およびドレイン電極を形成する第4のステップを含む。

[0027] 本発明のTFETの製造方法は、触媒を用いずに、IV族半導体基板の(111)面上にIII-V族化合物半導体ナノワイヤを形成すること(第1のステップ、第2のステップ)を主たる特徴とする。ゲート電極の形成(第3のステップ)ならびにソース電極およびドレイン電極の形成(第4のステップ)は、従来の技術を適宜応用して行うことができる。

[0028] 1) 基板の準備

第1のステップでは、(111)面を有するIV族半導体基板と前記(111)面の一部を被覆する絶縁膜とを含む基板を準備する。IV族半導体基板の種類は、(111)面を有するものであれば特に限定されず、例えばn型シリコン(111)基板やp型シリコン(111)基板である。IV族半導体基板が(111)面を有さない基板(シリコン(100)基板など)の場合は、異方性エッチングにより(111)面を露出させることが好ましい(実施の形態3, 4参照)。また、IV族半導体基板は、その端面が(111)面であるIV族半導体層を有するIV族半導体基板であってもよい(実施の形態5参照)。

- [0029] IV族半導体基板の(111)面は、開口部を有する絶縁膜で被覆されている。(111)面を被覆する絶縁膜の材料は、無機絶縁材料であれば特に限定されない。無機絶縁材料の例には、酸化シリコン、窒化シリコンなどが含まれる。(111)面を被覆する絶縁膜の厚さは、特に限定されないが、例えば20nm程度であればよい。酸化シリコン膜は、例えばシリコン基板を熱酸化することで形成されうる。もちろん、絶縁膜は、スパッタ法などの一般的な薄膜形成法により形成されてもよい。
- [0030] IV族半導体基板の(111)面を被覆する絶縁膜には、III-V族化合物半導体ナノワイヤを成長させるための1または2以上の開口部が形成される。開口部は、電子ビームリソグラフィーや、フォトリソグラフィー、ナノインプリントリソグラフィーなどの微細パターン加工技術を用いることで形成されうる。IV族半導体基板の(111)面は、開口部を通して外部に露出する。開口部の形状は、特に限定されず、任意に決定することができる。開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の直径は、例えば2~100nm程度であればよい。開口部の直径が大きすぎると、IV族半導体基板の(111)面とIII-V族化合物半導体ナノワイヤとの接合界面に多数の転位または欠陥が形成されるおそれがある。1つのIV族半導体基板に複数の開口部を周期的に配列する場合、開口部の間隔は10nm~数 $\mu$ m程度であればよい。
- [0031] 通常、IV族半導体基板の表面には、自然酸化膜が形成されている。この自然酸化膜は、III-V族化合物半導体ナノワイヤの成長を阻害するので、除去されることが好ましい。そこで、IV半導体基板の(111)面を覆う絶縁膜に開口部を設けた後、高温熱処理することにより、IV半導体基板の表面(開口部内で露出している(111)面)に形成された自然酸化膜を除去することが好ましい。高温熱処理は、例えば水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900°Cの条件で熱処理すればよい。このように高温熱処理を行うことにより、開口部を通して露出した(111)面を被覆する自然酸化膜が除去されるとともに、IV族半導体と自然酸化膜との界面

における結晶構造から、酸素原子が除去される。この酸素原子が除去された箇所には、酸素原子の代わりにIII族原子またはV族原子が吸着する（後述）。

[0032] 高温熱処理後の(111)面は、 $1 \times 1$ 構造で構成される。ところが、そのまま基板の温度を下げると、図1に示される分類（化合物半導体成長温度範囲）のように不規則な原子配列が基板表面に形成される。しかしながら、さらに温度を $400^{\circ}\text{C}$ 程度にまで下げると、再び基板表面が $1 \times 1$ 構造に回復する。そこで、本発明の製造方法では、高温熱処理後に、基板温度を一旦低温（約 $400^{\circ}\text{C}$ 程度）に下げる。ここで「低温」とは、化合物半導体ナノワイヤを成長させるのに必要な温度よりも低い温度をいう。このように基板温度を低下させることにより、IV族半導体基板の(111) $2 \times 1$ 面を(111) $1 \times 1$ 面に変換することができる。「(111) $2 \times 1$ 面」とは、図2Aに示されるように、原子配列を構成する最小単位が2原子間隔 $\times$ 1原子間隔となっている面をいう。一方、「(111) $1 \times 1$ 面」とは、図2Bに示されるように、原子配列を構成する最小単位が1原子間隔 $\times$ 1原子間隔となっている面をいう。

[0033] 後述の通り、IV族半導体基板の(111) $1 \times 1$ 面は、III族元素またはV族元素により、(111)A面または(111)B面に変換される。ここで、「(111)A面」とは、表面にIII族元素が配置されている面をいう。また、「(111)B面」とは、表面にV族元素が配置されている面をいう。

[0034] IV族半導体基板の(111) $1 \times 1$ 面を(111)A面または(111)B面にすることで、その面からIII-V族化合物半導体を成長させやすくすることができる。III-V族化合物半導体の(111)A面または(111)B面は、(111) $2 \times 2$ 面、つまり最小単位が2原子間隔 $\times$ 2原子間隔の周期で構成された構造である。よって、IV族半導体基板の表面に、2原子間隔 $\times$ 2原子間隔よりも小さい最小単位でIII族元素またはV族元素が配置されていると、その表面にIII-V族化合物半導体が成長しやすい。

[0035] 一方、シリコン基板を熱処理することによって生じやすい(111)面の

安定構造は、(1 1 1) 7 × 7 面であると報告されている (Surf. Sci. Vol. 164, (1985), p. 367-392)。 (1 1 1) 7 × 7 面を、(1 1 1) A面または (1 1 1) B面に変換しても、最小単位が7原子間隔 × 7原子間隔の配列周期となる。この最小単位は、III-V族化合物半導体の結晶構造における配列周期の最小単位よりも大きい。よって、その表面にIII-V族化合物半導体が成長しにくい。

[0036] IV族半導体基板の(1 1 1) 2 × 1面を(1 1 1) 1 × 1面にするための低温熱処理は、約350~450°C (例えば、約400°C) の温度で行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不活性ガス雰囲気で行うことが好ましい。

[0037] IV族半導体基板の(1 1 1) 2 × 1面を低温熱処理により(1 1 1) 1 × 1面に変換するとともに、III族原料またはV族原料をIV半導体基板の表面に供給して(1 1 1) A面または(1 1 1) B面に変換する。III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン (有機金属化合物であってもよい) を含むガスであることが好ましい。III族原料は、例えばトリメチルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマス (有機金属化合物であってもよい) を含むガスであることが好ましい。V族原料は、例えば水素化ヒ素 (アルシン;  $AsH_3$ ) である。III族原料またはV族原料の供給は、400~500°Cにて行われることが好ましい。

[0038] IV族半導体基板の表面を(1 1 1) A面または(1 1 1) B面に変換する工程は、IV族半導体基板の表面を(1 1 1) 1 × 1面に変換する工程の後に行ってもよいが、(1 1 1) 1 × 1面に変換する工程と同時に行ってもよい。すなわち、IV族半導体基板の(1 1 1) 面を約400°Cでの低温熱処理により(1 1 1) 1 × 1面に変換しながら、III族原料またはV族原料も供給して(1 1 1) A面または(1 1 1) B面に変換してもよい。

[0039] 前述の通り、IV族半導体基板を高温 (例えば900°C) で熱処理して自然酸化膜を除去するときに、(1 1 1) 面から酸素原子が除去される。酸素原



子が除去された状態で(111)1×1面とすると、IV族元素同士の結合が切れている部分が形成される。図1に示されるように、高温熱処理した後の(111)面は1×1構造で構成され、そのまま温度を下げると、様々な不規則な周期の原子配列が表面に形成される。さらに温度を400℃程度まで下げること、(111)面は1×1構造に回復する。回復した1×1構造は、熱力学的に不安定であり、この状態にIII族元素またはV族元素を供給すると、III族元素またはV族元素は、最表面のIV族原子(例えばシリコン原子)と置き換わるようにIII族原子またはV族原子が表面吸着して、(111)A面または(111)B面を形成する。このため、比較的容易に(111)A面または(111)B面が得られる。

[0040] 2) III-V族化合物半導体ナノワイヤの作製

第2のステップでは、開口部を通して露出したIV族半導体基板の(111)面からIII-V族化合物半導体ナノワイヤを成長させる。このとき、III-V族化合物半導体ナノワイヤを成長させる前に、交互原料供給変調法によりIV族半導体基板の(111)面にIII-V族化合物半導体の薄膜を形成することが好ましい。

[0041] [交互原料供給変調法]

IV族半導体基板にIII族元素を含む原料ガスとV族元素を含む原料ガスとを交互に提供して(以下「交互原料供給変調法」という)、絶縁膜の開口部を通して露出した(111)A面または(111)B面にIII-V族化合物半導体の薄膜を形成する。この交互原料供給変調法による薄膜形成は、III-V族化合物半導体ナノワイヤを成長させるために必要な温度よりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法による薄膜形成は、約400℃で行うか、または400℃から昇温しながら行えばよい。

[0042] 具体的には、IV族半導体基板に(111)A面が形成されている場合は、まずIII族元素を含む原料ガスを供給し、その後V族元素を含む原料ガスを供給する。さらに、III族元素を含む原料ガスとV族元素を含む原料ガスとを交互に繰り返し供給する。一方、IV族半導体基板に(111)B面が形成され

ている場合は、まずV族元素を含む原料ガスを供給し、その後III族元素を含む原料ガスを供給する。さらに、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に繰り返し供給する。

[0043] V族元素を含む原料ガスの供給時間およびIII族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V族元素を含む原料ガスの供給とIII族元素を含む原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。III-V族化合物半導体の薄膜が所望の厚さになるまで、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に供給すればよい。何回か繰り返してガスを供給することにより、III-V族化合物半導体の薄膜が形成される。

[0044] この交互原料供給変調法は、IV族半導体基板の(111)1×1面を(111)A面または(111)B面に変換したときに変換できなかった部位があったとしても、(111)A面または(111)B面を再形成することができるという補償効果もある。交互原料供給変調法により、IV族元素とIII族元素またはV族元素とが結合するからである。

[0045] この後、半導体ナノワイヤを成長させるために基板温度を上げるが、交互原料供給変調法により形成されたIII-V族化合物半導体の薄膜は、基板に吸着したIII族元素やIV族元素が熱で乖離することを防ぐ。

[0046] [III-V族化合物半導体ナノワイヤの形成]

III-V族化合物半導体の薄膜を形成した後に、IIIV族半導体基板の(111)面から絶縁膜の開口部を通してIII-V族化合物半導体ナノワイヤを成長させる。III-V族化合物半導体ナノワイヤの成長は、例えば有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や、分子線エピタキシ法(以下「MBE法」ともいう)などにより行われる。好ましくは、III-V族化合物半導体ナノワイヤの成長は、MOVPE法により行われる。

[0047] MOVPE法による半導体ナノワイヤの形成は、通常MOVPE装置を用いて行うことができる。つまり、所定の温度かつ減圧条件下で、III族元素を含む原料ガスおよびV族元素を含む原料ガスを提供すればよい。たとえば

、InAsナノワイヤを形成するときは、約540°Cで水素化ヒ素(AsH<sub>3</sub>)およびトリメチルインジウムを含むガスを提供すればよい。また、GaAsナノワイヤを形成するときは、約750°Cで水素化ヒ素およびトリメチルガリウムを含むガスを提供すればよい。

[0048] 以上の手順によりIII-V族化合物半導体ナノワイヤを、その長軸が(111)面に対して垂直になるようにIV族半導体基板の(111)面上に形成することができる。このようにして形成されたIII-V族化合物半導体ナノワイヤとIV族半導体基板の(111)面との接合界面は、基本的に無転位かつ無欠陥である。

[0049] 図3は、ミスフィット転位および貫通転位がない接合界面を示す写真である。ここでは絶縁膜の開口数を20nmとしてシリコン基板の上にGaAsナノワイヤを形成した例を示す。図3Aは、シリコン基板およびGaAsナノワイヤの断面写真(TEM観察像)である。図3Bは、図3Aにおいて破線で囲まれた領域の拡大像(高分解能TEM観察像)である。図3Cは、図3Bにおいて破線で囲まれた領域のフーリエ変換図である。図3Cに示されるように、シリコンの(111)面とGaAsの(-1-11)面とでは接合面の数が53本で一致しており、接合界面にはミスフィット転位が存在していない。また、貫通転位も存在していない。シリコンとGaAsとの格子不整合は3.9%であることから、通常は8nmの周期でミスフィット転位が導入される。これに対し、上記手順でGaAsナノワイヤを作製することで、ミスフィット転位の周期を、格子不整合から計算されるミスフィット転位の周期(8nm)よりも大きくすることができる(この場合は無限大)。また、接合界面における貫通転位の密度を0~10<sup>10</sup>個/cm<sup>2</sup>の範囲内とすることができる(この場合は0個/cm<sup>2</sup>)。

[0050] 形成されたIII-V族化合物半導体ナノワイヤは、さらにn型またはp型にドーピングされてもよい。たとえば、MOVPE法でIII-V族化合物半導体ナノワイヤを形成している間にドーピングガスまたはドーピング有機金属を供給することで、III-V族化合物半導体ナノワイヤにn型ドーパントまたはp型

ドーパントをドーピングすることができる。たとえば、MOVPE法でIII-V族化合物半導体ナノワイヤの第1の領域を形成した後に、IV族原子を含むガスまたは有機金属材料とIII-V族化合物半導体ナノワイヤの材料とを同時に供給することで、第2の領域となるn型のIII-V族化合物半導体ナノワイヤを形成することができる。同様に、III-V族化合物半導体ナノワイヤの第1の領域を形成した後に、VI族原子を含むガスまたは有機金属材料とIII-V族化合物半導体ナノワイヤの材料とを同時に供給することで、第2の領域となるp型のIII-V族化合物半導体ナノワイヤを形成することができる。この他にも、第1の領域に相当するIII-V族化合物半導体ナノワイヤに対してIV族原子からなるイオンをイオン注入法で打ち込むことで、n型のIII-V族化合物半導体ナノワイヤを形成することができる。同様に、第1の領域に相当するIII-V族化合物半導体ナノワイヤに対してVI族原子からなるイオンを打ち込むことで、p型のIII-V族化合物半導体ナノワイヤを形成することができる。

[0051] 3) ゲート電極の形成

第3のステップでは、ゲート電極を形成する。通常は、本発明のTFETのチャネル領域(III-V族化合物半導体ナノワイヤまたはIV族半導体基板)にゲート誘電体膜を形成し、その上にゲート電極を形成する。ゲート誘電体膜を形成する方法は特に限定されない。たとえば、ALD法などを用いて酸化シリコン( $\text{SiO}_2$ )、酸化アルミニウム( $\text{Al}_2\text{O}_3$ )、酸化ハフニウム( $\text{HfO}_2$ )または酸化ジルコニウム( $\text{ZrO}_2$ )からなる膜を形成すればよい。また、ゲート電極を形成する方法は特に限定されない。たとえば、フォトリソグラフィ法を用いて、電極形成予定部位以外の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去(リフトオフ)すればよい。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二層構造の電極としてもよい。

[0052] 4) ソース電極およびドレイン電極の形成

第4のステップでは、ソース電極およびドレイン電極を形成する。ソース電極およびドレイン電極を形成する方法は特に限定されない。たとえば、ゲート電極と同様にフォトリソグラフィ法を用いて形成すればよい。また、ソース電極およびドレイン電極を形成する前に、III-V族化合物半導体ナノワイヤ、ゲート誘電体膜およびゲート電極を保護する絶縁保護膜を形成してもよい。絶縁保護膜は、例えば絶縁樹脂からなる膜である。

[0053] 以上の手順により、本発明のTFETを製造することができる。

[0054] 本発明のTFETの製造方法は、金属触媒を用いずにIII-V族化合物半導体ナノワイヤを形成するため、金属汚染の影響を受けることなく高品位の結晶構造でデバイスを形成することができる。また、本発明のTFETの製造方法は、IV族半導体およびIII-V族化合物半導体の種類を適宜選択することで、精密なドーピング技術を用いることなく所望の特性を有するTFETを製造することができる。さらに、本発明のTFETの製造方法では、InGaAsなどの混晶半導体からなるナノワイヤを形成する場合、In組成を変化させるのみで接合界面のバンド不連続性が互いに反対の性質を示すようになる。したがって、この性質を利用することで、III-V族化合物半導体ナノワイヤを1回成長させるのみで、異なるスイッチ特性を示すTFETを製造することができる。

[0055] 以下、図面を参照して本発明のトンネル電界効果トランジスタ（TFET）をより詳細に説明する。

[0056] （実施の形態1）

実施の形態1では、p型に高ドーパされたシリコン（111）基板を用いて作製された本発明のTFETの例を示す。

[0057] 図4は、実施の形態1のTFETの構成を示す断面図である。図4に示されるように、実施の形態1のTFET100は、p型に高ドーパされたシリコン基板110、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。III-V族化合物半導体ナノワイ

ヤ130は、ドーピングされていない第1の領域132およびn型に高ドーピングされた第2の領域134からなる。

[0058] シリコン基板110は、p型に高ドーピングされたシリコン(111)基板である。

[0059] 絶縁膜120は、p型シリコン基板110の2つの面のうち少なくともIII-V族化合物半導体ナノワイヤ130が配置されている面((111)面)を被覆する絶縁性の膜である。絶縁膜120は、例えば膜厚20nmの酸化シリコン( $\text{SiO}_2$ )膜である。p型シリコン基板110のもう一方の面(III-V族化合物半導体ナノワイヤ130が配置されていない面)には、絶縁膜120は形成されていてもよいし、形成されていなくてもよい。p型シリコン基板110とIII-V族化合物半導体ナノワイヤ130、およびp型シリコン基板110とソース電極160とは直接接触して界面を形成しているので、その界面に絶縁膜120は存在しない。

[0060] III-V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ130は、p型シリコン基板110の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III-V族化合物半導体ナノワイヤの第1の領域132(真性半導体)は、第2の領域134(n型半導体)よりもp型シリコン基板110側(p型半導体)に位置する。III-V族化合物半導体ナノワイヤの第1の領域132およびp型シリコン基板110の(111)面は、基本的に無転位かつ無欠陥の接合界面を形成する。

[0061] ゲート誘電体膜140は、III-V族化合物半導体ナノワイヤ130の側面(両端面を除くすべての面)を被覆する絶縁膜である。ゲート誘電体膜140は、例えばハフニウムアルミネート( $\text{HfAlO}_x$ )膜などの高誘電体膜である。

[0062] 絶縁保護膜150は、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140およびゲート電極180を被覆する、絶縁樹脂からなる膜であ

る。

[0063] ソース電極 160 は、p 型シリコン基板 110 上に配置されており、p 型シリコン基板 110 (p 型半導体) に接続されている。ソース電極 160 は、例えば p 型シリコン基板 110 上に形成された Ti/Au 合金膜である。ソース電極 160 は、p 型シリコン基板 110 の 2 つの面のうち III-V 族化合物半導体ナノワイヤ 130 が配置されている面に配置されていてもよいし、シリコン基板のもう一方の面 (III-V 族化合物半導体ナノワイヤ 130 が配置されていない面) に配置されていてもよい。

[0064] ドレイン電極 170 は、III-V 族化合物半導体ナノワイヤ 130 および絶縁保護膜 150 上に配置されており、III-V 族化合物半導体ナノワイヤの第 2 の領域 134 (n 型半導体) に接続されている。ドレイン電極 170 は、例えば III-V 族化合物半導体ナノワイヤ 130 および絶縁保護膜 150 上に配置された Ti/Au 合金膜または Ge/Au/Ni/Au 合金膜である。

[0065] ゲート電極 180 は、III-V 族化合物半導体ナノワイヤの第 1 の領域 132 の周囲を覆うようにゲート誘電体膜 140 上に配置されている。ゲート電極 180 は、例えばゲート誘電体膜 140 上に形成された Ti/Au 合金膜である。

[0066] 図 5 は、実施の形態の 1 の TFET 100 の製造方法を示す模式図である。以下、図 5 を参照して実施の形態の 1 の TFET 100 の製造方法について説明する。

[0067] まず、図 5 A に示されるように、p 型シリコン基板 110 を準備する。この p 型シリコン基板 110 上には、酸化シリコン ( $\text{SiO}_2$ ) からなる膜厚 20 nm の絶縁膜 120 が熱酸化法により形成されている。次いで、図 5 B に示されるように、p 型シリコン基板 110 上の絶縁膜 120 に、フォトリソグラフィ法などを用いて直径 20 nm の開口部 122 を形成する。次いで、図 5 C に示されるように、MOVPE 法により、開口部を通して露出した p 型シリコン基板 110 の (111) 面から III-V 族化合物半導体ナノワイヤ 130 を成長させる。このとき、III-V 族化合物半導体ナノワイヤ 130

を成長させる前に、交互原料供給変調法により p 型シリコン基板 110 の (111) 面に III-V 族化合物半導体の薄膜を形成することが好ましい。また、III-V 族化合物半導体ナノワイヤ 130 を形成した直後に、III-V 族化合物半導体ナノワイヤの第 2 の領域 134 をドーピングして、ドーピングされていない第 1 の領域 132 および n 型に高ドーピングされた第 2 の領域 134 を形成する。最後に、図 5D に示されるように、ゲート誘電体膜 140、絶縁保護膜 150、ソース電極 160、ドレイン電極 170 およびゲート電極 180 を形成する。

[0068] 実施の形態 1 の TFET 100 では、III-V 族化合物半導体ナノワイヤの第 1 の領域 132 とシリコン基板 110 の (111) 面との接合面がトンネル層として機能する。図 6 に示されるように、本実施の形態の TFET 100 では、ゲート電極 180 に正のバイアスを印加することで、p 型シリコン基板 110 内のキャリアがトンネル現象により III-V 族化合物半導体ナノワイヤ 130 内に移動する (ON 状態となる)。この動作は、CMOS スイッチの n 型 MOSFET のスイッチ動作に相当する。また、III-V 族化合物半導体ナノワイヤ 130 を構成する III-V 族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V 族化合物半導体の種類を変えることにより、ON 状態に必要な供給電圧を任意に制御することができる。また、絶縁保護膜 150 で III-V 族化合物半導体ナノワイヤ 130 の周囲を被覆するため、複数の TFET 100 を集積化することもできる。

[0069] (実施の形態 2)

実施の形態 2 では、n 型に高ドーピングされたシリコン (111) 基板を用いて作製された本発明の TFET の例を示す。

[0070] 図 7 は、実施の形態 2 の TFET の構成を示す断面図である。実施の形態 1 の TFET と同じ構成要素については同一の符号を付し、重複箇所の説明を省略する。

[0071] 図 7 に示されるように、実施の形態 2 の TFET 200 は、n 型に高ドーピングされたシリコン基板 210、絶縁膜 120、III-V 族化合物半導体ナノワ



イヤ220、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。III-V族化合物半導体ナノワイヤ220は、n型に低ドーピングされた第1の領域222およびp型に高ドーピングされた第2の領域224から構成される。

- [0072] シリコン基板210は、n型に高ドーピングされたシリコン(111)基板である。
- [0073] III-V族化合物半導体ナノワイヤ220は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ220は、n型シリコン基板210の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III-V族化合物半導体ナノワイヤの第1の領域222(n型半導体)は、第2の領域224(p型半導体)よりもシリコン基板210側に位置する。III-V族化合物半導体ナノワイヤの第1の領域222およびn型シリコン基板210の(111)面は、基本的に無転位かつ無欠陥の接合界面を形成する。
- [0074] 実施の形態2のTFET200は、実施の形態1のTFET100と同様の手順で作製することができる。
- [0075] 実施の形態2のTFET200では、III-V族化合物半導体ナノワイヤの第1の領域222とn型シリコン基板210の(111)面との接合面がトンネル層として機能する。図8に示されるように、本実施の形態のTFET200では、ゲート電極180に負のバイアスを印加することで、n型シリコン基板210内のキャリアがトンネル現象によりIII-V族化合物半導体ナノワイヤ220内に移動する(ON状態となる)。この動作は、CMOSスイッチのp型MOSFETのスイッチ動作に相当する。また、III-V族化合物半導体ナノワイヤ220を構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。また、絶縁保護膜150でIII-V族化合物半導体ナノワイヤ220の

周囲を被覆するため、複数のTFET200を集積化することもできる。

[0076] (実施の形態3)

実施の形態3では、p型に低ドーピングされたシリコン(100)基板を用いて作製された本発明のTFETの例を示す。

[0077] 図9は、実施の形態3のTFETの構成を示す断面図である。図9に示されるように、実施の形態3のTFET300は、p型に低ドーピングされたシリコン基板310、p型に低ドーピングされたIII-V族化合物半導体ナノワイヤ320、絶縁膜(ゲート誘電体膜)330、ソース電極340、ドレイン電極350およびゲート電極360を有する。絶縁膜330の一部の領域は、ゲート誘電体膜としても機能する。p型シリコン基板310は、ドーピングされていない第1の領域312およびn型に高ドーピングされた第2の領域314を有する。

[0078] シリコン基板310は、p型に低ドーピングされたシリコン(100)基板である。シリコン基板310の2つの面のうちIII-V族化合物半導体ナノワイヤ320が配置されている面には、ドーピングされていない第1の領域312(真性半導体)およびn型に高ドーピングされた第2の領域314(n型半導体)が互いに隣接するように形成されている。第1の領域312は、(100)面だけでなく(111)面313も有する。

[0079] III-V族化合物半導体ナノワイヤ320は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ320は、シリコン基板の第1の領域の(111)面313上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III-V族化合物半導体ナノワイヤ320およびシリコン基板の第1の領域の(111)面313は、基本的に無転位かつ無欠陥の接合界面を形成する。

[0080] 絶縁膜330は、シリコン基板の第1の領域312の表面((100)面)の全部および第2の領域314の表面((100)面)の一部を少なくとも被覆する。前述の通り、絶縁膜330の一部の領域は、ゲート誘電体膜と

して機能する。絶縁膜（ゲート誘電体膜）330は、例えばハフニウムアルミネート（ $\text{HfAlO}_x$ ）膜などの高誘電体膜である。

[0081] ソース電極340は、シリコン基板310（第1の領域312および第2の領域314以外の領域）上の絶縁膜330上に配置されており、III-V族化合物半導体ナノワイヤ320に接続されている。ソース電極340は、例えば絶縁膜330上に形成されたTi/Au合金膜である。

[0082] ドレイン電極350は、シリコン基板の第2の領域314上に配置されており、シリコン基板の第2の領域314に接続されている。ドレイン電極350は、例えばシリコン基板の第2の領域314上に配置されたTi/Au合金膜またはGe/Au/Ni/Au合金膜である。

[0083] ゲート電極360は、シリコン基板の第1の領域312上の絶縁膜（ゲート誘電体膜）330上に配置されている。ゲート電極360は、例えばゲート誘電体膜（絶縁膜）330上に形成されたTi/Au合金膜である。

[0084] 図10は、実施の形態の3のTFET300の製造方法を示す模式図である。以下、図10を参照して実施の形態の3のTFET300の製造方法について説明する。

[0085] まず、図10Aに示されるように、シリコン基板310を準備する。このシリコン基板310には、ドーピングされていない第1の領域312およびn型に高ドーピングされた第2の領域314が形成されている。次いで、図10Bに示されるように、シリコン基板の第1の領域312に対して異方性エッチングを行い、(111)面313を露出させる。また、シリコン基板310の表面に酸化シリコン（ $\text{SiO}_2$ ）からなる膜厚20nmの絶縁膜330を熱酸化法により形成する。この絶縁膜330には、シリコン基板の第1の領域の(111)面313が露出するように開口部が形成されている。次いで、図10Cに示されるように、MOVPE法により、第1の領域の(111)面313から開口部を通してIII-V族化合物半導体ナノワイヤ320を成長させる。このとき、III-V族化合物半導体ナノワイヤ320を成長させる前に、交互原料供給変調法により第1の領域の(111)面313にIII-V族化

合物半導体の薄膜を形成することが好ましい。最後に、図10Dに示されるように、ソース電極340、ドレイン電極350およびゲート電極360を形成する。

[0086] 本実施の形態のTFET300では、III-V族化合物半導体ナノワイヤ320とシリコン基板の第1の領域の(111)面313との接合面がトンネル層として機能する。図11に示されるように、本実施の形態のTFET300では、ゲート電極360に正のバイアスを印加することで、III-V族化合物半導体ナノワイヤ320内のキャリアがトンネル現象によりシリコン基板の第1の領域312内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型MOSFETのスイッチ動作に相当する。また、III-V族化合物半導体ナノワイヤ320を構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。また、本実施の形態のTFET300は、現在一般的に用いられているシリコン(100)基板上に集積することもできる。

[0087] (実施の形態4)

実施の形態4では、n型に低ドーパされたシリコン(100)基板を用いて作製された本発明のTFETの例を示す。

[0088] 図12は、実施の形態4のTFETの構成を示す断面図である。実施の形態3のTFETと同じ構成要素については同一の符号を付し、重複箇所の説明を省略する。

[0089] 図12に示されるように、実施の形態4のTFET400は、n型に低ドーパされたシリコン基板410、ドーパされていないIII-V族化合物半導体ナノワイヤ420、絶縁膜(ゲート誘電体膜)330、ソース電極340、ドレイン電極350およびゲート電極360を有する。シリコン基板410は、ドーパされていない第1の領域412およびp型に高ドーパされた第2の領域414を有する。

[0090] シリコン基板410は、n型に低ドーパされたシリコン(100)基板で

ある。シリコン基板410の2つの面のうちIII-V族化合物半導体ナノワイヤ420が配置されている面には、ドーピングされていない第1の領域412（真性半導体）およびp型に低ドーピングされた第2の領域414（p型半導体）が互いに隣接するように形成されている。第1の領域412は、(100)面だけでなく(111)面413も有する。

[0091] III-V族化合物半導体ナノワイヤ420は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ420は、シリコン基板の第1の領域の(111)面413上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III-V族化合物半導体ナノワイヤ420およびシリコン基板の第1の領域の(111)面413は、基本的に無転位かつ無欠陥の接合界面を形成する。

[0092] 実施の形態4のTFET400は、実施の形態3のTFET300と同様の手順で作製することができる。

[0093] 本実施の形態のTFET400では、III-V族化合物半導体ナノワイヤ420とシリコン基板の第1の領域の(111)面413との接合面がトンネル層として機能する。図13に示されるように、本実施の形態のTFET400では、ゲート電極360に負のバイアスを印加することで、III-V族化合物半導体ナノワイヤ420内のキャリアがトンネル現象によりシリコン基板の第1の領域412内に移動する（ON状態となる）。この動作は、CMOSスイッチのp型MOSFETのスイッチ動作に相当する。また、III-V族化合物半導体ナノワイヤ420を構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。また、本実施の形態のTFET400は、現在一般的に用いられているシリコン(100)基板上に集積することもできる。

[0094] （実施の形態5）

実施の形態5では、絶縁膜の開口部内にシリコン層を有するシリコン基板

を用いて作製された本発明のTFETの例を示す。

- [0095] 図14は、実施の形態5のTFETの構成を示す断面図である。実施の形態1のTFETと同じ構成要素については同一の符号を付し、重複箇所の説明を省略する。
- [0096] 図14に示されるように、実施の形態5のTFET500は、p型に高ドーピングされたシリコン基板510、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。シリコン基板510は、その表面が(111)面のシリコン層512を有する。III-V族化合物半導体ナノワイヤ130は、ドーピングされていない第1の領域132およびn型に高ドーピングされた第2の領域134から構成される。
- [0097] シリコン基板510は、p型に高ドーピングされたシリコン(111)基板である。シリコン基板510は、絶縁膜120の開口部内にシリコン層512を有する。シリコン層512は、例えば直径20nm(開口部の直径と同じ)、厚み10nm(絶縁膜の厚み以下)のシリコンからなる薄膜である。シリコン層512は、シリコン基板510と同様にp型に高ドーピングされている。また、シリコン層512の表面は、(111)面である。
- [0098] III-V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ130は、p型シリコン基板510の(111)面、より具体的には、シリコン層512の表面((111)面)上に配置されている。III-V族化合物半導体ナノワイヤの第1の領域132(真性半導体)は、第2の領域134(n型半導体)よりもシリコン基板510側に位置する。III-V族化合物半導体ナノワイヤの第1の領域132およびp型シリコン基板510の(111)面(より具体的には、シリコン層512の(111)面)は、基本的に無転位かつ無欠陥の接合界面を形成する。
- [0099] 図15は、実施の形態5のTFET500の製造方法を示す模式図である。以下、図15を参照して実施の形態5のTFET500の製造方法に

ついて説明する。

[0100] まず、図15Aに示されるように、p型シリコン基板510を準備する。このp型シリコン基板510上には、酸化シリコン(SiO<sub>2</sub>)からなる膜厚20nmの絶縁膜120が熱酸化法により形成されている。この絶縁膜120には、直径20nmの開口部122が形成されている。次いで、図15Bに示されるように、MOVPE法により、開口部を通して露出したp型シリコン基板510の(111)面の上にp型に高ドーピングされたシリコン層512を形成する。このようにして形成したシリコン層512の表面は、(111)面である。次いで、図15Cに示されるように、MOVPE法により、シリコン層512の(111)面からIII-V族化合物半導体ナノワイヤ130を成長させる。このとき、III-V族化合物半導体ナノワイヤ130を成長させる前に、交互原料供給変調法によりシリコン層512の(111)面にIII-V族化合物半導体の薄膜を形成することが好ましい。また、III-V族化合物半導体ナノワイヤ130を形成した直後に、III-V族化合物半導体ナノワイヤの第2の領域134をドーピングして、ドーピングされていない第1の領域132およびn型に高ドーピングされた第2の領域134を形成する。最後に、図15Dに示されるように、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を形成する。

[0101] 実施の形態5のTFET500では、III-V族化合物半導体ナノワイヤの第1の領域132とp型シリコン基板510の(111)面(より具体的には、シリコン層512の(111)面)との接合面がトンネル層として機能する。

[0102] 実施の形態5のTFET500では、シリコン基板510とIII-V族化合物半導体ナノワイヤ130との接合界面の部分にシリコン層512が形成されている。シリコン層512は、シリコン基板510の表面粗さおよびシリコン基板510内の不純物による接合界面への影響を抑制する。したがって、実施の形態5のTFET500では、接合界面の不純物汚染が効果的に抑制される。

## 実施例

[0103] 以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例により限定されない。

[0104] [実施例 1]

実施例 1 では、本発明の T F E T について動作シミュレーションを行った結果を示す。

[0105] 1. III-V 族化合物半導体ナノワイヤの作製

n 型シリコン (1 1 1) 基板を、熱酸化処理して、表面に膜厚 2 0 n m の酸化シリコン膜を形成した。電子線ビームリソグラフィおよびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の面積円相当径は 2 0 n m とした。

[0106] 開口部を形成した基板を減圧横型 M O V P E 装置 ( H R 2 3 3 9 ; 大陽日酸株式会社) にセットした。M O V P E 装置の内温を 9 2 5 ° C に上昇させて 5 分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を 9 2 5 ° C から 4 0 0 ° C に低下させた。水素化ヒ素を水素ガス ( キャリアガス) とともに供給した。水素化ヒ素の分圧は  $1.3 \times 10^{-4}$  a t m とした。

[0107] 次に、交互原料供給変調法によりシリコン基板の開口部に I n A s の薄膜 ( I n A s ナノワイヤを作製する場合) または G a A s の薄膜 ( G a A s ナノワイヤを作製する場合) を形成した。この工程では、トリメチルインジウムまたはトリメチルガリウムと水素化ヒ素とを交互に供給した。具体的には、I n A s の薄膜を形成する場合は、トリメチルインジウムの供給を 2 秒間、水素ガスによるインターバルを 1 秒間、水素化ヒ素の供給を 2 秒間、水素ガスによるインターバルを 1 秒間の組合せを 1 サイクルとして、2 分間かけて 2 0 回繰り返した。トリメチルインジウムの分圧は  $9.6 \times 10^{-7}$  a t m とし、水素化ヒ素の分圧は  $2.5 \times 10^{-4}$  a t m とした。G a A s の薄膜を形成する場合は、装置の内温を 4 0 0 ° C から 7 5 0 ° C に上昇させながら、トリメ



チルガリウムの供給を2秒間、水素ガスによるインターバルを1秒間、水素化ヒ素の供給を2秒間、水素ガスによるインターバルを1秒間の組合せを1サイクルとして、3分間かけて30回繰り返した。トリメチルインジウムの分圧は $1.0 \times 10^{-6}$  atmとし、水素化ヒ素の分圧は $2.5 \times 10^{-4}$  atmとした。

[0108] 次に、装置の内温を上昇させた後、MOVPE法によりInAsナノワイヤまたはGaAsナノワイヤを成長させた。具体的には、InAsナノワイヤを形成する場合は、装置の内温を400°Cから540°Cに上昇させた後、トリメチルインジウムおよび水素化ヒ素を水素ガスとともに供給して、InAsナノワイヤを成長させた。トリメチルインジウムの分圧は $4.9 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $1.3 \times 10^{-4}$  atmとした。GaAsナノワイヤを形成する場合は、装置の内温を400°Cから750°Cに上昇させている間および750°Cに到達した直後にトリメチルガリウムおよび水素化ヒ素を水素ガスとともに供給して、GaAsナノワイヤを成長させた。トリメチルガリウムの分圧は $2.5 \times 10^{-6}$  atmとし、水素化ヒ素の分圧は $1.0 \times 10^{-4}$  atmとした。

[0109] 上記工程により、長さ約1.0 μmのInAsナノワイヤまたは長さ約200 nmのGaAsナノワイヤがシリコン基板表面に形成された。InAsナノワイヤおよびGaAsナノワイヤの長軸は、シリコン基板の表面に対し垂直であった。図16は、GaAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡写真（斜視像）である。

[0110] 2. III-V族化合物半導体ナノワイヤの電流電圧特性の測定

III-V族化合物半導体ナノワイヤを形成したシリコン基板上に絶縁性樹脂（BCB樹脂）膜を形成して、シリコン基板上のナノワイヤを絶縁性樹脂（BCB樹脂）中に包埋した。次いで、反応性イオンエッチングにより絶縁性樹脂膜の上側の一部を除去して、ナノワイヤの先端を露出させた。ナノワイヤが露出した領域に第1の電極としてオーミック電極となりうる金属合金膜または金属多層膜を形成した。具体的には、III-V族化合物半導体ナノワイ

ヤが  $\text{InAs}$  ナノワイヤの場合は、 $\text{Ti/Au}$  合金膜を形成した。一方、 $\text{III-V}$  族化合物半導体ナノワイヤが  $\text{GaAs}$  ナノワイヤの場合は、 $\text{Ge/Au/Ni/Au}$  多層膜を形成した。また、シリコン基板上に第2の電極としてオーミック電極となりうる金属合金膜または金属多層膜を形成した。具体的には、 $\text{III-V}$  族化合物半導体ナノワイヤが  $\text{InAs}$  ナノワイヤの場合は、 $\text{Ti/Au}$  合金膜を形成した。一方、 $\text{III-V}$  族化合物半導体ナノワイヤが  $n\text{-GaAs}$  ナノワイヤの場合は、 $\text{Ge/Au/Ni/Au}$  多層膜を形成し、 $p\text{-GaAs}$  ナノワイヤの場合は、 $\text{Cr/Au}$  多層膜または  $\text{ZnAu}$  合金膜を形成した。

- [0111] 図17は、電極形成後のデバイスの構成を示す断面図である。図17に示されるように、デバイス600は、 $n$ 型シリコン基板610、 $\text{III-V}$  族化合物半導体ナノワイヤ620、絶縁性樹脂（絶縁保護膜）630、第1の電極640および第2の電極650を有する。 $\text{III-V}$  族化合物半導体ナノワイヤ620は、 $n$ 型シリコン基板610の(111)面上に形成されており、第1の電極640と接続されている。また、 $n$ 型シリコン基板610は、第2の電極650と接続されている。
- [0112] 上記工程により作製されたデバイスを用いて、 $n$ 型シリコン基板上に形成された $\text{III-V}$  族化合物半導体ナノワイヤ（ $\text{InAs}$  ナノワイヤおよび  $\text{GaAs}$  ナノワイヤ）の電流電圧特性を測定した。
- [0113] 図18Aは、 $n$ 型シリコン基板上に形成された  $\text{InAs}$  ナノワイヤの電流電圧曲線を示すグラフである。このグラフから、金属接合条件がオーミック電極条件であるにもかかわらず、電流電圧曲線がショットキー型の曲線となっていることがわかる。これは、 $n$ 型シリコン基板と  $\text{InAs}$  ナノワイヤとの接合界面にバンド不連続性によるエネルギー障壁が形成されたためと考えられる（図18B参照）。
- [0114] 図18Bは、 $n$ 型シリコン基板および  $\text{InAs}$  ナノワイヤのバンド構造模式図である。この図から、接合界面において、伝導帯のオフセット値が  $0.81\text{ eV}$  であり、価電子帯のオフセット値が  $0.06\text{ eV}$  であることがわかる。

p型シリコンの場合は、伝導帯のオフセット値が $0.41\text{ eV}$ であり、価電子帯のオフセット値が $0.31\text{ eV}$ であることもわかっている。伝導帯のオフセット値または価電子帯のオフセット値が $0.01\sim 1.5\text{ eV}$ の範囲内であれば、シリコン基板上に形成されたInAsナノワイヤを含むデバイスは、トンネルFETとして機能することができる。

[0115] 図19Aは、n型シリコン基板上に形成されたGaAsナノワイヤの電流電圧曲線を示すグラフである。このグラフから、金属接合条件がオーミック電極条件であるにもかかわらず、電流電圧曲線がショットキー型の曲線となっていることがわかる。これは、n型シリコン基板とGaAsナノワイヤとの接合界面にバンド不連続性によるエネルギー障壁が形成されたためと考えられる（図19B参照）。

[0116] 図19Bは、n型シリコン基板およびGaAsナノワイヤのバンド構造模式図である。この図から、接合界面において、伝導帯のオフセット値が $0.06\text{ eV}$ であり、価電子帯のオフセット値が $0.26\text{ eV}$ であることがわかる。p型シリコンの場合は、伝導帯のオフセット値が $0.58\text{ eV}$ であり、価電子帯のオフセット値が $0.34\text{ eV}$ であることもわかっている。伝導帯のオフセット値または価電子帯のオフセット値が $0.01\sim 1.5\text{ eV}$ の範囲内であれば、シリコン基板上に形成されたGaAsナノワイヤを含むデバイスは、トンネルFETとして機能することができる。

[0117] 3. 本発明のTFETの動作シミュレーション

3次元ポアソン-シュレーディンガー方程式に基づくデバイスシミュレーションを用いて、本発明のTFETの動作シミュレーションを行った。その結果、シリコン-III-V族化合物半導体ナノワイヤ接合界面においてトンネル現象が生じることが示された。

[0118] 図20Aは、シミュレーションに用いた本発明のTFETの構造を示す断面図である。このTFET700は、p型シリコン基板710、InAsナノワイヤ720、ゲート誘電体膜730、ゲート電極740、ソース電極（不図示）およびドレイン電極（不図示）を有する。直径 $20\text{ nm}$ 、長さ $50$

nmのInAsナノワイヤ720は、p型シリコン基板710側のn型に低ドーピングされた第1の領域722（長さ25nm）とドレイン電極側（不図示）のn型に高ドーピングされた第2の領域724（長さ25nm）とに分けられる。InAsナノワイヤの第1の領域722のキャリア濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ とし、第2の領域724のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ とした。p型シリコン基板710のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ とした。ゲート誘電体膜は、 $\text{Al}_2\text{O}_3$ からなる膜厚2.5nmの膜である。シリコンとInAsナノワイヤとのバンド不連続性によるエネルギー障壁は、図18Aのグラフを参照した。

[0119] 図20Bは、シミュレーションによって得られたTFETの電気特性を示すグラフである。このグラフから、図18Aに示されるTFETは、高いON電流と、5mV/桁の急峻なサブ閾値特性を示すことがわかる。また、ゲート電圧を0.25Vとした場合、5桁（ $10^5$ ）のON/OFF比を実現できることもわかる。

[0120] [実施例2]

実施例2では、実施の形態1のTFETを作製した例を示す。

[0121] 1. TFETの作製

1) 基板の準備

p型シリコン（111）基板（キャリア濃度： $7 \times 10^{18} \text{ cm}^{-3}$ ）を、熱酸化処理して、表面に膜厚20nmの酸化シリコン膜を形成した。電子線ビームリソグラフィーおよびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の面積円相当径は100nmとした。

[0122] 2) InAsナノワイヤの作製

開口部を形成した基板を減圧横型MOVPE装置（HR2339；大陽日酸株式会社）にセットした。MOVPE装置の内温を925℃に上昇させて5分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を925℃から400℃に低下させた。水

素化ヒ素を水素ガス（キャリアガス）とともに供給した。水素化ヒ素の分圧は  $1.3 \times 10^{-4}$  atm とした。

[0123] 次に、交互原料供給変調法によりシリコン基板の開口部に InAs の薄膜を形成した。具体的には、トリメチルインジウムの供給を 2 秒間、水素ガスによるインターバルを 1 秒間、水素化ヒ素の供給を 2 秒間、水素ガスによるインターバルを 1 秒間の組合せを 1 サイクルとして、2 分間かけて 20 回繰り返した。トリメチルインジウムの分圧は  $9.6 \times 10^{-7}$  atm とし、水素化ヒ素の分圧は  $2.5 \times 10^{-4}$  atm とした。

[0124] 次に、装置の内温を上昇させた後、MOVPE 法により長さ 800 nm の InAs ナノワイヤを成長させた。具体的には、装置の内温を 400°C から 540°C に上昇させた後、トリメチルインジウムおよび水素化ヒ素を水素ガスとともに供給して、長さ 500 nm の InAs ナノワイヤ（第 1 の領域；キャリア濃度： $2 \times 10^{17} \text{ cm}^{-3}$ ）を成長させた。続いて、トリメチルインジウム、水素化ヒ素およびモノシランを水素ガスとともに供給して、長さ 300 nm の n 型 InAs ナノワイヤ（第 2 の領域；キャリア濃度： $2 \times 10^{19} \text{ cm}^{-3}$ ）を成長させた。トリメチルインジウムの分圧は  $4.9 \times 10^{-7}$  atm とし、水素化ヒ素の分圧は  $1.3 \times 10^{-4}$  atm とし、モノシランの分圧は  $7 \times 10^{-8}$  atm とした。

[0125] 3) TFET の作製

シリコン基板上および InAs ナノワイヤの側面にゲート誘電体膜を形成し、さらにその上にゲート電極を形成した。具体的には、ALD 法により、膜厚 20 nm の  $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}$  膜（ゲート誘電体膜）を形成した。その後、高周波スパッタリング法により、膜厚 100 nm の W 膜（ゲート電極）を形成した。

[0126] 次に、誘電体膜を形成したシリコン基板上に絶縁樹脂（BCB 樹脂）膜を形成して、シリコン基板上の InAs ナノワイヤを絶縁樹脂中に包埋した。次いで、反応性イオンエッチングにより絶縁樹脂の上側の一部を除去して、InAs ナノワイヤの先端を露出させた。

- [0127] 次に、InAsナノワイヤが露出した面にドレイン電極として膜厚120 nmのTi (20 nm) / Au (100 nm) 多層膜を形成した。また、シリコン基板上にソース電極として膜厚50 nmのTi (20 nm) / Au (30 nm) 多層膜を形成した。
- [0128] 図21は、作製した本発明のTFETの構成を示す断面図である。図21に示されるように、このTFET800は、p型シリコン基板810、酸化シリコン膜820、InAsナノワイヤ830、ゲート誘電体膜(Hf<sub>0.8</sub>Al<sub>0.2</sub>O膜)840、ゲート電極(W膜)850、絶縁性樹脂(BCB樹脂)860、ソース電極(Ti / Au多層膜)870およびドレイン電極(Ti / Au多層膜)880を有する。InAsナノワイヤ830は、p型シリコン基板810側の第1の領域832とドレイン電極880側の第2の領域834とに分けられる。
- [0129] 上記工程により作製された本発明のTFETの電気特性を測定した。図22は、2つのTFET(デバイスAおよびデバイスB)の電気特性を示すグラフである。このグラフに示されるように、デバイスAは、ON/OFF比が2桁であり、サブ閾値特性は13 mV / 桁であった。また、デバイスBは、ON/OFF比が2桁であり、サブ閾値特性は10 mV / 桁であった。
- [0130] 以上の結果から、本発明のTFETは、60 mV / 桁以下の小さなサブ閾値で動作可能であることがわかる。
- [0131] 実施例1のシミュレーションでは、本発明のTFETのON/OFF比が5桁であったが、実施例2の測定結果では、本発明のTFETのON/OFF比は2桁であった。これは、実施例2では、シリコン基板とInAsナノワイヤとの接合界面の直径を100 nmと大きくしたことにより、この接合界面においてミスフィット転位が形成されてしまったためと考えられる。したがって、例えば接合界面の直径を小さくすることなどにより、ミスフィット転位の無い接合界面を形成することができれば、本発明のTFETのON/OFF比をさらに向上させることができると考えられる。
- [0132] 本出願は、2009年9月30日出願の特願2009-227564に基

づく優先権を主張する。当該出願明細書および図面に記載された内容は、すべて本願明細書に援用される。

### 産業上の利用可能性

[0133] 本発明のTFETは、例えば半導体マイクロプロセッサおよび高集積回路に形成されるスイッチ素子として有用である。

### 符号の説明

[0134] 100, 200, 300, 400, 500, 700, 800 TFET  
 110, 310, 510, 710, 810 p型シリコン基板  
 120, 820 絶縁膜  
 130, 220, 320, 420, 620, 720, 830 III-V族化合物半導体ナノワイヤ  
 132, 222, 722 III-V族化合物半導体ナノワイヤの第1の領域  
 134, 224, 724 III-V族化合物半導体ナノワイヤの第2の領域  
 140, 330, 730, 840 ゲート誘電体膜  
 150, 630, 860 絶縁保護膜  
 160, 340, 870 ソース電極  
 170, 350, 880 ドレイン電極  
 180, 360, 740, 850 ゲート電極  
 210, 410, 610 n型シリコン基板  
 312 p型シリコン基板の第1の領域  
 313, 413 (111)面  
 314 p型シリコン基板の第2の領域  
 412 n型シリコン基板の第1の領域  
 414 n型シリコン基板の第2の領域  
 512 シリコン層  
 832 InAsナノワイヤの第1の領域  
 834 InAsナノワイヤの第2の領域  
 640 第1の電極

650 第2の電極



## 請求の範囲

- [請求項1] (111)面を有し、第1導電型にドーブされたIV族半導体基板と、
- 、
- 前記IV族半導体基板の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、前記IV族半導体基板の(111)面に接続された第1の領域と、前記第1導電型と異なる第2導電型にドーブされた第2の領域とを含むIII-V族化合物半導体ナノワイヤと、
- 前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板に接続されたソース電極またはドレイン電極と、
- 前記III-V族化合物半導体ナノワイヤの第2の領域に接続されたドレイン電極またはソース電極と、
- 前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極と、
- を有する、トンネル電界効果トランジスタ。
- [請求項2] 前記IV族半導体は、シリコンまたはゲルマニウムであり、
- 前記III-V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbであり、
- 前記III-V族化合物半導体ナノワイヤの長軸は、前記IV族半導体基板の(111)面に対して垂直である、
- 請求項1に記載のトンネル電界効果トランジスタ。
- [請求項3] 前記III-V族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜をさらに有し、
- 前記ゲート電極は、前記ゲート誘電体膜上に配置されている、
- 請求項1に記載のトンネル電界効果トランジスタ。

[請求項4] 前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの界面は、無転位かつ無欠陥である、請求項1に記載のトンネル電界効果トランジスタ。

[請求項5] (111)面を有する第1の領域と、第1導電型にドーピングされた第2の領域とを含むIV族半導体基板と、

前記IV族半導体基板の第1の領域の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、ドーピングされていないか、または前記第1導電型と異なる第2導電型にドーピングされたIII-V族化合物半導体ナノワイヤと、

前記III-V族化合物半導体ナノワイヤに接続されたソース電極またはドレイン電極と、

前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板の第2の領域に接続されたドレイン電極またはソース電極と、

前記III-V族化合物半導体ナノワイヤと前記IV族半導体基板の(111)面との界面に電界を作用させるゲート電極と、

を有する、トンネル電界効果トランジスタ。

[請求項6] 前記IV族半導体は、シリコンまたはゲルマニウムであり、

前記III-V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbであり、

前記III-V族化合物半導体ナノワイヤの長軸は、前記IV族半導体基板の第1の領域の(111)面に対して垂直である、

請求項5に記載のトンネル電界効果トランジスタ。

[請求項7] 前記IV族半導体基板の表面上に配置されたゲート誘電体膜をさらに

有し、

前記ゲート電極は、前記ゲート誘電体膜上に配置されている、  
請求項5に記載のトンネル電界効果トランジスタ。

[請求項8] 前記IV族半導体基板の(111)面と前記III-V族化合物半導体  
ナノワイヤとの界面は、無転位かつ無欠陥である、請求項5に記載の  
トンネル電界効果トランジスタ。

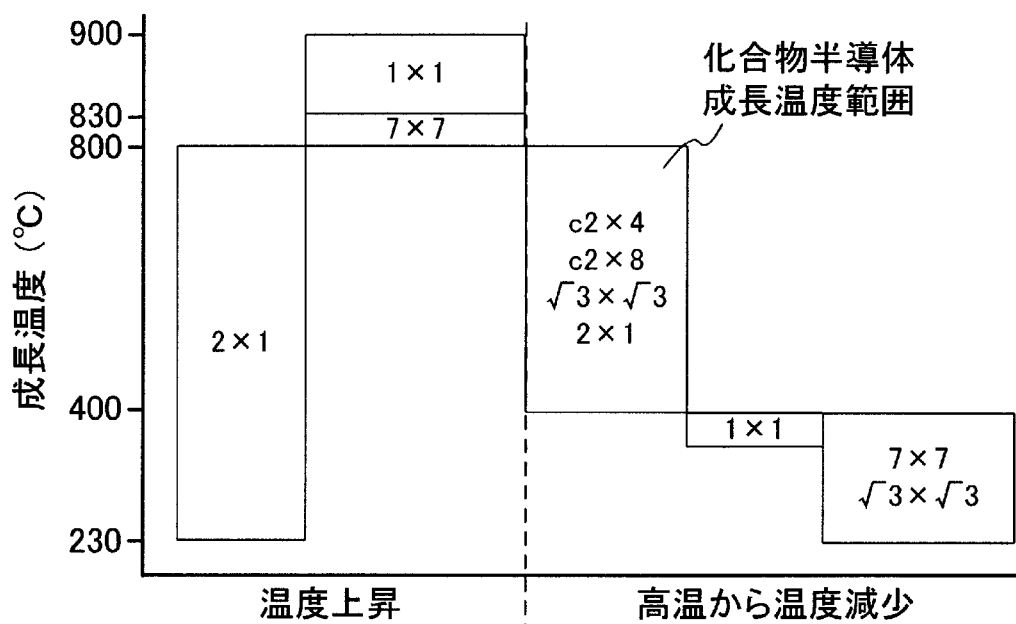
[請求項9] 請求項1または請求項5に記載のトンネル電界効果トランジスタを  
含むスイッチ素子。

[請求項10] IV族半導体基板およびIII-V族化合物半導体ナノワイヤを有する  
トンネル電界効果トランジスタの製造方法であって、  
(111)面を有するIV族半導体基板と、前記(111)面を被覆  
し、開口部を有する絶縁膜とを含む基板を準備するステップと、  
前記基板を低温熱処理して、前記開口部内で露出している前記(1  
11)面を(111)1×1面とするステップと、  
前記基板に低温条件下でIII族原料またはV族原料を供給して、前  
記開口部内で露出している前記(111)面を(111)A面または  
(111)B面に変換するステップと、  
前記開口部内で露出している前記(111)面からIII-V族化合  
物半導体ナノワイヤを成長させるステップと、  
ゲート電極を形成するステップと、  
前記III-V族化合物半導体ナノワイヤと接触しないように前記IV  
族半導体基板上にソース電極またはドレイン電極を形成し、かつ前記  
III-V族化合物半導体ナノワイヤ上にドレイン電極またはソース電  
極を形成するステップと、  
を含む、トンネル電界効果トランジスタの製造方法。

[請求項11] 前記基板を低温熱処理するステップの前に、前記基板を高温熱処理  
することにより、前記IV族半導体基板の表面に形成された自然酸化膜  
を除去するステップをさらに含む、請求項10に記載の製造方法。

- [請求項12] 前記(111) A面または前記(111) B面に変換された(111) 1×1面に、V族原料とIII族原料とを交互に供給することで、III-V族化合物半導体の薄膜を形成するステップをさらに含む、請求項10に記載の製造方法。
- [請求項13] 前記(111)面を(111) 1×1面とするステップと、前記(111)面を前記(111) A面または(111) B面に変換するステップとを、順に行なうか、または同時に行う、請求項10に記載の製造方法。
- [請求項14] 前記IV族半導体は、シリコンまたはゲルマニウムであり、  
前記III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタンを含むガスであり、  
前記V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマスを含むガスであり、  
前記III-V化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbである、  
請求項10に記載の製造方法。
- [請求項15] 前記(111)面を被覆する絶縁膜は、前記IV族半導体基板の表面の熱酸化膜である、請求項10に記載の製造方法。

[図1]



[図2]

図2A

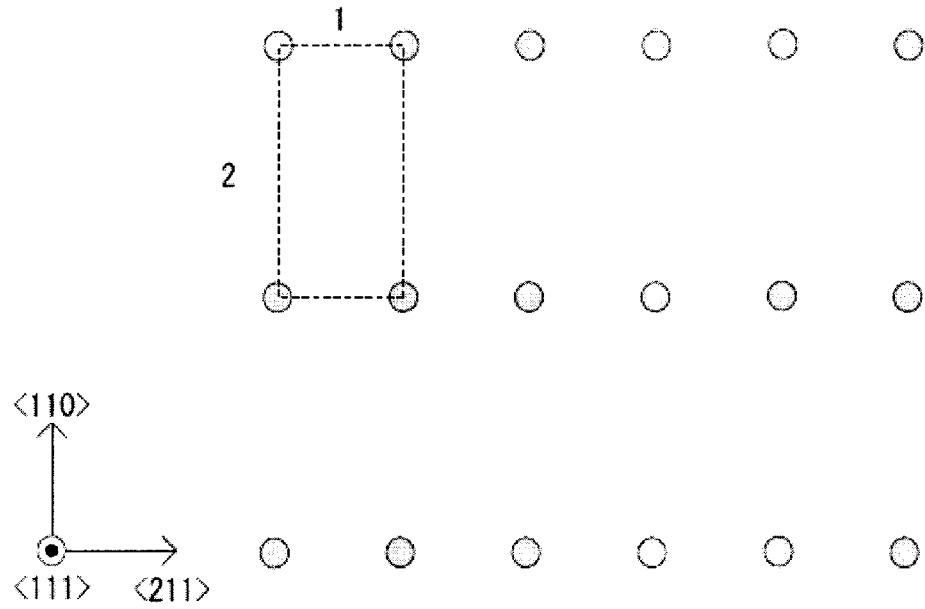
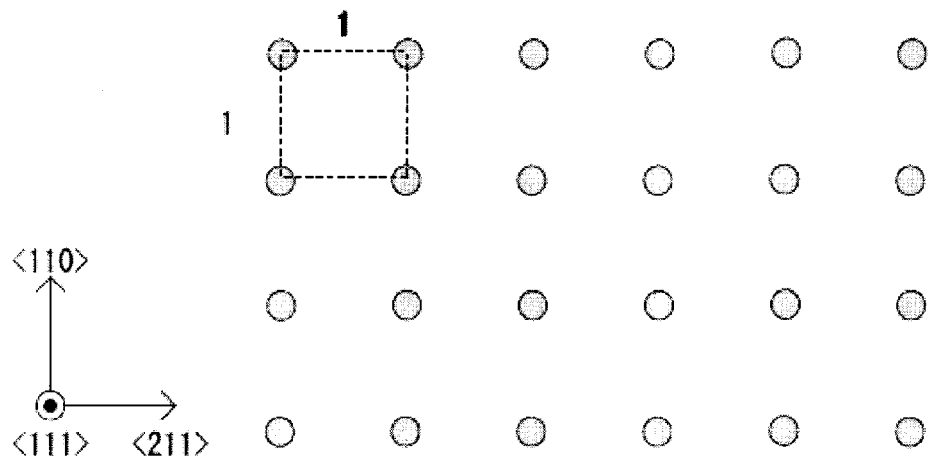


図2B



[図3]

図3A

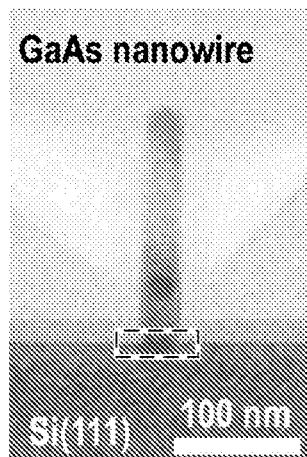


図3B

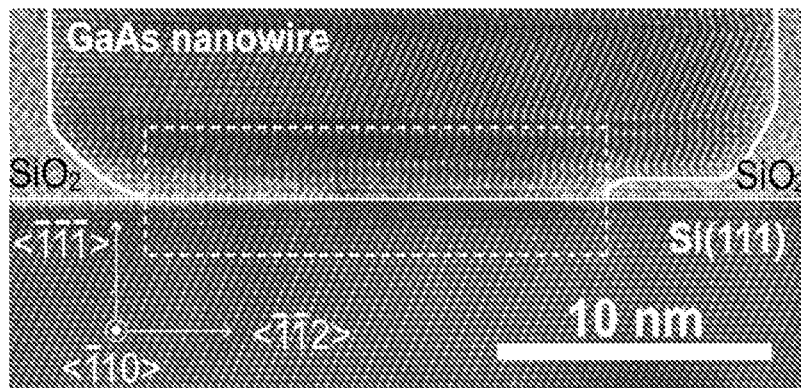
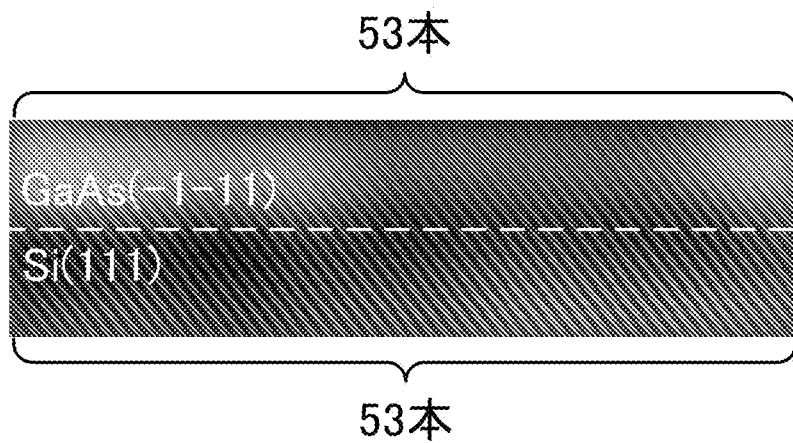
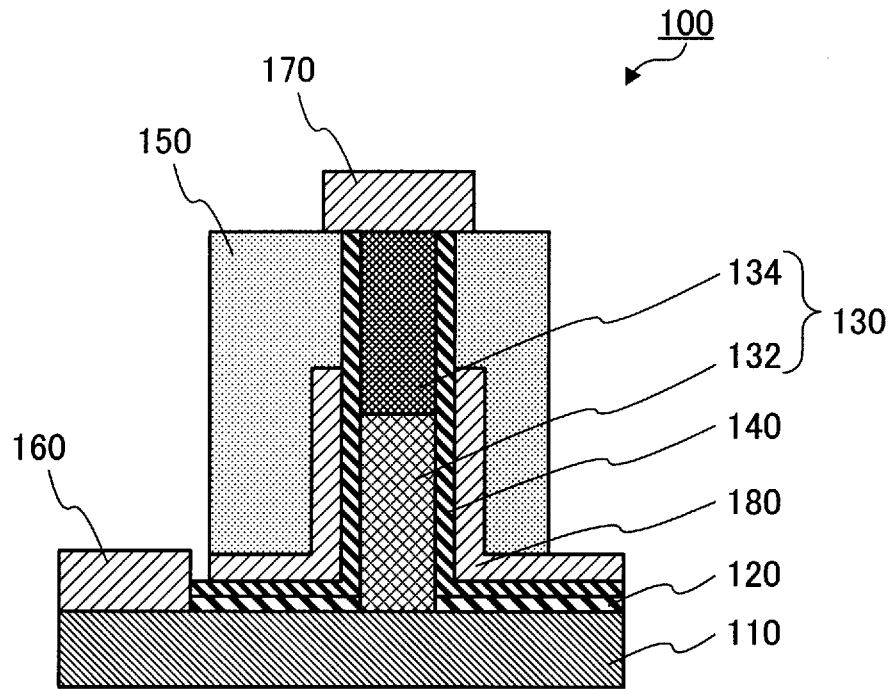


図3C



[図4]





[図5]

図5A

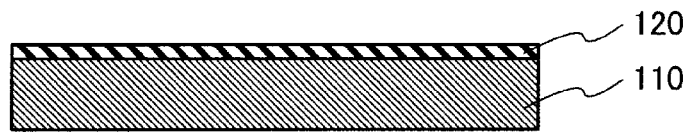


図5B

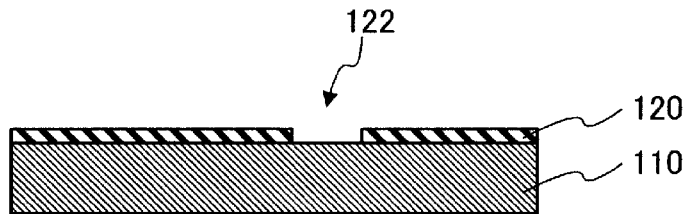


図5C

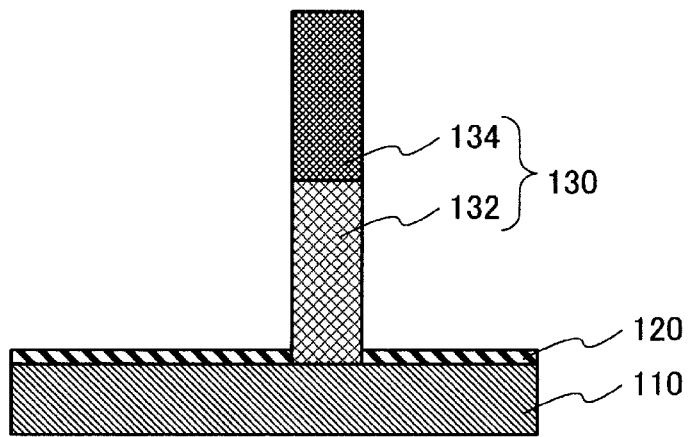
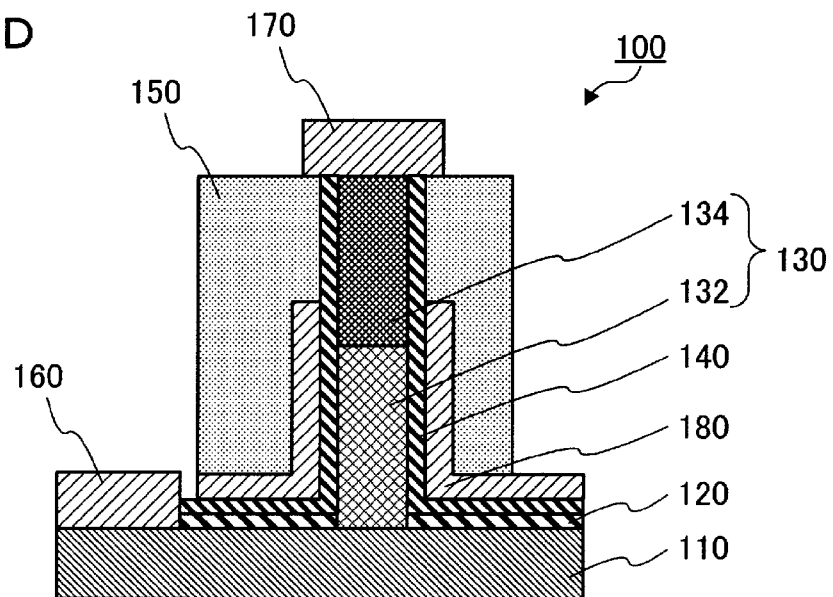
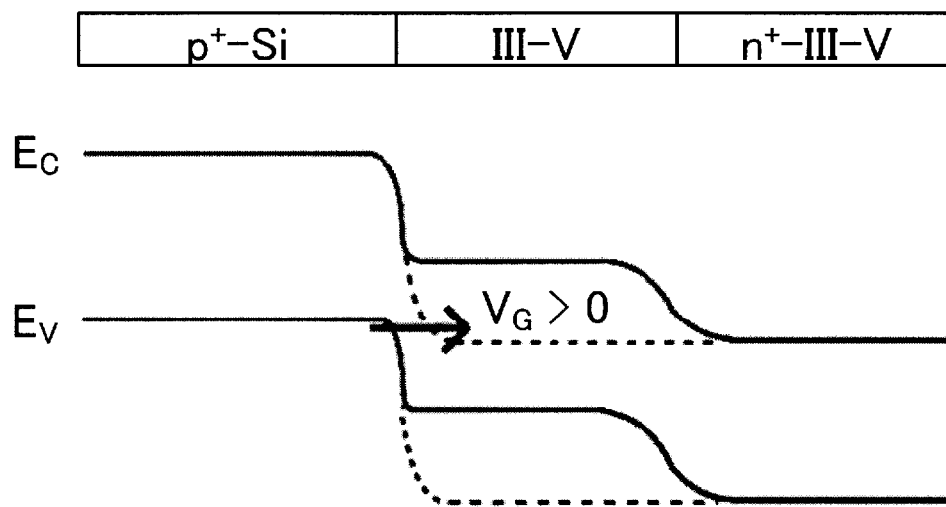


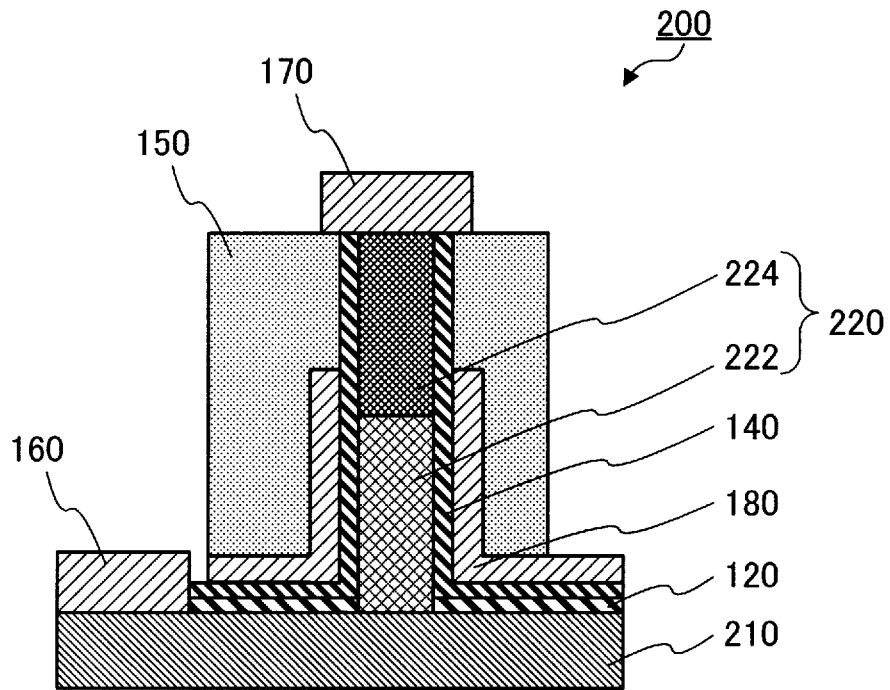
図5D



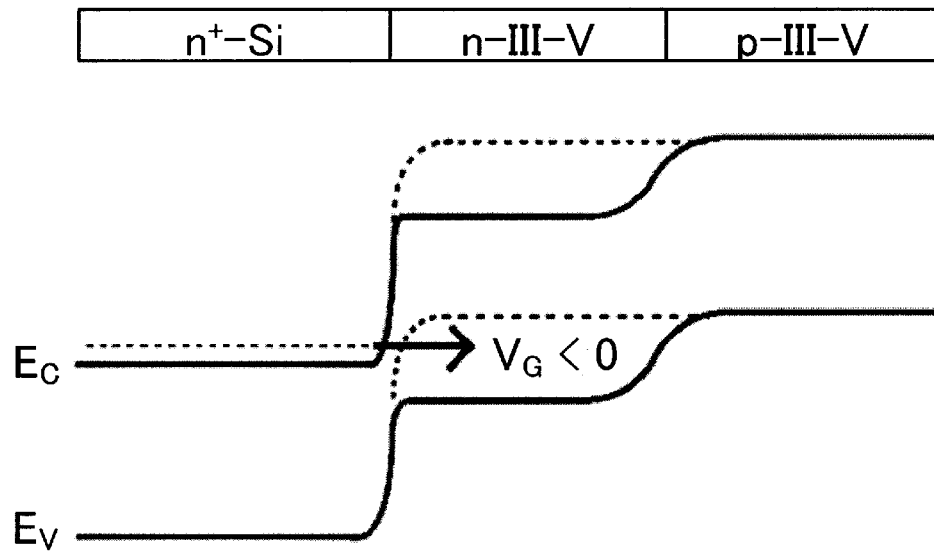
[圖6]



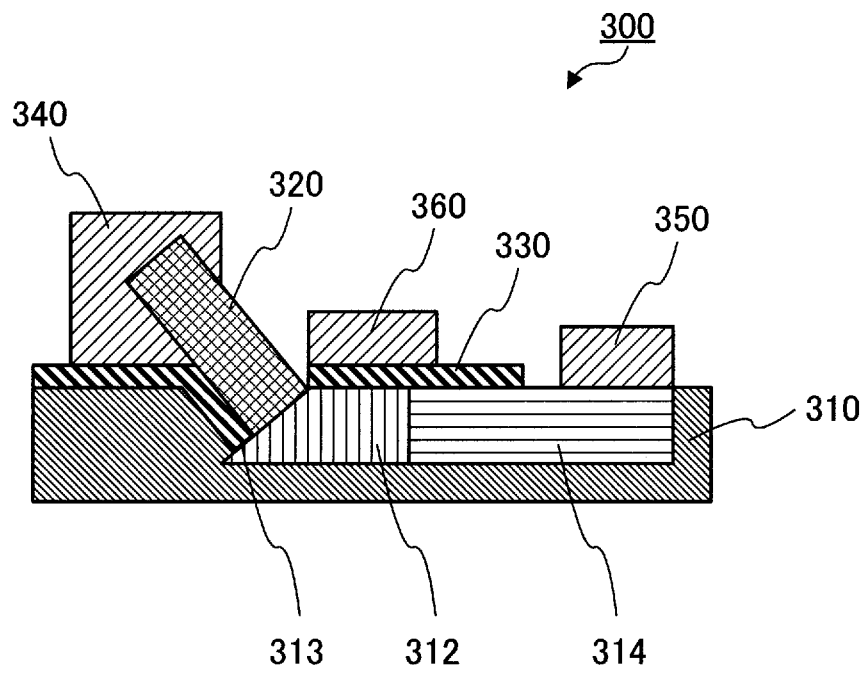
[図7]



[図8]



[図9]



[図10]

図10A

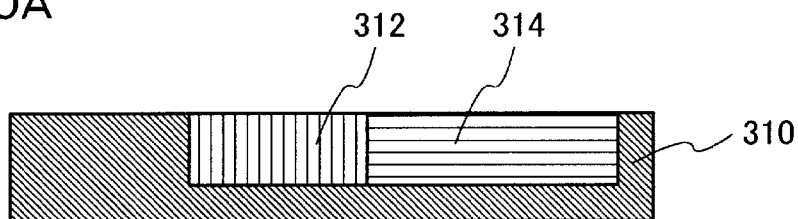


図10B

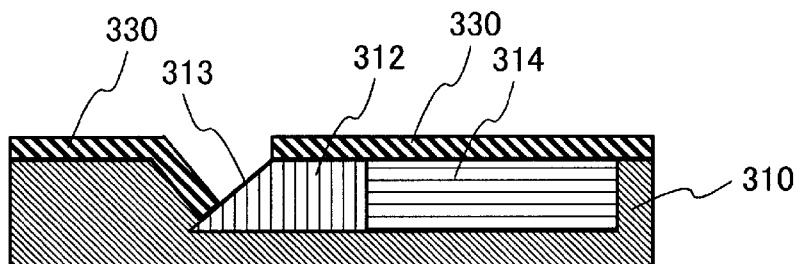


図10C

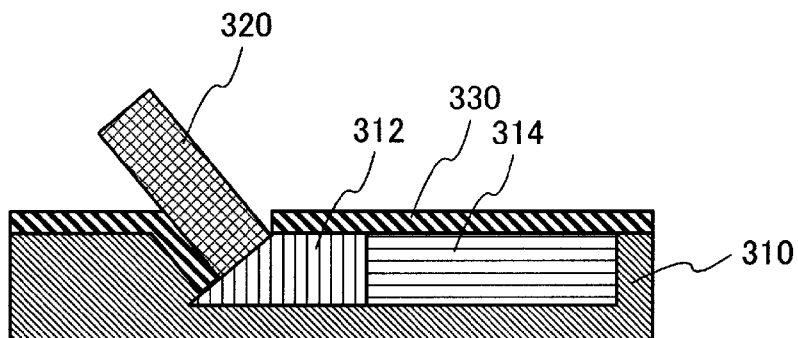
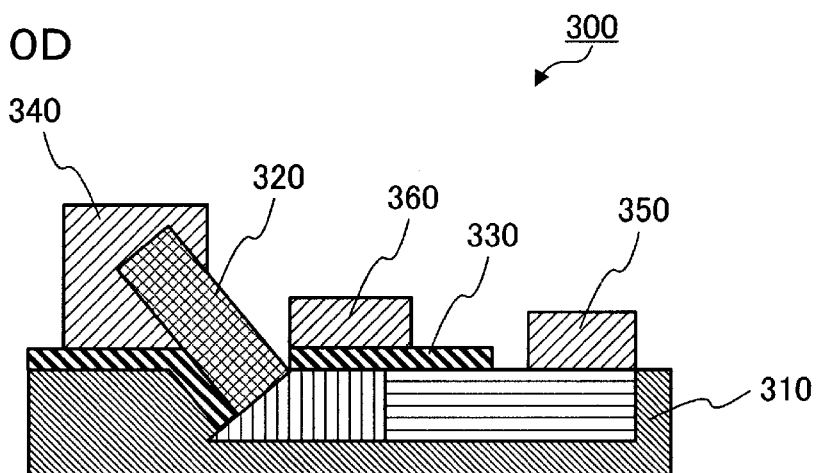
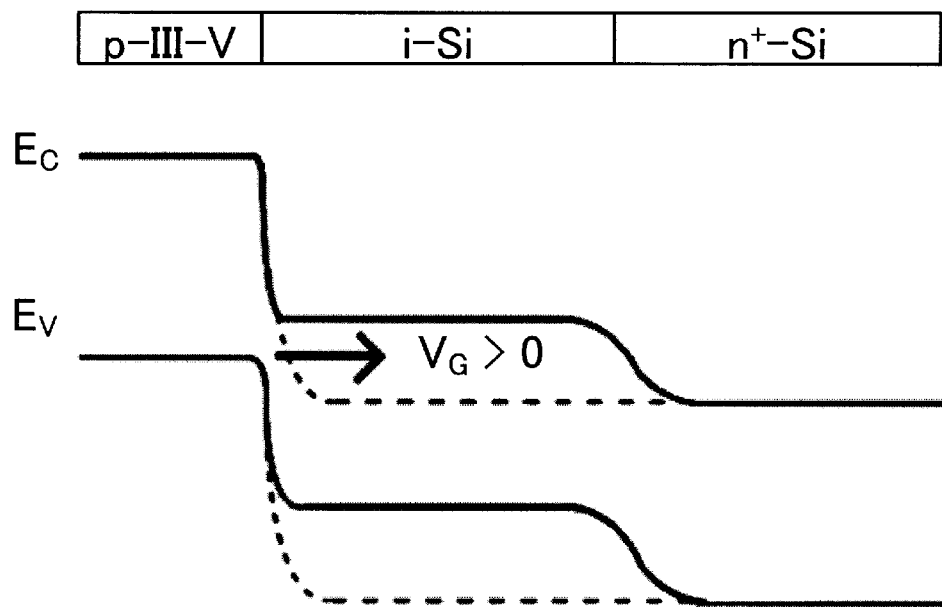


図10D



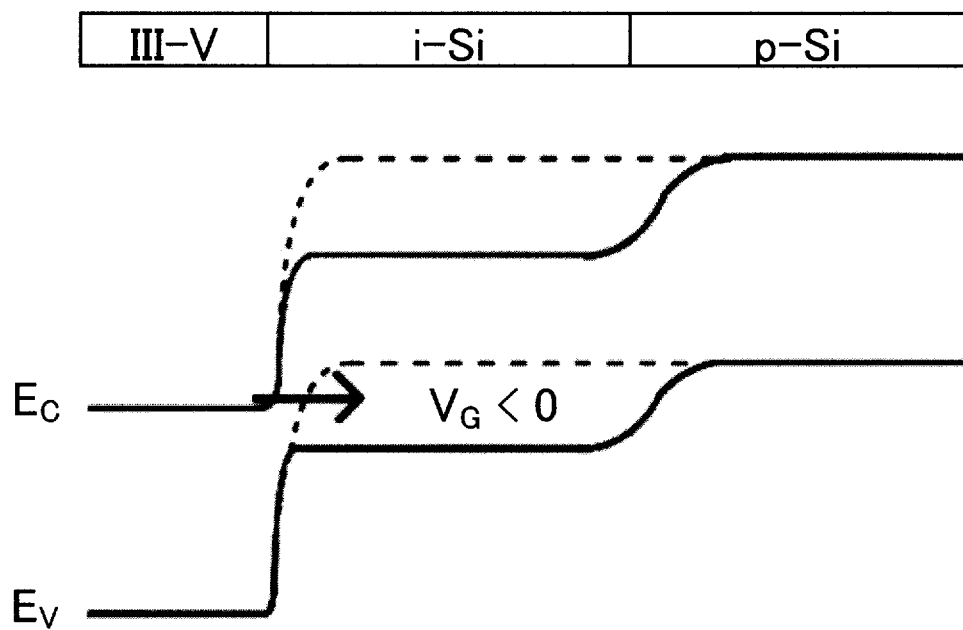
[図11]



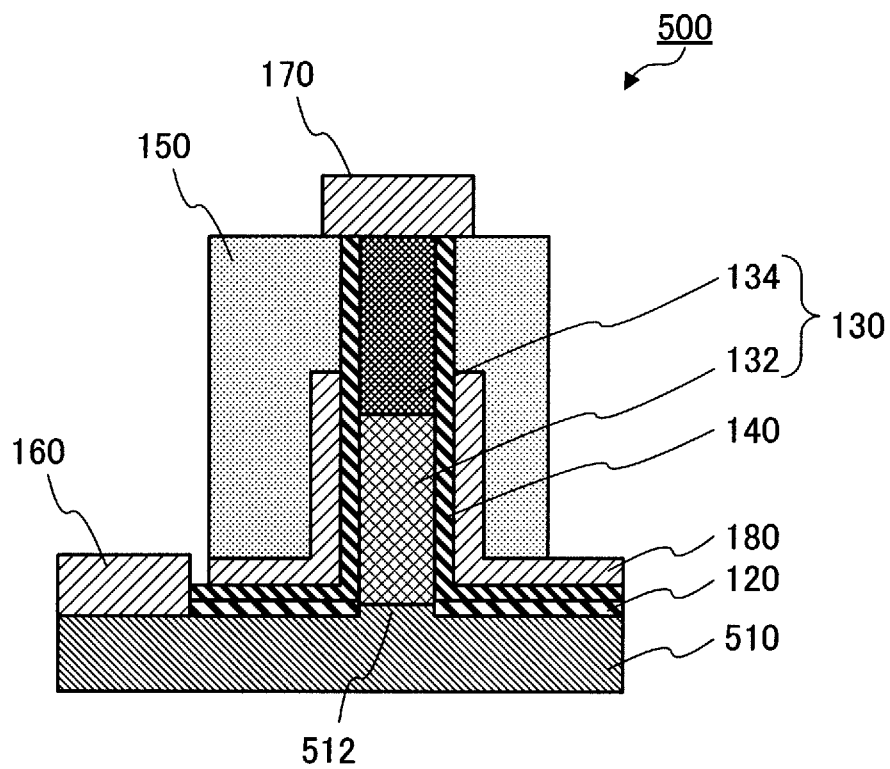




[図13]



[図14]



[図15]

図15A

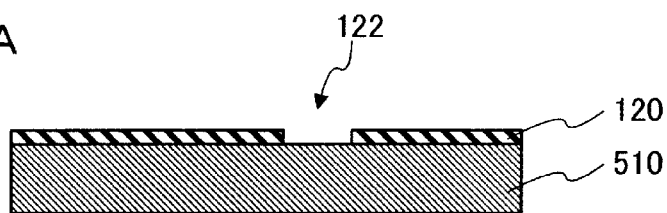


図15B

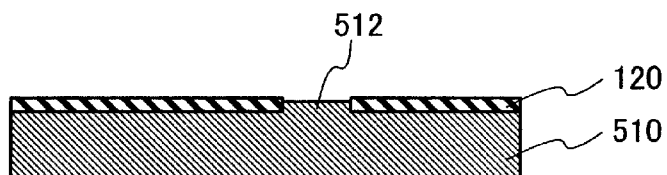


図15C

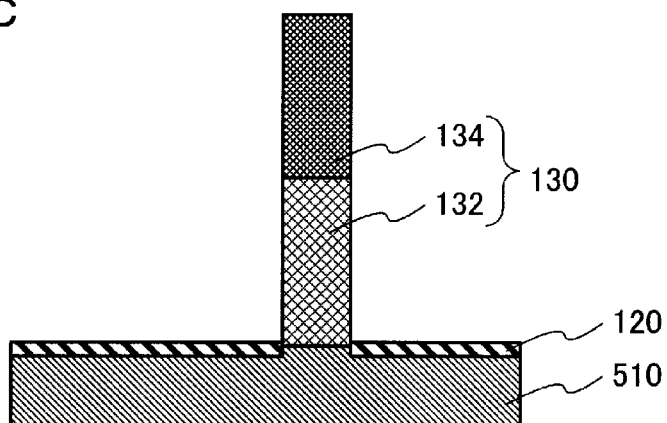
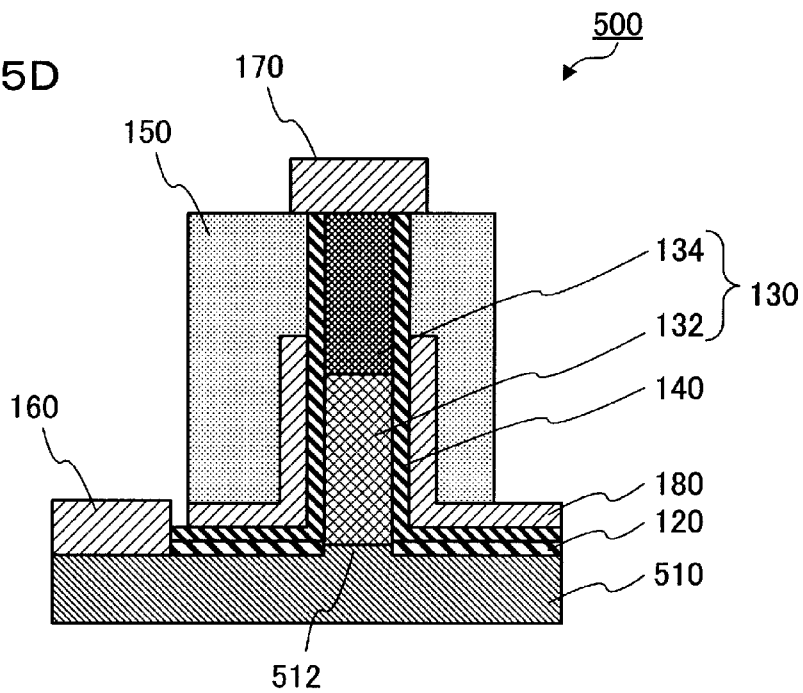
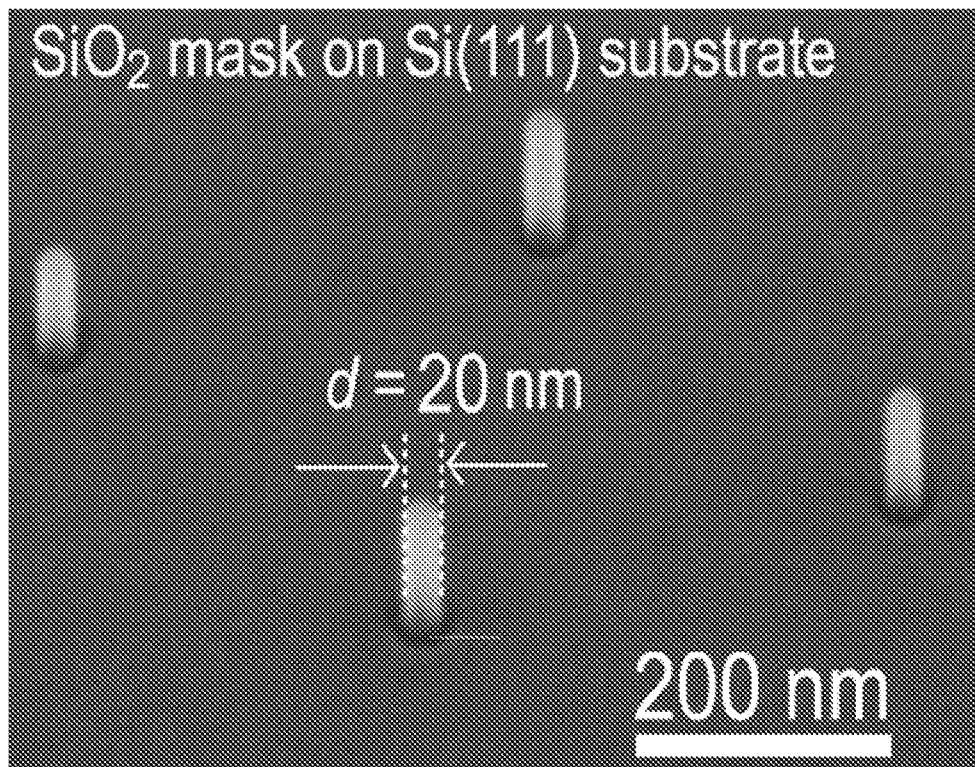


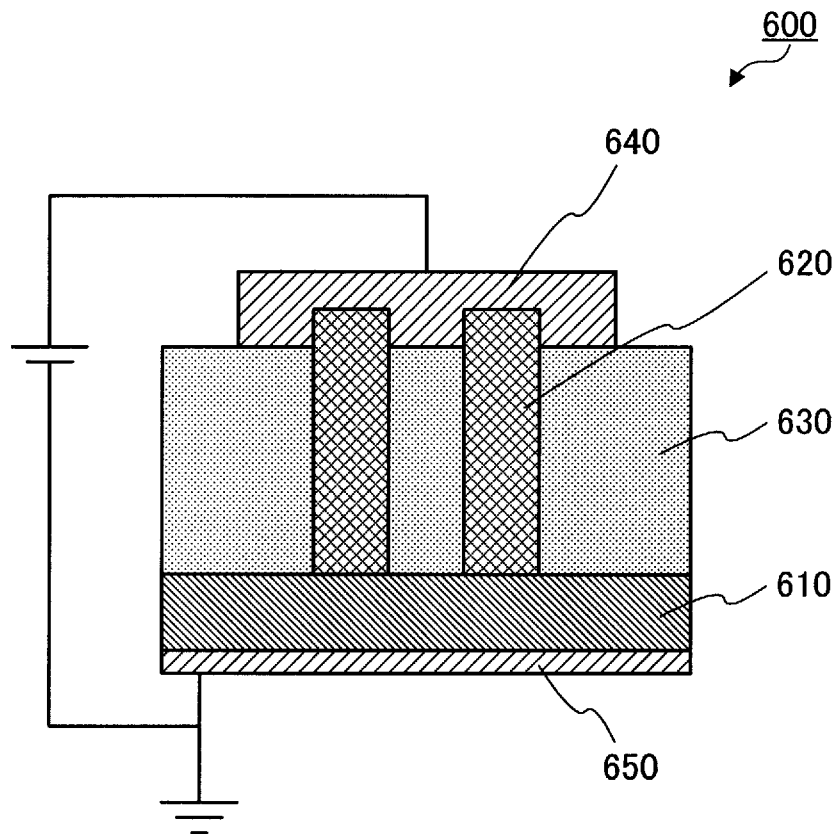
図15D



[圖16]



[図17]



[図18]

図18A

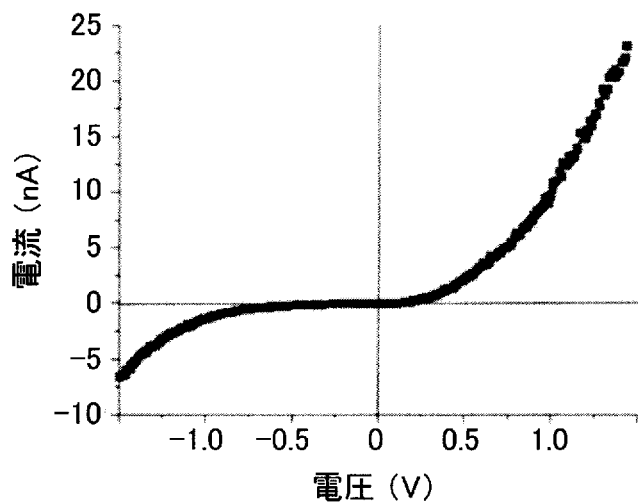
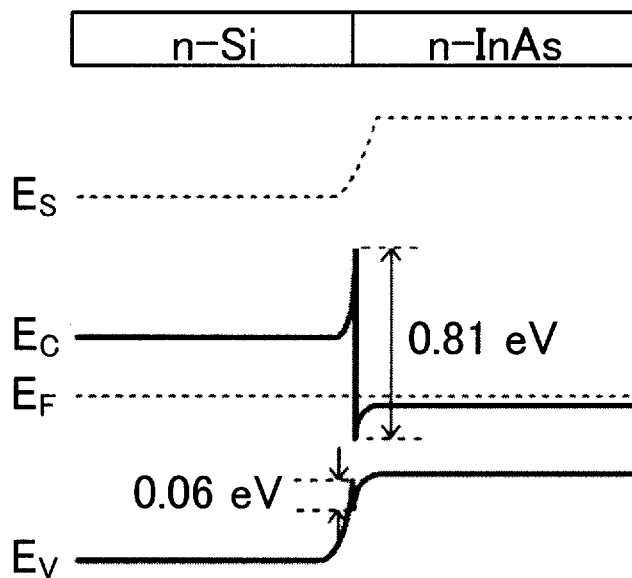


図18B



[図19]

図19A

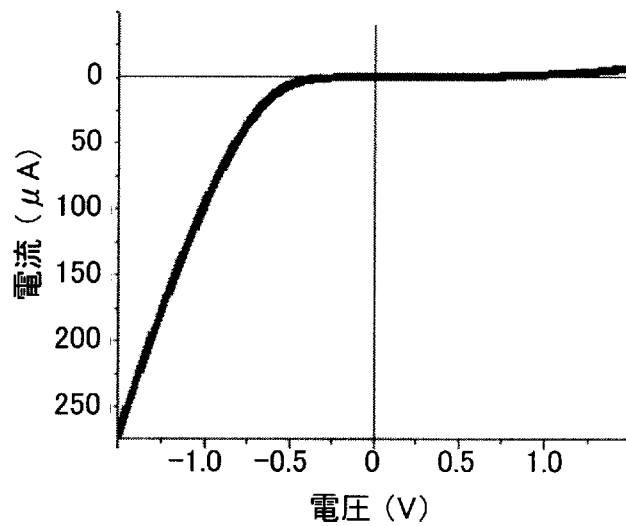
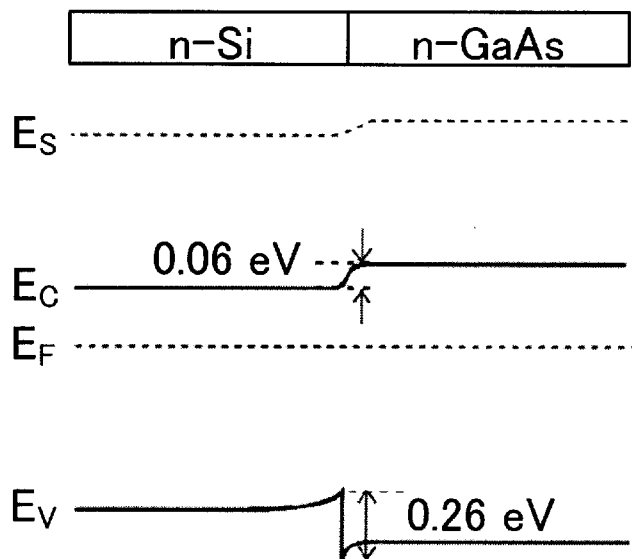


図19B



[図20]

図20A

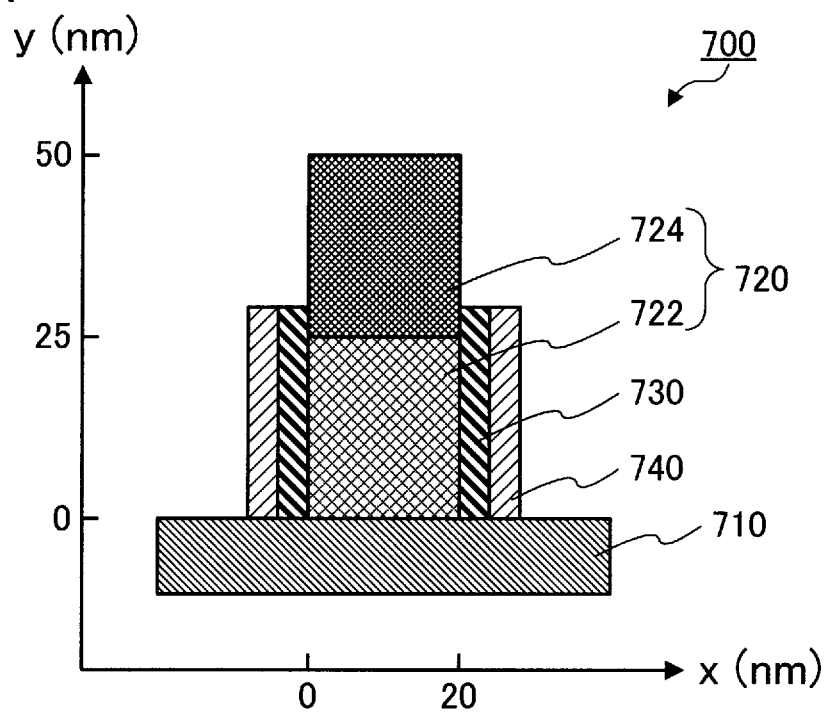
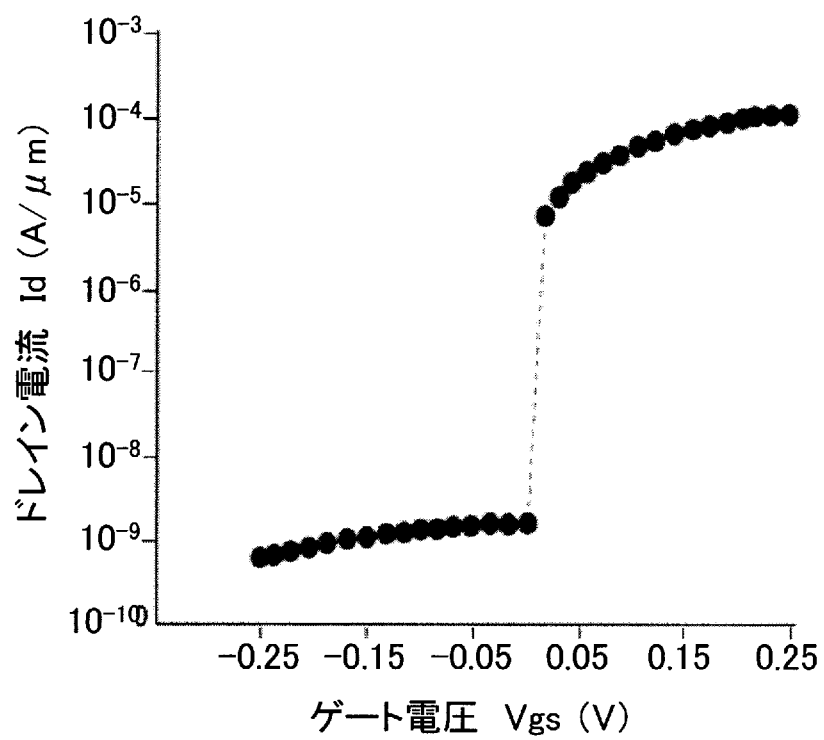
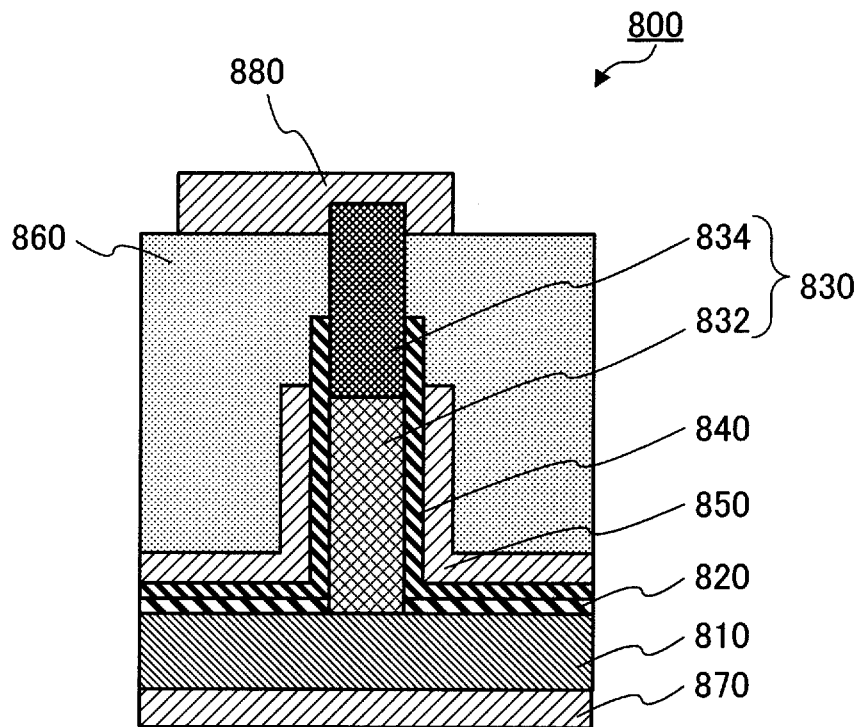


図20B

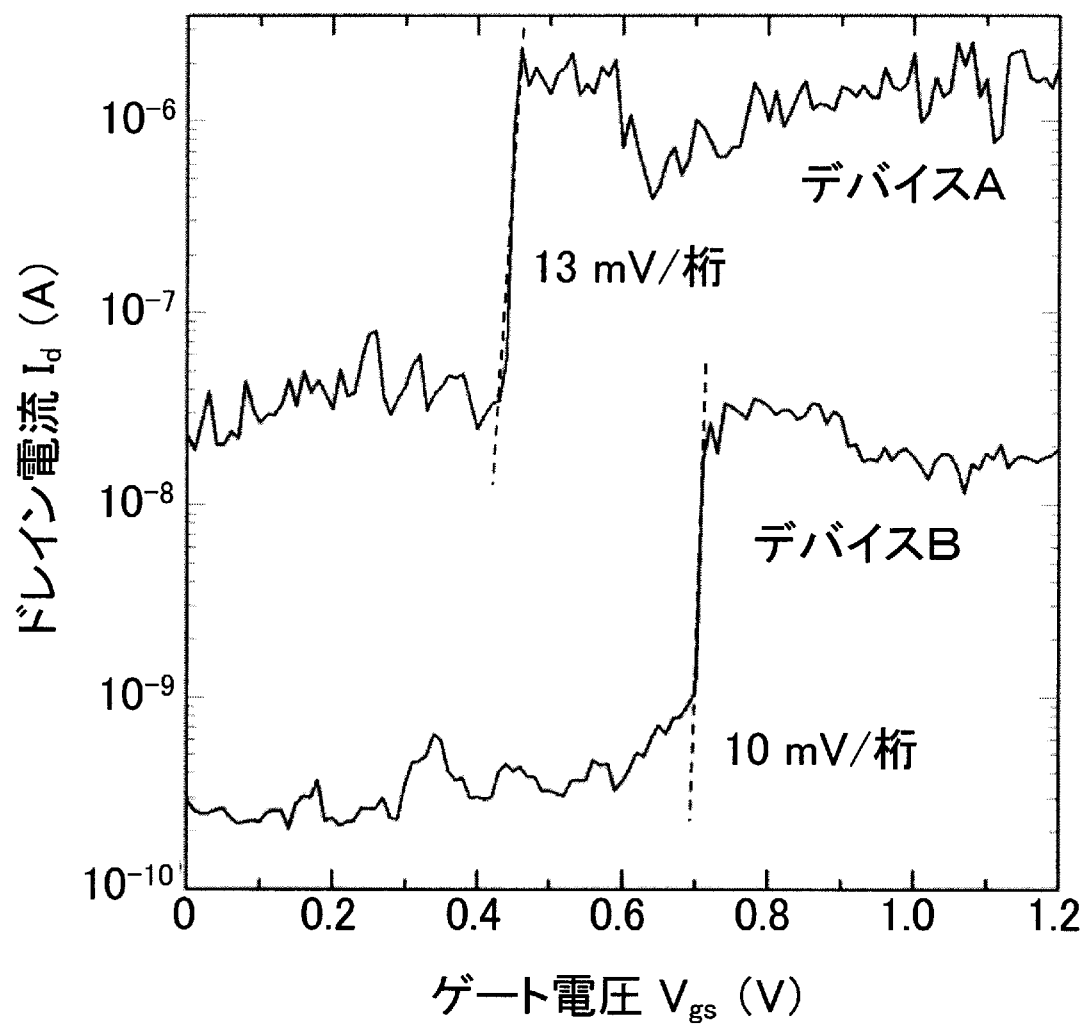




[図21]



[図22]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/005862

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L29/66(2006.01)i, C30B29/62(2006.01)i, H01L21/20(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L29/66, C30B29/62, H01L21/20, H01L29/06, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/086008 A1 (NXP B.V.), 02 August 2007 (02.08.2007), fig. 4, 5 & JP 2009-524923 A & US 2009/0008630 A1 & EP 1979935 A	1-15
A	EP 1900681 A1 (Interuniversitair Microelektronica Centrum), 19 March 2008 (19.03.2008), all drawings & JP 2008-72104 A & US 2008/0067607 A1	1-15
A	RAMGOPAL RAO V, Simulation, Fabricaton and Characterization of High Performance Planar- Doped-Barrier Sub 100nm Channel MOSFETs, IEDM' 97, 1997.12.07, P811-814	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search  
17 December, 2010 (17.12.10)

Date of mailing of the international search report  
28 December, 2010 (28.12.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/66(2006.01)i, C30B29/62(2006.01)i, H01L21/20(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/66, C30B29/62, H01L21/20, H01L29/06, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/086008 A1 (NXP B. V.) 2007.08.02, Fig. 4, 5 & JP 2009-524923 A & US 2009/0008630 A1 & EP 1979935 A	1-15
A	EP 1900681 A1 (Interuniversitair Microelektronica Centrum) 2008.03.19, 全図 & JP 2008-72104 A & US 2008/0067607 A1	1-15
A	RAMGOPAL RAO V, Simulation, Fabricaton and Characterization of High Performance Planar-Doped-Barrier Sub 100nm Channel MOSFETs, IEDM' 97, 1997.12.07, P811-814	1-15

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

17.12.2010

国際調査報告の発送日

28.12.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村岡 一磨

4L

3448

電話番号 03-3581-1101 内線 3498