

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/005062 A1

(43) 国際公開日

2010年1月14日(14.01.2010)

PCT

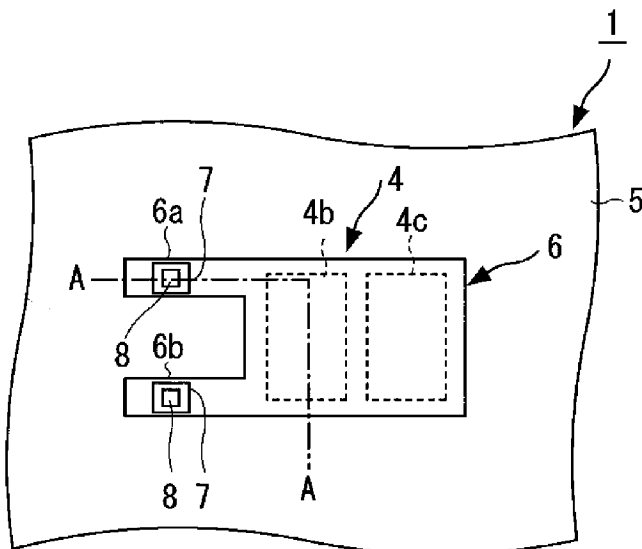
- (51) 国際特許分類:
B81B 3/00 (2006.01) H03H 9/145 (2006.01)
B81C 1/00 (2006.01) H03H 9/25 (2006.01)
H03H 3/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/062558
- (22) 国際出願日: 2009年7月9日(09.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-179646 2008年7月9日(09.07.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 田中 秀治(TANAKA Shuji) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 江刺 正喜(ESASHI Masayoshi) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP).
- (74) 代理人: 平山 一幸(HIRAYAMA Kazuyuki); 〒1600022 東京都新宿区新宿2-3-10 新宿御苑ビル6階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: FUNCTIONAL DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 機能デバイス及びその製造方法

[図1]



(57) Abstract: A functional device (1) is configured and equipped with an integrated circuit substrate (5), on the surface of which is a multilayer wiring layer (3), and which has a connection electrode (4a) on the uppermost layer (11a) of the multilayer wiring layer (3), a micromachine (6) that has a connection electrode (7), and connectors (8) that support the micromachine (6) separated by a gap above the integrated circuit substrate (5), wherein the connectors (8) are columnar and metallic, and the connectors (8) are electrically connected to the connection electrode (4a) on the integrated circuit substrate (5) and the connection electrode (7) on the micromachine (6).

(57) 要約: 機能デバイス1は、多層配線層3を表面に有し、かつ多層配線層3の最上層11aに接続用電極4aを有する集積回路基板5と、接続用電極7を有するマイクロマシン6と、集積回路基板5上で隔離してマイクロマシン6を支持する接続部8と、を備えて構成されており、接続部8が柱状の金属であり、接続部8が集積回路

基板5の接続用電極4aとマイクロマシン6の接続用電極7とを電氣的に接続している。

WO 2010/005062 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 機能デバイス及びその製造方法

技術分野

[0001] 本発明は、集積回路とマイクロマシンとが一体化された機能デバイス及びその製造方法に関し、さらに詳しくは、集積回路の直上に単結晶材料や圧電材料を用いたマイクロシステムを配設した機能デバイス及びその製造方法に関するものである。

背景技術

[0002] 従来、集積回路（LSI）上にMEMS（Micro Electro Mechanical System）と称されるマイクロマシンを直接形成する方法として、LSIの表面に形成した多結晶シリコン（Si）を形成し、この多結晶Siを加工してMEMSを作製するという加工方法が知られている。この方法では、多結晶Siの応力を緩和するために、高温での熱処理、例えば1100℃で30分間の熱処理が必要である。したがって、この手法は、このような熱処理に耐えるデザインルールの大いLSI、例えばデザインルール3μmのLSIにしか利用できない。また、この手法では、LSIの横にMEMSを形成できるだけであり、LSIの直上にはMEMSを形成することはできない。

[0003] 多結晶Siをシリコンとゲルマニウム（Ge）からなる多結晶SiGeに変えれば、多結晶SiGeは約400℃で堆積でき、その応力はSiとGeの組成比で制御できるので、高温処理が不要になる。また、表面マイクロマシニングの犠牲層として、H₂O₂によって選択的に除去できるGeを利用すれば、LSIの多層配線層の上にMEMSを形成できる。しかし、多結晶SiGeの組成制御を精密に行う必要があり、しかも多結晶SiGeの組成を結晶成長に合わせて膜厚方向に変化させる必要もあるので、非常に高度な製造技術を必要とする。

[0004] 絶縁膜上にシリコン結晶を形成した所謂SOI（Silicon On Insulator）ウェハを用いる方法も知られている。この方法では、SOIウェハ表面の単

結晶SiをMEMSの構造材料に用いる。単結晶Siは機械的特性に優れた理想的なMEMS材料である。しかし、SOIウェハ表面の一部をLSIに、その他の部分をMEMSに利用するので、LSIの直上ではなく、LSIの横にしかMEMSを形成できない。したがって、小形化に限界がある上、特に最先端LSIを用いるとコストが高くなるという問題がある。

[0005] MEMSの構造材料としてスパッタ堆積やめっきによる金属を用いると、表面マイクロマシニングによって最先端LSIの直上にMEMSを形成することができる。しかし、金属は多結晶Si又は単結晶Siと比べて機械的特性に劣り、共振駆動やアナログ的制御を必要とするMEMSには適さない。

[0006] これらに対して、単結晶Si層をLSIウェハ上に貼り付け、この単結晶Si層を材料にしてMEMSをLSIの直上に形成する方法が知られている（非特許文献1参照）。

図29は、非特許文献1で報告されたLSIウェハ上に貼り付けた単結晶Si層上にMEMSを形成する方法を模式的に示す断面図である。

図29(A)に示すように、LSIウェハ101の表面をSiO₂層又はスピノングラス102で覆い、平坦化した後、SOIウェハ105を低温で直接接合する（図29(B)参照）。SOIウェハ105は、Siハンドル層105aとSiO₂等からなる絶縁層105bと単結晶SiからなるSiデバイス層105cとから構成されている。

次に、SOIウェハ105のSiハンドル層105aと絶縁層105bとを除去して、LSIウェハ101上にSiデバイス層105cが貼り付けられたLSIウェハ101を得る（図29(C)参照）。

得られたSiデバイス層105cをエッチング等で加工し、MEMSを形成する（図29(D)参照）。

MEMSを形成後、金属層107でMEMSとLSIウェハ101との接続箇所を電氣的に接続する（図29(E)参照）。

最後にSiデバイス層105cの下面側のSiO₂層又はスピノングラス102を犠牲層として除去し、MEMSを可動にする（図29(E)参照）

。この方法を用いれば、デザインールの小さいLSIウェハ101の直上に理想的な材料である単結晶SiからなるMEMSを形成することができる。

[0007] 以上に述べた公知技術は、LSIウェハにSiを材料とするMEMSを集積化するためのものであった。これらに対して、発光ダイオードをLEDアレイプリンタヘッドとして用いるための「エピフィルムボンディング」という製造技術が知られている（非特許文献2参照）。

図30は、非特許文献2で報告されたエピフィルムボンディング方法を模式的に示す断面図である。

まず、図30(A)に示すように、GaAsからなるウェハ上にAlGaAs薄膜をエピタキシャル成長させ、AlGaAs薄膜をパターンングしたAlGaAs薄膜付きGaAs基板112を、ICを部分的に形成したSiウェハ114のICがない部分に低温で直接接合する。

次に、図30(B)に示すように、AlGaAs薄膜付きGaAs基板112からGaAs基板を除去し、Siウェハ114上にAlGaAs薄膜の小片を残し、これらを発光ダイオード（Light Emitting Diode、以下、LEDと称する。）112aとして用いる。最後に、図30(C)に示すように、LED112aとSiウェハ114の電極116とを金属配線118で接続し、ドライバICを集積化したLEDアレイプリンタヘッドを作製することができる。

先行技術文献

非特許文献

[0008] 非特許文献1：T. Bakke, 2005 SUSS MicroTec Seminar in Japan, 6 Oct., 2005

非特許文献2：荻原光彦、「エピフィルムオンディングによる異種材料融合デバイス」、OKIテクニカルレビュー、Vol. 74, No. 3, pp. 98-103、2007年10月

発明の概要

発明が解決しようとする課題

- [0009] しかしながら、LSIウエハ101の表面にSOIウエハ105を直接接合するためには、LSIウエハ101の表面は極めて平滑かつ清浄でなくてはならないが、その実現は容易ではなく、歩留まりに限界がある。また、LSIウエハ101の上に形成するMEMSにSiO₂が使われていると、Siデバイス層105cの下面にあるSiO₂層又はスピノングラス102をHF（フッ化水素酸）によって犠牲層をエッチングし、MEMS構造を可動にする際、損傷する恐れがある。
- [0010] 従来の低温直接接合によってSi以外の単結晶材料を用いたMEMS、具体的にはICが部分的に形成されているSiウエハ114にLED112aを集積化することができる。しかし、この方法では、LSIの直上にLED112aのようなMEMSを形成できない。また、単結晶材料、上記の例ではAlGaAs薄膜をSiウエハ114に直接接合するため、その下に犠牲層がなく、MEMSをLSIウエハから浮かして、可動構造等を形成できない。さらに、LSIウエハに接合する材料の熱膨張率がSiと大きく異なると、特に接合した材料の面積が大きい場合、少しの温度上昇で両者が剥離する恐れがある。
- [0011] 本発明は、上記課題に鑑み、最先端の微細加工寸法で製造される集積回路基板とこの集積回路基板に搭載されるマイクロマシンとからなる機能デバイスを提供することを第1の目的とし、その製造方法を提供することを第2の目的としている。

課題を解決するための手段

- [0012] 上記第1の目的を達成するため、本発明の機能デバイスは、多層配線層を表面に有し、かつ多層配線層の最上層に接続用電極を有する集積回路基板と、接続用電極を有するマイクロマシンと、集積回路基板上で隔離してマイクロマシンを支持する接続部と、を備えている。

上記構成において、好ましくは、接続部が柱状の金属でなり、接続部が集積回路基板の接続用電極とマイクロマシンの接続用電極とを電氣的に接続し

ている。

マイクロマシンの素材は、好ましくは、単結晶シリコン又は絶縁体からなる層を含む。マイクロマシンの素材は、好ましくは、単結晶シリコン、圧電材料、または圧電結晶、圧電材料薄膜、ダイヤモンド層及び絶縁膜層の何れかの組合せからなる。

マイクロマシンは、表面弾性波素子又はバルク弾性波素子であってよい。表面弾性波素子又はバルク弾性波素子の素材は、好ましくは、圧電結晶、圧電材料薄膜及びダイヤモンドとの何れかの組合せからなる。

[0013] 上記第2の目的を達成するため、本発明の機能デバイスの製造方法は、多層配線層を表面に有しかつ多層配線層の最上層に接続用電極を有する集積回路基板と、接続用電極を有するマイクロマシンと、集積回路基板上で隔離してマイクロマシンを支持する接続部と、を備えた機能デバイスの製造方法であって、マイクロマシンが形成される基板又は膜の一方の表面と、集積回路基板の多層配線層の最上層と、を樹脂層で接合する第一のステップと、基板又は膜の他方の表面にマイクロマシンを形成する第二のステップと、樹脂層のうちマイクロマシンの接続用電極と集積回路基板の多層配線層の接続用電極との間に配設されている部位をエッチングする第三のステップと、マイクロマシンの接続用電極と集積回路基板の接続用電極とを接続する接続部を形成する第四のステップと、マイクロマシンと集積回路基板との間に配設されている樹脂層をエッチングし、マイクロマシンの接続部によって接続される接続用電極以外を集積回路基板から分離する第五のステップと、を含んでい

ることを特徴とする。

[0014] 上記構成において、好ましくは、樹脂層は、パリレン、ポリイミド樹脂、BCB、紫外線硬化樹脂及びレジストの何れかである。

[0015] 上記第一のステップにおいて、マイクロマシンが形成される基板を、Siハンドル層と酸化膜とSiデバイス層とからなるSOI基板とし、SOI基板のSiデバイス層及び集積回路基板の多層配線層の最上層の何れか一方の面又は両面に樹脂層を形成し、Siデバイス層と多層配線層の最上層とを樹

脂層で接合し、SOI基板のSiハンドル層と酸化膜とを除去し、第二のステップにおいて、マイクロマシンをSiデバイス層に形成するようにしてもよい。

[0016] 上記第一のステップにおいて、マイクロマシンが形成される基板を圧電結晶基板とし、圧電結晶基板の一方の面と集積回路基板の多層配線層の最上層とを樹脂層で接合し、圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、第二のステップにおいて、マイクロマシンを圧電結晶基板に形成するようにしてもよい。

[0017] 上記第一のステップにおいて、マイクロマシンが形成される基板を圧電結晶基板とし、圧電結晶基板の一方の面に絶縁層又はダイヤモンド層を形成し、絶縁層又はダイヤモンド層と集積回路基板の多層配線層の最上層とを樹脂層で接合し、圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、第二のステップにおいて、マイクロマシンを圧電結晶基板に形成するようにしてもよい。

[0018] 上記第一のステップにおいて、マイクロマシンが形成される基板を圧電結晶基板とし、圧電結晶基板の一方の面にダイヤモンド層と絶縁層とを順に形成し、絶縁層と集積回路基板の多層配線層の最上層とを樹脂層で接合し、圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、第二のステップにおいて、圧電結晶基板にマイクロマシンを形成するようにしてもよい。

[0019] 上記第一のステップにおいて、圧電材料薄膜用基板の一方の面に圧電材料薄膜とダイヤモンド層とを順に形成し、ダイヤモンド層と集積回路基板の多層配線層の最上層とを樹脂層で接合した後、圧電材料薄膜用基板を除去し、第二のステップにおいて、圧電材料薄膜に上記マイクロマシンを形成するようにしてもよい。

[0020] 上記第一のステップにおいて、圧電材料薄膜用基板の一方の面にダイヤモンド層と圧電材料薄膜とを順に形成し、圧電材料薄膜上にテープを貼り付け、圧電材料薄膜用基板を除去して、ダイヤモンド層と圧電材料薄膜とをテープに転移し、ダイヤモンド層と集積回路基板の多層配線層の最上層とを樹脂

層で接合した後、テープを除去し、第二のステップにおいて、圧電材料薄膜にマイクロマシンを形成するようにしてもよい。

[0021] 上記第一のステップにおいて、圧電材料薄膜用基板の一方の面に圧電材料薄膜とダイヤモンド層と絶縁層とを順に形成し、絶縁層と集積回路基板の多層配線層の最上層とを樹脂層で接合した後、圧電材料薄膜用基板を除去し、第二のステップにおいて、圧電材料薄膜に上記マイクロマシンを形成するようにしてもよい。

[0022] 或いは、上記第一のステップにおいて、圧電材料薄膜用基板の一方の面にダイヤモンド層と圧電材料薄膜とを順に形成し、圧電材料薄膜上にテープを貼り付け、圧電材料薄膜用基板を除去して、ダイヤモンド層と圧電材料薄膜とをテープに転移し、ダイヤモンド層に絶縁層を形成し、絶縁層と集積回路基板の多層配線層の最上層とを樹脂層で接合した後、テープを除去し、第二のステップにおいて、電材料薄膜にマイクロマシンを形成するようにしてもよい。

[0023] 本発明の機能デバイスの製造方法の他の構成は、上記した第1ステップの前に、マイクロマシンが形成される基板又は膜にマイクロマシンの一部を形成するステップを備えていることを特徴とする、

上記の製造方法において、マイクロマシンが形成される基板は、Siハンドル層と酸化膜とSiデバイス層とからなるSOI基板であってもよい。

マイクロマシンが形成される基板は、基板の少なくとも一方の表面に絶縁体からなる層を備え、絶縁体からなる層の表面と、集積回路基板の多層配線層の最上層と、を樹脂層で接合する第一のステップの後で、マイクロマシンが形成される基板を除去し、第二のステップにおいて、絶縁体からなる層にマイクロマシンを形成してもよい。

[0024] 上記構成によれば、この樹脂層を犠牲層として用いることでマイクロマシンを集積回路基板ウェハから浮かして、可動構造等を形成できる。さらに、接合する材料の種類が異なる場合、樹脂がある程度の熱膨張率差を吸収するので、温度変化による剥離を防止することができる。樹脂としては、その後

の製造工程で損傷を受けないもの、例えば、パリレン、ポリイミド、BCB (benzocyclobutene)、紫外線硬化樹脂及びレジスト等などが利用できる。

発明の効果

[0025] 本発明の機能デバイスによれば、マイクロマシンが集積回路の直上に間隔を開けて配置でき、最先端の微細加工による集積回路と単結晶シリコンや表面弾性波素子又はバルク弾性波素子からなるマイクロマシンとの一体化が実現される。

[0026] 本発明の機能デバイスの製造方法によれば、最先端の微細加工による集積回路と単結晶シリコンや表面弾性波素子又はバルク弾性波素子からなるマイクロマシンとを犠牲層となる樹脂層で接合し、集積回路とマイクロマシンとの電極を接続電極で接続した後で、犠牲層をエッチングすることにより製造することができる。

図面の簡単な説明

[0027] [図1]本発明に従った機能デバイスの第1の実施形態の構成を示す概略平面図である。

[図2]図1のA-A線に沿った模式的な断面図である。

[図3]本発明に従った機能デバイスの第2の実施形態の構成を示す概略平面図である。

[図4]図3のB-B線に沿った模式的な断面図である。

[図5]本発明に従った機能デバイスの第2の実施形態の変形例1の構成を示す概略断面図である。

[図6]本発明に従った機能デバイスの第2の実施形態の変形例2の構成を示す概略断面図である。

[図7]本発明に従った機能デバイスの第2の実施形態の変形例3の構成を示す概略断面図である。

[図8]本発明に従った機能デバイスの第2の実施形態の変形例4の構成を示す概略断面図である。

[図9]本発明に従った機能デバイスの第2の実施形態の変形例5の構成を示す

概略断面図である。

[図10] (A) ~ (J) は図 1 に示した機能デバイスの製造方法を順次に示す概略断面図である。

[図11] (A) ~ (H) は図 3 に示した機能デバイスの製造方法を順次に示す概略断面図である。

[図12] (A) ~ (C) は図 5 に示した機能デバイスの製造方法に係る他の実施形態を示す断面図である。

[図13] (A) ~ (C) は図 6 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図14] (A) ~ (D) は図 7 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図15] (A) ~ (D) は図 8 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図16] (A) ~ (F) は図 8 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図17] (A) ~ (E) は図 9 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図18] (A) ~ (G) は図 9 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図19] 本発明に従った機能デバイスの第 3 の実施形態の構成を示す概略断面図である。

[図20] (A) ~ (E) は図 19 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図21] (A) ~ (J) は図 19 に示した機能デバイスの製造方法の各工程を示す断面図である。

[図22] 製作した機能デバイスの走査型電子顕微鏡 (SEM) 像を示す図である。

[図23] 本発明による機能デバイスの第 4 の実施形態の構成を示し、(A) は

模式的な断面図、(B)及び(C)は斜視図である。

[図24] (A)～(P)は図23に示した機能デバイスの製造方法の各工程を示す断面図である。

[図25] (A)～(L)は図23に示した機能デバイスの製造方法の各工程を示す断面図である。

[図26] (A)～(D)は図23に示した機能デバイスの製造方法の各工程を示す断面図である。

[図27] (A)～(I)は図23に示した機能デバイスの別の製造方法の各工程を示す断面図である。

[図28] (A)～(I)は図23に示した機能デバイスの別の製造方法の各工程を示す断面図である。

[図29] (A)～(F)は非特許文献1で報告されたLSIウェハ上にMEMSを形成する従来方法を模式的に示す断面図である。

[図30] (A)～(C)は非特許文献2で報告されたエピフィルムボンディングの従来方法を模式的に示す断面図である。

発明を実施するための形態

[0028] 以下、図面に示した幾つかの実施形態に基づいて本発明を詳細に説明する。

(第1の実施形態)

図1は、本発明による機能デバイス1の第1の実施形態の構成を示す概略平面図であり、図2は、図1のA-A線に沿った模式的な断面図である。

図1及び図2に示すように、機能デバイス1は、多層配線層3を表面に有し、かつ多層配線層3の最上層11aに接続用電極4aを有する集積回路基板5と、接続用電極7を有するマイクロマシン6と、集積回路基板5上で隔離してマイクロマシン6を支持する接続部8と、を備えている。以下、マイクロマシンをMEMSと略称する。接続部8は、例えば柱状の金属でなる接続電極部8から構成することができる。この接続電極部8が集積回路基板5の接続用電極4aとMEMSの接続用電極7とを電氣的に接続している。

なお、機能デバイス 1 の構成によっては、集積回路基板 5 の接続用電極 4 a と MEMS の接続用電極 7 とは、それぞれが集積回路基板 5 や MEMS 6 の電極を兼用しなくてもよい。

[0029] 半導体基板 2 は Si や化合物半導体からなる基板であり、半導体基板 2 の表面側に多層配線層 3 を含む集積回路（図示せず）が形成されている。集積回路の多層配線層 3 は、集積回路を構成しているトランジスタ等の配線領域であり、その最上層には接続用電極 4 a を含む電極 4 が形成されている。多層配線層 3 は、例えば開口部を有する絶縁膜 1 1 と、開口部が埋め込みされ、かつ、絶縁膜 1 1 上に被覆される金属膜が配設され、これらの層が交互に積層されて構成されている。多層配線層 3 の半導体基板 2 側から最上層 1 1 a の表側まで金属配線 1 2 が形成されている。

ここで、層間絶縁層 1 1 は SiO₂ や窒化シリコン等から成る。金属配線 1 2 は、銅 (Cu) やアルミニウム (Al) 等から成る。金属配線 1 2 は、一層以上の層間絶縁層 1 1 を貫通するように配設されていてもよい。

[0030] MEMS 6 は、シリコン (Si) 基板等の MEMS 用基板 1 4 を微細加工して構築され、センサ、スイッチ、可変容量等の各種の機能を有する。例えば、図 1 の MEMS 6 は、静電駆動の片持ち梁部 6 a, 6 b を有している。図示の MEMS 6 では、集積回路と接続するための接続用電極 7 が MEMS 用基板 1 4 の開口部 1 4 a に形成され、接続用電極 7 が接続電極部 8 と接続されている。MEMS 6 の素材としては、単結晶シリコン以外には、多結晶 Si を用いてもよい。

[0031] MEMS 6 が可変容量素子等である場合、層間絶縁層の最上層 1 1 a には、さらに、容量用電極 4 b や可変容量の駆動用電極 4 c 等からなる複数の電極 4 が形成されていてもよい。これらの電極 4 の内、所定の接続用電極 4 a が MEMS 6 と接続される。

[0032] (第 2 の実施形態)

図 3 は、本発明による機能デバイスの第 2 の実施形態の構成を示す概略平面図であり、図 4 は、図 3 の B-B 線に沿った模式的な断面図である。

図3及び図4に示す機能デバイス20が、図1に示した機能デバイス1と異なるのは、MEMS6を圧電材料で形成した点にある。他の構成は、図1の場合と同じであるので説明は省略する。

[0033] MEMS6は、例えば圧電材料を用いた表面弾性波素子等である。表面弾性波素子6は共振器やフィルタの機能を有しており、図示の表面弾性波素子6は、MEMS用基板16となる圧電材料からなる結晶基板（以下、「圧電単結晶基板」と呼ぶ。）上に微細加工された楕形電極からなる入出力電極と反射部18が形成されており、表面弾性波素子6の接続用電極7、7が接続電極部8を介して集積回路の所定の接続用電極4aと接続されている。圧電結晶基板16として、水晶、タンタル酸リチウム（ LiTaO_3 ）、ニオブ酸リチウム（ LiNbO_3 ）等の結晶基板を用いることができる。

[0034] （第2の実施形態の変形例1）

表面弾性波素子6の構成は種々の構成とすることができる。

図5は、本発明による機能デバイスの第2の実施形態の変形例1の構成を示す概略断面図である。図5に示す機能デバイス25は、MEMS6において圧電結晶基板16の下部表面に絶縁層27を形成した点で、図3に示す機能デバイス20と異なる。絶縁層27は、例えば SiO_2 層から成る。

[0035] 機能デバイス25では、 SiO_2 層27は正の周波数温度依存性、すなわち温度変化によって振動周波数が増える特性を有するので、負の周波数温度依存性を有する圧電結晶基板16と組み合わせることで、表面弾性波素子6の振動周波数の温度特性を改善できる。

[0036] （第2の実施形態の変形例2）

図6は、本発明による機能デバイスの第2の実施形態の変形例2の構成を示す概略断面図である。図6に示す機能デバイス30は、表面弾性波素子6において圧電結晶基板16の下部表面にダイヤモンド層32を形成している点で、図3に示す機能デバイス20と異なる。

[0037] 機能デバイス30では、ダイヤモンド層32をその表面に形成した表面弾性波素子6と集積回路基板5とを接合部8で接続している。ダイヤモンド層

32に用いるダイヤモンドは最も高い音速を有する材料であり、表面弾性波素子6の高周波化を図ることができる。

[0038] (第2の実施形態の変形例3)

図7は、本発明による機能デバイスの第2の実施形態の変形例3の構成を示す概略断面図である。

図7に示す機能デバイス35は、MEMS6の圧電結晶基板16の下部表面にダイヤモンド層32とSiO₂層27とを順に積層している点で、図3に示す機能デバイス20と異なる。機能デバイス35では、ダイヤモンド層32を配設しているため表面弾性波素子6の高周波化することができると共に、SiO₂層27によって表面弾性波素子6の温度特性を改善することができる。

[0039] (第2の実施形態の変形例4)

図8は、本発明による機能デバイスの第2の実施形態の変形例4の構成を示す概略断面図である。

図8に示す機能デバイス40は、表面弾性波素子6において、圧電結晶基板16の代わりに圧電材料からなる薄膜(以下、「圧電材料薄膜」と呼ぶ。)42を用い、圧電材料薄膜42の下部表面にダイヤモンド層32を積層している点で、図3に示す機能デバイス20と異なる。機能デバイス40では、圧電材料薄膜42を用いているため製造が容易となり、ダイヤモンド層32を配設しているため表面弾性波素子6の高周波化を図ることができる。

[0040] (第2の実施形態の変形例5)

図9は、本発明による機能デバイス45の第2の実施形態の変形例5の構成を示す概略断面図である。

図9に示す機能デバイス45は、表面弾性波素子6において、圧電結晶基板16の代わりに圧電材料薄膜42を用い、圧電材料薄膜42の下部表面にさらにダイヤモンド層32とSiO₂層27とを順に積層した点で、図3に示す機能デバイス20と異なる。

機能デバイス45では、各層が何れも薄膜から構成されているため製造が

容易となり、ダイヤモンド層 32 を配設しているため表面弾性波素子 6 の高周波化が図れると共に、 SiO_2 層 27 によって表面弾性波素子 6 の温度特性を改善することができる。

[0041] 本発明の機能デバイス 1, 20, 30, 35, 40, 45 は、最先端の微細加工による集積回路と単結晶シリコンや表面弾性波素子又はバルク弾性波素子からなるマイクロマシンとを一体化することができる。

[0042] 次に、第 1 及び第 2 の実施形態に係る機能デバイスの製造方法について説明する。

(機能デバイスの第 1 の製造方法)

図 10 は、図 1 に示した機能デバイス 1 の製造方法における各工程を示す概略断面図である。

図 10 (A) において、SOI 基板 52 を用意する。この SOI 基板 52 は、上側から順に、Si デバイス層 52a, SiO_2 層 52b, Si ハンドル層 52c から構成されている。この SOI 基板 52 の表面に、パリレン等からなる樹脂層 54 を、スパッタ法、蒸着法、化学的気相堆積法等により成膜する。樹脂層 54 の材料としては、パリレン以外には、ポリイミド樹脂、BCB、紫外線硬化樹脂及びフォトレジストやインプリントレジスト等のレジストを用いることができる。パリレンからなる樹脂層 54 の場合には、蒸着重合法によって形成することができる。パリレン以外の樹脂層 54 の場合には、スピコーティング法等で形成してもよい。

[0043] 図 10 (B) に示すように、集積回路基板 5 を別に用意して、集積回路基板 5 の多層配線層 3 の表面にパリレン等からなる樹脂層 56 を、蒸着重合法などにより成膜する。樹脂層 56 の材料としては、パリレン以外には、ポリイミド樹脂、BCB、紫外線硬化樹脂及びレジスト等を用いることができる。

[0044] 次に、図 10 (C) に示すように、SOI 基板 52 を上下反転させて集積回路基板 5 の上に載置し、SOI 基板 52 の樹脂層 54 と集積回路基板 5 の樹脂層 56 とを熱圧着等の方法で接合する。SOI 基板 52 の樹脂層 54 と

集積回路基板 5 は、樹脂層 5 4、5 6 同士の変形によって接合が容易になるので、歩留まりが向上する。

[0045] 続いて、図 10 (D) に示すように、SOI 基板 5 2 の Si ハンドル層 5 2 c を研削及びドライエッチングによって除去する。

[0046] Si ハンドル層 5 2 c を除去した後、図 10 (E) に示すように、上面に露出している SiO₂ 層 5 2 b をエッチングによって除去し、Si デバイス層 5 2 a を露出させる。このエッチングは、ウェットエッチングで行うことができる。

[0047] 図 10 (F) に示すように、露出した Si デバイス層 5 2 a を、フォトリソグラフィ法で加工し、図示しない電極等を有する目的の MEMS 6 の構造を形成する。この場合、Si デバイス層 5 2 a のエッチングには、ハロゲンを含むガスのプラズマによってエッチングしてもよい。場合によっては、図 8 (E) で除去した SiO₂ 層 5 2 b を、図 8 (F) の工程におけるマスクとして使用してもよい。

[0048] 図 10 (G) に示すように、露出した樹脂層 5 4 をエッチングによって除去する。樹脂層 5 4 のエッチングは、酸素ガスを用いた RIE やプラズマエッチングで行うことができる。

[0049] 次に、図 10 (H) に示すように、MEMS 6 の構造が形成された Si デバイス層 5 2 a 上の全面に後述するめっき工程の下地層となる Cu、Au 等からなるシード層 5 8 を形成し、シード層 5 8 上全面にフォトレジスト層 6 0 を形成する。このフォトレジスト層 6 0 の内、MEMS 6 の貫通口が形成される箇所を露光や現像を行うことによって開口する。この MEMS の開口部 1 4 a を、フォトレジスト層 6 0 をマスクとして、接続電極部 8 となるめっき層を形成する。接続電極部 8 によって、集積回路基板 5 の接続用電極 4 a と MEMS 6 の接続用電極 7 とが接続される。

[0050] 次に、図 10 (I) に示すように、フォトレジスト層 6 0 とシード層 5 8 とをエッチングによって除去する。

[0051] 最後に、図 10 (J) に示すように、集積回路基板 5 の多層配線層 3 と M

MEMS 6 との間に残留している犠牲層である樹脂層 5 4, 5 6 を、酸素プラズマやオゾン処理等によって除去する。

これにより、集積回路基板 5 と MEMS 6 とは、それらの接続箇所である接続用電極 4 a, 接続用電極 7 と接続電極部 8 以外の箇所は完全に分離されるので、MEMS 6 を可動できる状態にできる。

[0052] 上記製造方法によれば、集積回路基板 5 と最初に用いた SOI 基板 5 2 との接続に樹脂層 5 4, 5 6 を用いることによって、集積回路基板 5 の多層配線層 3 の損傷を無くすることができる。よって、スイッチ、可変容量、センサなどに利用できる静電駆動の片持ち梁を有する MEMS 6 等を集積回路基板 5 の直上に形成することができる。こうして、最先端の加工寸法からなる集積回路基板 5 の直上に MEMS 材料として最適な単結晶 Si から成る MEMS 6 を、高い歩留まりで形成できる。

[0053] 以下、MEMS 6 が表面弾性波素子からなる機能デバイス 2 0, 2 5, 3 0, 3 5, 4 0, 4 5 の製造方法について説明する。

(機能デバイスの第 2 の製造方法)

図 1 1 は、図 3 に示した機能デバイス 2 0 の製造方法を順次に示す概略断面図である。

図 1 1 (A) において、圧電材料からなる単結晶基板 1 6 を用意する。以下、圧電材料からなる単結晶基板 1 6 を LiTaO₃ 基板として説明する。

[0054] 図 1 1 (B) に示すように、集積回路基板 5 と LiTaO₃ 基板 1 6 とを、厚膜レジスト等からなる樹脂層 5 4 を介して接着する。この接着には、熱圧着等を使用することができる。できるだけ低温で接着することが望ましい。この接着の低温化のためには、室温で紫外線の照射によって硬化する紫外線硬化樹脂を用いてもよい。この熱圧着等の工程において、集積回路基板 5 と LiTaO₃ 基板 1 6 との熱膨張率の違いによる不整合を緩和するために樹脂層 5 4 の厚さは適度に厚くしておくことが望ましい。しかしながら、樹脂層 5 4 の厚さが厚すぎると、後述する最終工程における樹脂層 5 4 の除去に時間が掛かることを考慮して、適当な厚さとすることが好ましい。

- [0055] 次に、図11(C)に示すように、荒削り工程や研磨工程によってLiTaO₃基板16を薄くする。表面弾性波素子6では、表面弾性波のエネルギーはLiTaO₃基板16の最表面に集中しているため、LiTaO₃基板16の厚さは性能にあまり関係しない。しかしながら、後述するLiTaO₃基板16の分離エッチングを容易に行うために最小限の厚さとすることが望ましい。
- [0056] 図11(D)に示すように、薄くしたLiTaO₃基板16の最表面へ所望の表面弾性波素子6となるように、入出力側の楕円電極や必要に応じて反射部18等の微細電極パターンを形成する。
- [0057] 次に、図11(E)に示すように、LiTaO₃基板16の表面において表面弾性波素子6と開口部14aとなる領域以外のLiTaO₃基板16をエッチングするためのマスク62で被覆する。マスク62としては、フォトリソ等からなるレジストパターンを用いることができる。例えば、図示の場合、LiTaO₃基板16から上方へ樹脂層62a及びNi等の金属層62bとからなる2層マスクを使用している。このマスク62を用いて、余分なLiTaO₃基板16と開口部14aとなる領域をエッチングによって除去する。
- [0058] 図11(F)に示すように、上記マスク62のNi層62bをウェットエッチング等で、樹脂層62aを酸素プラズマ等によって除去する。
- [0059] 次に、図11(G)に示すように、集積回路基板5の接続用電極4aと表面弾性波素子6の開口部14aをめっき法等によって埋め込み、銅(Cu)等からなる接続電極部8を形成する。この工程は、図10(H)で説明したように、めっき工程の下地層となるCu、Au等からなるシード層58とシード層58上に形成したフォトリソ層60をマスクとした選択めっき工程によって行うことができる。
- [0060] 最後に、図11(H)に示すように、表面弾性波素子6と集積回路基板5の多層配線層3との間に残留している樹脂層54を、酸素プラズマやオゾン処理等によって除去する。これにより、表面弾性波素子6と集積回路基板5

とは、それらの接続箇所である接続用電極 7、4 a と接続電極部 8 で繋がっている箇所以外の箇所は完全に分離され、表面弾性波素子 6 を集積回路基板 5 から浮かすことができる。集積回路基板 5 の Si 基板と表面弾性波素子 6 の圧電単結晶とは異なる熱膨張率を有しているため、表面弾性波素子 6 を集積回路基板 5 から浮かすことで、熱膨張率差による破壊や表面弾性波素子 6 の特性変動を抑えることができる。

[0061] 上記製造方法によれば、集積回路基板 5 と最初に用いた表面弾性波素子 6 となる LiTaO₃ 基板 16 との接続に樹脂層 54 を用いることによって、集積回路基板 5 の多層配線層 3 の損傷を無くすることができる。

[0062] (機能デバイスの第 2 の製造方法の変形例 1)

図 12 は、図 5 に示した機能デバイス 25 の製造方法の各工程を示す断面図である。

図 12 (A) に示すように、圧電結晶基板 16 の下面側に SiO₂ 層 27 を成膜する。以下、圧電結晶基板 16 を LiTaO₃ 基板として説明する。

次に、図 12 (B) に示すように、集積回路基板 5 と LiTaO₃ 基板 16 の下面に形成された SiO₂ 層 27 とを、厚膜レジスト等からなる樹脂層 54 を介して接着する。この接着には、熱圧着等を使用することができる。できるだけ低温で接着することが望ましい。

次に、図 12 (C) に示すように、荒削り工程や研磨工程によって LiTaO₃ 基板 16 を薄くする。

図 12 (C) 以降の工程は、図 11 の (D) ~ (H) の工程と共通のため、説明は省略する。以上の工程を経ることによって、機能デバイス 25 を製造することができる。

[0063] 上記製造方法によれば、犠牲層となる樹脂層 54 をエッチングする際に、SiO₂ 層 27 がエッチングされない。したがって、図 29 に示した公知技術のように、SiO₂ 又はスピンオングラスで平坦化した LSI ウェハへの低温直接接合を利用すると、最後に SiO₂ 又はスピンオングラスの犠牲層をエッチングする際、圧電結晶基板 16 に堆積した SiO₂ 層もエッチングされてし

まうことがなくなる。

[0064] (機能デバイスの第2の製造方法の変形例2)

図13は、図6に示した機能デバイス30の製造方法の各工程を示す断面図である。

まず、図13(A)に示すように、LiTaO₃基板16の下面側にプラズマCVD法等を用いてダイヤモンド層32を成膜する。

図13(B)に示すように、LiTaO₃基板16の下面に形成したダイヤモンド層32と集積回路基板5とを、厚膜レジスト等からなる樹脂層54を介して接着する。この接着には、熱圧着等を使用することができる。できるだけ低温で接着することが望ましい。

次に、図13(C)に示すように、荒削り工程や研磨工程によってLiTaO₃基板16を薄くする。

図13(C)以降の工程は、図11の(D)~(H)の工程と共通のため、説明は省略する。以上の工程を経ることによって、機能デバイス30を製造することができる。

[0065] (機能デバイスの第2の製造方法の変形例3)

図14は、図7に示した集積回路とMEMSとが一体化された機能デバイス35の製造方法の各工程を示す断面図である。

まず、図14(A)に示すようにLiTaO₃基板16の下面側にプラズマCVD法等を用いてダイヤモンド層32を成膜し、その後、図14(B)に示すようにダイヤモンド層32の下側にSiO₂層27を成膜する。

次に、図14(C)に示すように、LiTaO₃基板16の下面に形成されたダイヤモンド層32と集積回路基板5とを、厚膜レジスト等からなる樹脂層54を介して接着する。この熱圧着等の工程において、集積回路基板5とダイヤモンド層32が配設されたLiTaO₃基板16との熱膨張率の違いによる不整合を緩和するために樹脂層54の厚さは適度に厚くしておくことが望ましい。

そして、図14(D)に示すように、荒削り工程や研磨工程によってLi

TaO₃基板16を薄くする。

図14(D)以降の工程は、図11の(D)～(H)の工程と共通のため、説明は省略する。以上の工程を経ることによって、機能デバイス35を製造することができる。

[0066] (機能デバイスの第2の製造方法の変形例4)

図15は、図8に示した機能デバイス40の製造方法の各工程を示す断面図である。

まず、圧電材料薄膜用基板64の表面にCVD法等を用いて、AlN等からなる圧電材料薄膜42(図15(A)参照)とダイヤモンド層32(図15(B)参照)と、を順次成膜する。圧電材料薄膜用基板64としては、Si基板等を用いることができる。

図15(A)及び(B)を経て製作した、圧電材料薄膜42とダイヤモンド層32とを形成したSi基板64を、図15(C)に示すように、集積回路基板5の上に上下反転させて載置し、集積回路基板5の樹脂層56とSi基板64の表面に配設されたダイヤモンド層32とを、厚膜レジスト等からなる樹脂層54を介して接着する。この接着には、熱圧着等を使用することができるが、できるだけ低温で接着することが望ましい。

次に、図15(D)に示すように、荒削り工程やエッチング法によってSi基板64を除去する。

図15(D)以降の工程は、図11の(D)～(H)の工程と共通のため、説明は省略する。以上の工程を経ることによって、機能デバイス40を製造することができる。

[0067] 上記製造方法によれば、通常ダイヤモンド層上に配向したAlN層を形成するのが困難であるのに対して、(111)面Si基板64上に、又は表面に金属層が形成されたSi基板64上に容易に配向したAlN層42を形成できるという利点がある。

[0068] (機能デバイスの第2の製造方法の変形例5)

図16は、図8に示した機能デバイス40の製造方法の各工程を示す断面

図である。

まず、図16(A)に示すように、Si基板64の表面にCVD法等を用いてダイヤモンド層32を成膜し、ダイヤモンド層32を研磨して厚さを10~30 μ mにする。

図16(B)に示すように、ダイヤモンド層32上にCVD法等を用いてZnO層等の圧電材料薄膜42を成膜する。

図16(C)に示すように、ZnO層42上にテープ66を接着する。テープ66の代わりにガラス支持基板のような薄い基板を用いてもよい。

そして、図16(D)に示すように、荒削り工程やエッチング法によってSi基板64を除去する。

次に、図16(E)に示すように、テープ66に貼り付けられたダイヤモンド層32を、厚膜レジスト等からなる樹脂層54を介して集積回路基板5に接着する。この接着には、熱圧着等を使用することができるが、できるだけ低温で接着することが望ましい。

次に、図16(F)に示すように、ZnO層42上のテープ66を剥離する。テープ66として、紫外線剥離型のテープ（紫外線剥離型支持テープとも呼ぶ）を用いた場合には、テープ66の剥離は、紫外線照射で行うことができる。

図16(F)以降の工程は、図11の(D)~(H)の工程と共通のため、説明は省略する。

以上の工程を経ることによって、ダイヤモンド層32とZnO層42を成膜し、ZnO層42上に形成した表面弾性波素子6を集積回路基板5に接合し、機能デバイス40を製造することができる。

[0069] (機能デバイスの第2の製造方法の変形例6)

図17は、図9に示した機能デバイス45の製造方法の各工程を示す断面図である。

まず、Si基板64の表面にCVD法等を用いて、AlN等からなる圧電材料薄膜42とダイヤモンド層32と、を順次成膜する(図17(A)及び

(B))。

図17 (C) に示すように、ダイヤモンド層32上にSiO₂層27を成膜する。

次に、図17 (D) に示すように、図17 (A) ~ (C) で製作した、圧電材料薄膜42とダイヤモンド層32とSiO₂層27とを形成したSi基板64を、集積回路基板5の上に上下反転させ、Si基板64の表面に配設されたSiO₂層27と集積回路基板5とを、レジスト等からなる樹脂層54を介して接着する。この接着には、熱圧着等を使用することができるが、できるだけ低温で接着することが望ましい。

次に、図17 (E) に示すように、荒削り工程やエッチング法によってSi基板64を除去する。

図17 (E) 以降の工程は、図11の (D) ~ (H) の工程と共通のため、説明は省略する。

以上の工程を経ることによって、Si基板64に成膜した圧電材料薄膜42とダイヤモンド層32とSiO₂層27とからなる表面弾性波素子6を集積回路基板5に接合し、機能デバイス45を製造することができる。

[0070] (機能デバイスの第2の製造方法の変形例7)

図18は、図9に示した集積回路とMEMSとが一体化された機能デバイス45の製造方法の各工程を示す断面図である。

まず、図18 (A) に示すように、Si基板64の表面にCVD法等を用いてダイヤモンド層32を成膜し、ダイヤモンド層32を研磨して厚さを10~30μmにする。

図18 (B) に示すように、ダイヤモンド層32上にCVD法等を用いてZnO層等の圧電材料薄膜42を成膜する。

成膜したZnO層42上に、図18 (C) に示すように紫外線剥離型支持テープ66を接着する。

そして、図18 (D) に示すように、荒削り工程やエッチング法によってSi基板64を除去する。

次に、図18(E)に示すように、ダイヤモンド層32上にCVD法等を用いて温度補償用のSiO₂層27を形成する。

次に、図18(F)に示すように、紫外線剥離型支持テープ66に貼り付けられたZnO層42とダイヤモンド層32とSiO₂層27とからなる層を、厚膜レジスト等からなる樹脂層54を介して集積回路基板5に接着する。この接着には、熱圧着等を使用することができるが、できるだけ低温で接着することが望ましい。

そして、図18(G)に示すように、ZnO層42上の紫外線剥離型支持テープ66を剥離する。

図18(G)以降の工程は、図11の(D)~(H)の工程と共通のため、説明は省略する。

以上の工程を経ることによって、Si基板64に成膜した圧電材料薄膜42とダイヤモンド層32とSiO₂層27とからなる表面弾性波素子6を集積回路基板5に接合し、機能デバイス45を製造することができる。

[0071] 上記製造方法によれば、犠牲層54となる樹脂層をエッチングする際に、集積回路基板5に配設されたSiO₂層がエッチングされない。したがって、図29に示した公知技術のように、SiO₂又はスピノングラスで平坦化したLSIウェハへの低温直接接合を利用すると、最後にSiO₂又はスピノングラスの犠牲層54をエッチングする際、圧電結晶基板16に堆積したSiO₂層もエッチングされてしまうということが無くなる。

[0072] (第3の実施形態)

機能デバイス1のMEMS6の接続電極部8は、MEMS6の表面に設けられた接続用電極7と、集積回路基板5の接続用電極4aと、を接続している。MEMS6に設ける電極は、表面側に設けられる接続用電極7以外に、MEMS6を形成する基板の裏面側に形成される電極や、接続用電極7に接続して基板裏面に接続される電極等の種々の電極として形成することができる。

図19は、本発明に従った機能デバイスの第3の実施形態の構成を示す概

略断面図である。

図19に示す機能デバイス50が、図1に示した機能デバイス1と異なるのは、MEMS6側に接続電極部8以外にさらに、MEMS用電極9を備えて構成されている点にある。MEMS用電極9は、MEMS6側の表面から裏面へ貫通する開口部に形成される電極部9aとこの開口部を埋める埋め込み電極部9bとから構成されている。このようなMEMS6の一例としては、MEMS用電極9を例えばスイッチの一方の接点として使用する方法が挙げられる。MEMS6を、機能デバイス50の集積回路基板5の所定の配線を断続するスイッチとして機能させる場合には、MEMS6を静電駆動型として、MEMS用電極9を、集積回路基板5の所定配線との間のスイッチ用電極とすることができる。

[0073] 次に、第3の実施形態に係る機能デバイス50の製造方法について説明する。

(機能デバイスの第3の製造方法)

図20及び図21は、図19に示した機能デバイス50の製造方法の各工程を示す断面図である。

まず、図20(A)に示すように、集積回路基板5の最上層11aとなるSiO₂等からなる絶縁層をP-TEOS(プラズマ-Tetraethyl orthosilicate)等を用いたCVD法で堆積する。SiO₂層11aの厚さは例えば250nmである。

図20(B)に示すように、SiO₂層11a上にTiとPtとAuの順に積層された接続用電極となる電極パターン(以下、Au/Pt/Tiと表記する。)4aを形成する。Au/Pt/Ti層の厚さは、例えば、Auが150nm、Ptが40nm、Tiが10nmである。

次に、図20(C)に示すように、SOI基板52を上下反転させて集積回路基板5の上に載置し、図20(D)に示すように、SOI基板52のSiデバイス層52a上に被覆した樹脂層54と集積回路基板5の表面に被覆した樹脂層56とを熱圧着等の方法で接合する。樹脂層54、56の材料と

しては、パリレン、ポリイミド樹脂、BCB、レジスト等を用いることができる。ここで、SOI基板52の各層の厚さとして、Siデバイス層52aを $2\mu\text{m}$ 、 SiO_2 層52bを $1\mu\text{m}$ 、Siハンドル層52cを $450\mu\text{m}$ とすることができる。

[0074] 次に、図20(E)に示すように、SOI基板52のSiハンドル層52cを研削や SF_6 ガスを用いたドライエッチングによって除去する。

図20(F)に示すように、上面に露出した SiO_2 層52bを緩衝弗酸(BHF)等のエッチング液によって除去し、Siデバイス層52aを露出させる。

露出させたSiデバイス層52aに、図20(G)に示すように、接続電極部8を形成するためのレジストパターン62を形成する。このレジストには、東京応化工業株式会社製のOFPR-800を用いることができる。

次いで、図20(H)に示すように、Siデバイス層52aの接続電極部8を形成するために、Siデバイス層52aの第1の貫通孔となる領域のSiを SF_6 ガスを用いたドライエッチング等によって選択エッチングを行う。この場合、図に点線で示すように、後述する樹脂層54のエッチングのためにSiデバイス層52aに複数の貫通孔を設けてもよい。

図20(I)に示すように、不要となったレジストパターン62と露出している樹脂層54、56とを酸素ガスを用いたドライエッチング等によってエッチングする。

[0075] そして、図20(J)に示すように、Siデバイス層52aにMEMS用電極9を形成するために第2の貫通孔を形成するレジストパターン62を形成する。このレジストには、東京応化工業株式会社製のOFPR-800を用いることができる。

次に、図20(K)に示すように、上記Siデバイス層52aの第2の貫通孔となる領域のSiを SF_6 ガスを用いたドライエッチング等によって選択エッチングを行う。

[0076] 図21(A)に示すように、不要となったレジストパターン62と、Si

デバイス層52aの第2の貫通孔の下部に露出している樹脂層54, 56と、を酸素ガスを用いたドライエッチング等によってエッチングする。

そして、図21(B)に示すように、Siデバイス層52aに樹脂層54を、例えば1 μ mの厚さで被覆する。

図21(C)に示すように、Siデバイス層52aの第2の貫通孔となる領域とSiデバイス層52a表面の貫通孔の周囲とを被覆するレジストパターン62を形成する。

そして、図21(D)に示すように、樹脂層54, 56を酸素ガスを用いたドライエッチング等によってエッチングする。この樹脂層54, 56のエッチングによって、Siデバイス層52aの表面では、レジストパターン62で被覆された領域以外の樹脂層54, 56はエッチングされる。

エッチング後、図21(E)に示すように、レジストパターン62をアセトン等の有機溶媒によって除去する。ここまでの工程で、Siデバイス層52aにおいて、第1の貫通部と第2の貫通部が形成される。Siデバイス層52aの第1の貫通部以外は、その裏面と集積回路基板5との間には、樹脂層54, 56が挿入されている。

[0077] 次に、図21(F)に示すように、MEMS6の構造が形成されたSiデバイス層52a上の全面に、後述するめっき工程の下地層となるCu等からなるシード層58を形成する。Cuシード層58の厚さは、例えば250nmである。

次に、図21(G)に示すように、MEMS6の貫通口が形成される箇所だけを開口するレジストパターン62を形成する。この開口部へレジストパターン62をマスクとして、接続電極部8及びMEMS用電極9となるめっき層を形成する(図21(H)参照)。接続電極部8によって、集積回路基板5の接続用電極4aとMEMS6の接続用電極7とが接続される。

その後、図21(I)に示すように、レジストパターン62とシード層58とをエッチングによって除去する。

最後に、図21(J)に示すように、集積回路基板5の最上層とMEMS

6との間に残留している犠牲層である樹脂層54, 56を、酸素プラズマ等によって除去する。これにより、集積回路基板5とMEMS6とは、それらの接続箇所である図示しない接続用電極（図2の4a参照）と接続電極部8以外の箇所は完全に分離されるので、MEMS6を可動にすることができる。

[0078] 上記製造方法によれば、集積回路基板5と最初に用いたSOI基板52との接続に樹脂層54, 56を用いることによって、集積回路基板5の多層配線層3の損傷を無くすことができる。よって、スイッチ、可変容量、センサなどに利用できる静電駆動の片持ち梁を有するMEMS6等を集積回路基板5の直上に形成することができる。こうして、最先端の加工寸法からなる集積回路基板5の直上にMEMS材料として最適な単結晶Siから成るMEMS6を、高い歩留まりで形成できる。

[0079] 図22は、製作した機能デバイス50の走査型電子顕微鏡（SEM）像を示す図である。高周波用リレーとなる機能デバイス50がMEMS6を用いることで精度よく製造できることが分かった。

[0080] （第4の実施形態）

本発明による機能デバイス1のMEMS6において、電極はMEMS6を構成する層の表面上に形成されているが、作製するMEMS6の構造に応じて、電極はMEMS6の表面に限らず裏面側に設けてもよい。ここで、電極は、配線パターンも含み、電極が複数配設されてもよい。

図23は、本発明による機能デバイスの第4の実施形態の構成を示し、（A）は模式的な断面図、（B）及び（C）は斜視図である。

図23（A）に示すように、第4の実施形態に係る機能デバイス55は、高周波スイッチの一例を示している。図23（B）はMEMS6の表面側と、集積回路基板5の斜視図である。MEMS6は、3本の片持ち梁部6a, 6b, 6cと、この3本の片持ち梁部6a, 6b, 6cに接続される静電駆動部6dとが、SiO₂等の絶縁体からなる層で構成されると共に、接続電極8部（8a, 8b, 8c）と、スイッチ用電極9等から構成されている。

[0081] 図23(C)は、集積回路基板5とMEMS6の裏面側との斜視図である。MEMS6の3本の片持ち梁部6a, 6b, 6cの内、中央の片持ち梁部6bとこの片持ち梁部6bに接続される静電駆動部6dには、スイッチ用電極9とこのスイッチ用電極9と接続電極部8bとを接続する信号線となるスイッチ用電極9cとが形成されている。

MEMS6の中央の片持ち梁部6bの上下側に離れて配置されている片持ち梁部6a, 6cと、この上下側の片持ち梁部6a, 6cに接続される静電駆動部6dと、には、静電駆動用電極パターン9dが形成されている。この静電駆動用電極パターン9dの右端が接続電極部8a, 8cに接続され、これらの接続電極部8a, 8cが集積回路基板5に接続され、静電駆動用電圧が印加される。

[0082] 機能デバイス55の集積回路基板5において、MEMS6のスイッチ用電極9の下部には、高周波信号が入力される信号用電極10が形成されている。図示の場合、高周波信号が入力される信号用電極10の左側が高周波信号が入力される第1の信号線路10aである。この第1の信号線路10aの上部及び下部側には、離隔して接地線(グランド)70パターンが形成されている。第1の信号線路10aの延長線上でかつ、中央の片持ち梁部6bに接続される接続電極部8bには、第2の信号線路10bが形成されている。

[0083] これにより、MEMS6の静電駆動部6dが、集積回路基板5から供給される駆動信号で駆動されると、MEMS6のスイッチ用電極9と第1の信号線路10aとが導通し、第1の信号線路10aと第2の信号線路10bとを導通させる。機能デバイス55によれば、従来のリレーと比較すると、例えば、MEMS6として機械特性に優れた高温堆積SiO₂を用いてスイッチ構造体を作れるので、スイッチング動作の信頼性を向上し得ると共に、寄生容量や誘電損失による信号の損失を抑えることができる。

[0084] MEMS6を構成する素材としては、半導体の単結晶や多結晶、絶縁体からなる層を使用することができる。これらの素材としては、Si単結晶、Si多結晶、SiO₂層等を用いることができる。

[0085] 次に、第4の実施形態に係る機能デバイス55の製造方法について説明する。

(機能デバイスの第4の製造方法)

図24及び図25は、図23に示した機能デバイス55の製造方法の各工程を示す断面図である。

まず、図24(A)～(L)は、集積回路基板5の製造工程を示している。図24(A)に示すように、集積回路基板5の最上層11aとなるSiO₂等の絶縁膜と、裏面に絶縁層13とを堆積する。

図24(B)に示すように、集積回路基板5の表面側のSiO₂層11a上にレジストパターン62を形成し、次にSiO₂層11aの選択エッチングを行う(図24(C)参照)。

図24(D)に示すように、SiO₂層11a上にレジストパターン62を形成し、開口部にAu/Pt/Ti層12をリフトオフ工程によって形成する(図24(E)参照)。

次に、図24(F)に示すように、Si基板2の裏面側にレジストパターン62を形成し、開口部にAu/Cr層をリフトオフ工程によって形成し、このパターンニングしたAu/Cr層をアライメントマーク75とする(図23(G)参照)。

次に、図24(H)に示すように、SiO₂層11a表面にCu層58をスパッタリング法等によって堆積する。

図24(I)に示すように、レジストパターン62を形成し、レジストパターン62の開口部に金めっきを施し信号用電極10のパッド部等を形成し(図24(J)参照)、次に、図24(K)に示すように、不要なCu層58を除去する。次に、図24(L)に示すように、集積回路基板5の上に樹脂層56を堆積する。

[0086] 以上の工程によって、SiO₂層11a上に金属配線12となる電極パターンが形成される。電極パターン12は、SiO₂層11a上だけに形成されるパターンと、SiO₂層11aの下部側の電極層と接続される電極パターンと

、からなる。集積回路基板5の裏面の表面には、アライメントマーク75が形成されている。上記したように、アライメントマーク75は、CrとAuを順次堆積した金属層をパターンニングして形成することができる。

[0087] 図24(M)～(O)は、MEMS6の部分的な製作工程を示している。図24(M)に示すように、Si基板78aを用意し、Si基板78aの表面にCVD法等でSiO₂等からなる絶縁層78bを形成する。この基板を絶縁層付きSi基板78と呼ぶ。この絶縁層78bが最終的には、MEMS6が形成される領域となる。

図24(N)に示すように、SiO₂層78b上にAu/Pt/Ti層からなるMEMS用電極9のパターンを形成する。

図24(O)に示すように、Si基板78aの裏面側にはCr/Auからなるアライメントマーク75を形成する。そして、図24(P)に示すように、SiO₂層78bの表面に樹脂層54を被覆する。

[0088] 次に、図25(A)に示すように、絶縁層付きSi基板78を上下反転させて集積回路基板5の上に載置し、絶縁層付きSi基板78のSiO₂層78b上に被覆した樹脂層54と集積回路基板5の表面に被覆した樹脂層56とを熱圧着等の方法で接合する。

図25(B)に示すように、絶縁層付きSi基板78のSi基板78aを研削やSF₆ガスを用いたドライエッチングにより除去する。これにより、集積回路基板5には、樹脂層54、56を介して、MEMS6となるSiO₂層78bが載置された構造となる。

[0089] 図25(C)～図26(C)は、SiO₂層78bに接続電極部8を形成する工程である。

図25(C)に示すように、上面に露出しているSiO₂層78bにレジストパターン62を形成する。次に、図25(D)に示すように、Au/Crからなる金属層79を蒸着し、リフトオフ工程によって、Au/Cr層79のパターンニングを行い、図25(E)に示すように、レジストパターン62を除去する。

次に、図25(F)に示すように、Au/Crからなる金属層79をマスクとして、SiO₂層78bのエッチングを行う。このSiO₂層78bのエッチングによって後述する接続電極部8が形成される開口部が形成される。この開口部と共に、SiO₂層78bへは、後述する樹脂層54、56のエッチングのために複数の開口部を形成してもよい。

次に、図25(G)に示すように、SiO₂層78bにレジストパターン62を形成し、接続電極部8が形成される領域だけを開口する。

そして、図25(H)に示すように、接続電極部8が形成される領域の下部にあるAu/Pt/Ti層9のエッチングを行う。

図25(I)に示すように、接続電極部8の下部にある樹脂層54、56を酸素ガスを用いたドライエッチング等によってエッチングする。

図25(J)に示すように、レジストパターン62とレジストパターン62の下部にあるAu/Cr層79のエッチングを行う。

そして、図25(K)に示すように、表面の全面にめっきの下地となるCu層58をスパッタや蒸着等の方法で堆積する。

次に、図25(L)に示すように、Cu層58上にレジストパターン62を形成し、接続電極部8だけを開口する。

[0090] 次いで、図26(A)に示すように、接続電極部8となる領域にAuめっきを施す。

図26(B)に示すように、レジストパターン62をエッチングによって除去し、シード層58をエッチングによって除去する(図26(C)参照)。

最後に、図26(D)に示すように、集積回路基板5の多層配線層3とMEMS6との間に残留している犠牲層である樹脂層54、56を、酸素プラズマ等によって除去する。これにより、集積回路基板5とMEMS6とは、接続電極部8以外の箇所は完全に分離され、MEMS6を可動できる状態にでき、さらにMEMS6の裏面側にスイッチ用電極9を形成することができる。

[0091] 次に、第4の実施形態に係る機能デバイス55の別の製造方法について説明する。

(機能デバイスの第4の製造方法の変形例)

図27及び図28は、図23に示した機能デバイス55の別の製造方法の各工程を示す断面図である。集積回路基板5を用意する工程は、図24(A)～(L)と同じであるので説明は省略する。

まず、図27(A)に示すように、Si基板78a上にLP-CVD法でSiO₂層78bを堆積し、絶縁層付きSi基板78を作製する。

次に、図27(B)に示すように、Si基板78aの裏面側にCr/Auからなるアライメントマーク75を形成する。

そして、図27(C)に示すように、SiO₂層78b上にレジストパターン62を形成し、次に、図27(D)に示すように、SiO₂層78b上へCrからなる金属層79を蒸着し、リフトオフ工程によってCr層79のパターンニングを行う。

図27(E)に示すように、レジストパターン62をエッチングする。また、図27(F)に示すように、SiO₂層78bをBHFによってエッチングする。

次に、図27(G)に示すように、Cr層79をエッチングする。ここまでの工程で、SiO₂層7のエッチングによって接続電極部8が形成される開口部が形成される。この開口部と共に、SiO₂層78bへは、後述する樹脂層54、56のエッチングのために複数の開口部を形成してもよい。

次に、図27(H)に示すように、SiO₂層78b上にAu/Pt/Ti層のパターンをリフトオフによって形成し、SiO₂層78b上に図示しない樹脂層を堆積する。ここでAu/Pt/Ti層は、MEMS6の裏側のスイッチ用電極9となる。

そして、図27(I)に示すように、樹脂層54を堆積した絶縁層付きSi基板78を上下反転させて集積回路基板5の上に載置し、集積回路基板5の最上層上に被覆された樹脂層56に貼り付ける。

[0092] 図28(A)に示すように、絶縁層付きSi基板78のSi基板78aを、エッチングして除去する。

次に、図28(B)に示すように、SiO₂層78bにレジストパターン62を形成し、接続電極部8が形成される領域だけを開口する。

そして、図28(C)に示すように、接続電極部8が形成される領域の下部にある樹脂層54、56を酸素ガスを用いたドライエッチング等によってエッチングし、レジストパターン62を除去する。

次に、図28(D)に示すように、めっきの下地となしード層となるCu層58をスパッタ堆積法等で堆積する。

図28(E)に示すように、Cu層58上にレジストパターン62を形成し、接続電極部8だけを開口する。

そして、図28(F)に示すように、接続電極部8となる領域にAuめっきを施す。次に、図28(G)に示すように、レジストパターン62をエッチングによって除去し、Cu層58をエッチングによって除去する(図28(H)参照)。

最後に、図28(I)に示すように、集積回路基板5の多層配線層3とMEMS6との間に残留している犠牲層である樹脂層54、56を、酸素プラズマ等によって除去する。これにより、集積回路基板5とMEMS6とは、接続電極部8以外の箇所は完全に分離され、MEMS6を可動できる状態にでき、さらにMEMS6の裏面側にスイッチ用電極9を形成することができる。

[0093] 上記製造方法によれば、集積回路基板5とMEMS6となる絶縁体等からなる層78bを堆積したSi基板78aとの接続に樹脂層54、56を用いることによって、集積回路基板5の多層配線層3の損傷を無くすることができる。よって、高周波スイッチ、可変容量、センサなどに利用できる静電駆動の片持ち梁を有するMEMS6等を集積回路基板5の直上に形成することができる。このようにして、最先端の加工寸法からなる集積回路基板5の直上にMEMS材料として最適な高温で堆積したSiO₂層等から成るMEMS6

を、高い歩留まりで形成することができる。

[0094] 本発明はその趣旨を逸脱しない範囲において様々な形態で実施することができる。例えば、上述した実施形態においては、MEMS 6は、受動部品としてインダクタンス等の受動部品を内蔵することも可能である。

符号の説明

- [0095] 1, 20, 25, 30, 35, 40, 45, 50, 55 : 機能デバイス
- 2 : 半導体基板
 - 3 : 多層配線層
 - 4 : 電極
 - 4 a : 接続用電極
 - 4 b : 容量用電極
 - 4 c : 駆動用電極
 - 5 : 集積回路基板
 - 6 : マイクロマシン (表面弾性波素子)
 - 6 a, 6 b, 6 c : 片持ち梁部
 - 7 : マイクロマシンの接続用電極
 - 8 : 接続電極部 (接続部)
 - 9, 9 c : マイクロマシンのスイッチ用電極
 - 9 d : 静電駆動用電極パターン
 - 10 : 信号用電極
 - 10 a : 第1の信号線路
 - 10 b : 第2の信号線路
 - 11 : 層間絶縁層
 - 11 a : 最上層
 - 12 : 金属配線
 - 13 : 絶縁層
 - 14 : MEMS用基板 (Si基板)
 - 14 a : 開口部

- 16 : MEMS用基板 (圧電結晶基板)
- 18 : 反射部
- 27 : SiO₂層
- 32 : ダイヤモンド層
- 42 : 圧電材料薄膜
- 52 : SOI基板
- 52a : Siデバイス層
- 52b : SiO₂層
- 52c : Siハンドル層
- 54, 56 : 樹脂層
- 58 : シード層
- 60 : フォトレジスト層
- 62 : マスク
- 62a : 樹脂層
- 62b : 金属層
- 64 : 圧電材料薄膜用基板
- 66 : テープ
- 70 : グランド
- 75 : アライメントマーク
- 78 : 絶縁層付き基板
- 78a : Si基板
- 78b : SiO₂層
- 79 : 金属層

請求の範囲

- [請求項1] 多層配線層を表面に有し、かつ該多層配線層の最上層に接続用電極を有する集積回路基板と、
接続用電極を有するマイクロマシンと、
上記集積回路基板上で隔離して上記マイクロマシンを支持する接続部と、
を備える、機能デバイス。
- [請求項2] 前記接続部が柱状の金属でなり、該接続部が前記集積回路基板の接続用電極と前記マイクロマシンの接続用電極とを電気的に接続している、請求の範囲1に記載の機能デバイス。
- [請求項3] 前記マイクロマシンの素材が、単結晶シリコンを含む、請求の範囲1又は2に記載の機能デバイス。
- [請求項4] 前記マイクロマシンの素材が、絶縁体からなる層を含む、請求の範囲1又は2に記載の機能デバイス。
- [請求項5] 前記マイクロマシンの素材が、圧電材料を含む、請求の範囲1又は2に記載の機能デバイス。
- [請求項6] 前記マイクロマシンの素材が、Si単結晶、圧電結晶、圧電材料薄膜、ダイヤモンド層及び絶縁膜層の何れかの組合せからなる、請求の範囲1又は2に記載の機能デバイス。
- [請求項7] 前記マイクロマシンが、表面弾性波素子又はバルク弾性波素子である、請求の範囲1又は2に記載の機能デバイス。
- [請求項8] 前記表面弾性波素子又はバルク弾性波素子が、圧電結晶、圧電材料薄膜及びダイヤモンドとの何れかの組み合わせからなる、請求の範囲7に記載の機能デバイス。
- [請求項9] 多層配線層を表面に有しかつ該多層配線層の最上層に接続用電極を有する集積回路基板と、接続用電極を有するマイクロマシンと、上記集積回路基板上で隔離して上記マイクロマシンを支持する接続部と、
を備える、機能デバイスの製造方法であって、

上記マイクロマシンが形成される基板又は膜の一方の表面と、上記集積回路基板の多層配線層の最上層と、を樹脂層で接合する第一のステップと、

上記基板又は膜の他方の表面にマイクロマシンを形成する第二のステップと、

上記樹脂層のうち上記マイクロマシンの接続用電極と上記集積回路基板の多層配線層の接続用電極との間に配設されている部位をエッチングする第三のステップと、

上記マイクロマシンの接続用電極と上記集積回路基板の接続用電極とを接続する接続部を形成する第四のステップと、

上記マイクロマシンと上記集積回路基板との間に配設されている樹脂層をエッチングし、上記マイクロマシンの上記接続部によって接続される接続用電極以外を上記集積回路基板から分離する第五のステップと、

を含んでいることを特徴とする、機能デバイスの製造方法。

[請求項10]

前記樹脂層は、パリレン、ポリイミド樹脂、BCB、紫外線硬化樹脂及びレジストの何れかであることを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項11]

前記第一のステップにおいて、上記マイクロマシンが形成される基板を、Siハンドル層と酸化膜とSiデバイス層とからなるSOI基板とし、該Siデバイス層、前記集積回路基板の多層配線層の最上層の何れか一方の面又は両面に樹脂層を形成し、上記Siデバイス層と上記多層配線層の最上層とを樹脂層で接合し、上記Siハンドル層と上記酸化膜とを除去し、

前記第二のステップにおいて、前記マイクロマシンを上記Siデバイス層に形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項12]

前記第一のステップにおいて、前記マイクロマシンが形成される基

板を圧電結晶基板とし、上記圧電結晶基板の一方の面と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合し、上記圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、

前記第二のステップにおいて、前記マイクロマシンを上記圧電結晶基板に形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項13]

前記第一のステップにおいて、前記マイクロマシンが形成される基板を圧電結晶基板とし、上記圧電結晶基板の一方の面に絶縁層又はダイヤモンド層を形成し、上記絶縁層又はダイヤモンド層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合し、上記圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、

前記第二のステップにおいて、前記マイクロマシンを上記圧電結晶基板に形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項14]

前記第一のステップにおいて、前記マイクロマシンが形成される基板を圧電結晶基板とし、上記圧電結晶基板の一方の面にダイヤモンド層と絶縁層とを順に形成し、上記絶縁層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合し、上記圧電結晶基板を他方の面側から所定の厚さまで薄く研削し、

前記第二のステップにおいて、上記圧電結晶基板に上記マイクロマシンを形成することを特徴とする請求の範囲9に記載の機能デバイスの製造方法。

[請求項15]

前記第一のステップにおいて、圧電材料薄膜用基板の一方の面に圧電材料薄膜とダイヤモンド層とを順に形成し、上記ダイヤモンド層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合した後、上記圧電材料薄膜用基板を除去し、

前記第二のステップにおいて、上記圧電材料薄膜に上記マイクロマシンを形成することを特徴とする、請求の範囲9に記載の機能デバイ

スの製造方法。

[請求項16]

前記第一のステップにおいて、圧電材料薄膜用基板の一方の面にダイヤモンド層と圧電材料薄膜とを順に形成し、上記圧電材料薄膜上にテープを貼り付け、上記圧電材料薄膜用基板を除去して、ダイヤモンド層と圧電材料薄膜とを上記テープに転移し、上記ダイヤモンド層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合した後、上記テープを除去し、

前記第二のステップにおいて、上記圧電材料薄膜に上記マイクロマシンを形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項17]

前記第一のステップにおいて、圧電材料薄膜用基板の一方の面に圧電材料薄膜とダイヤモンド層と絶縁層とを順に形成し、

上記絶縁層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合した後、上記圧電材料薄膜用基板を除去し、

前記第二のステップにおいて、上記圧電材料薄膜に上記マイクロマシンを形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項18]

前記第一のステップにおいて、圧電材料薄膜用基板の一方の面にダイヤモンド層と圧電材料薄膜とを順に形成し、

上記圧電材料薄膜上にテープを貼り付け、上記圧電材料薄膜用基板を除去して、ダイヤモンド層と圧電材料薄膜とを上記テープに転移し、

上記ダイヤモンド層に絶縁層を形成し、上記絶縁層と前記集積回路基板の多層配線層の最上層とを前記樹脂層で接合した後、上記テープを除去し、

前記第二のステップにおいて、上記圧電材料薄膜に上記マイクロマシンを形成することを特徴とする、請求の範囲9に記載の機能デバイスの製造方法。

[請求項19] 多層配線層を表面に有しかつ該多層配線層の最上層に接続用電極を有する集積回路基板と、接続用電極を有するマイクロマシンと、上記集積回路基板上で隔離して上記マイクロマシンを支持する接続部とを備える、機能デバイスの製造方法であって、

上記マイクロマシンが形成される基板又は膜の一方の表面と、上記集積回路基板の多層配線層の最上層と、を樹脂層で接合する第一のステップと、

上記基板又は膜の他方の表面にマイクロマシンを形成する第二のステップと、

上記樹脂層のうち上記マイクロマシンの接続用電極と上記集積回路基板の多層配線層の接続用電極との間に配設されている部位をエッチングする第三のステップと、

上記マイクロマシンの接続用電極と上記集積回路基板の接続用電極とを接続する接続部を形成する第四のステップと、

上記マイクロマシンと上記集積回路基板との間に配設されている樹脂層をエッチングし、上記マイクロマシンの上記接続部によって接続される接続用電極以外を上記集積回路基板から分離する第五のステップと、

を含み、

上記第1ステップの前に、上記マイクロマシンが形成される基板又は膜に該マイクロマシンの一部を形成するステップを備えることを特徴とする、機能デバイスの製造方法。

[請求項20] 前記マイクロマシンが形成される基板が、Siハンドル層と酸化膜とSiデバイス層とからなるSOI基板であることを特徴とする、請求の範囲19に記載の機能デバイスの製造方法。

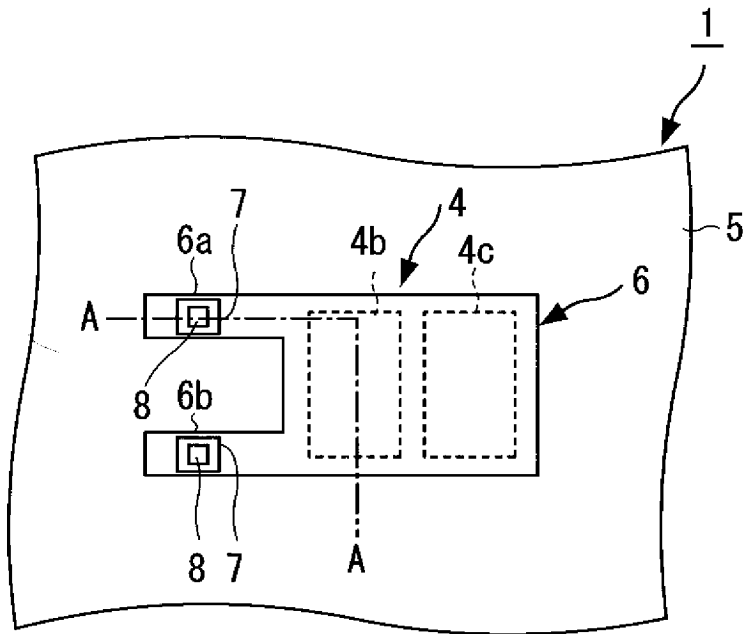
[請求項21] 前記マイクロマシンが形成される基板は、基板の少なくとも一方の表面に絶縁体からなる層を備え、

上記絶縁体からなる層の表面と、前記集積回路基板の多層配線層の

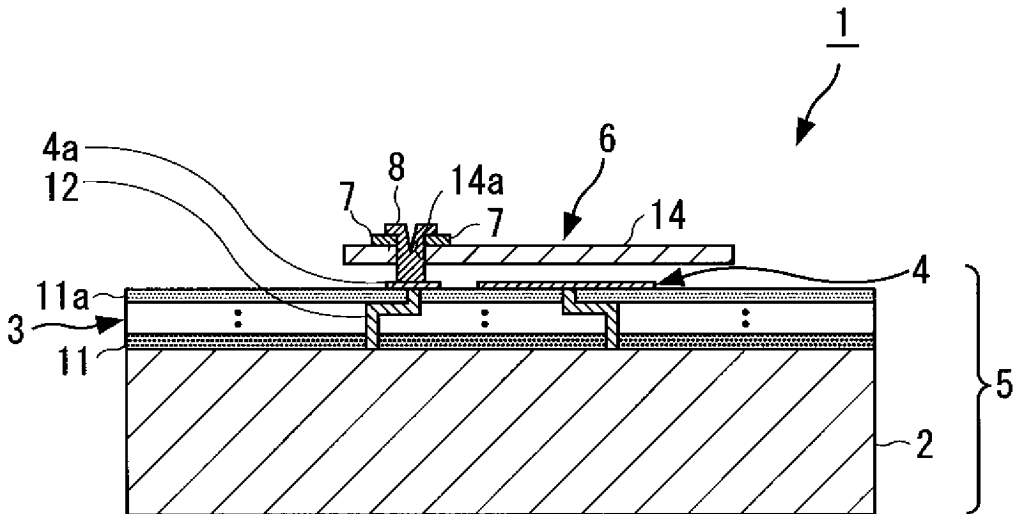
最上層と、を樹脂層で接合する第一のステップの後で、前記マイクロマシンが形成される基板を除去し、

前記第二のステップにおいて、上記絶縁体からなる層に前記マイクロマシンを形成することを特徴とする、請求の範囲 19 に記載の機能デバイスの製造方法。

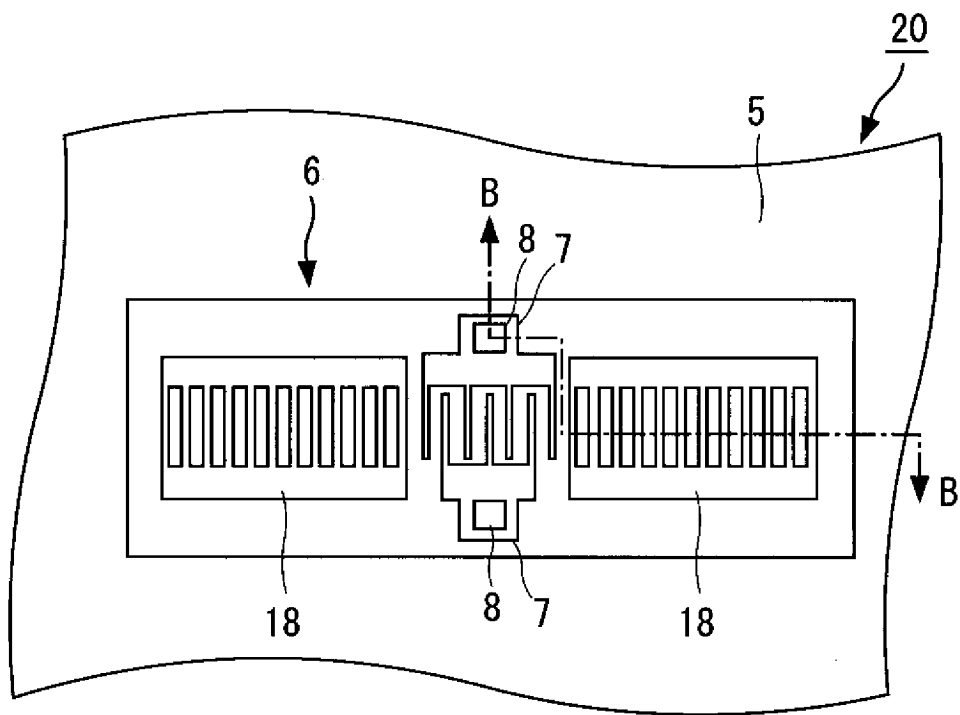
[図1]



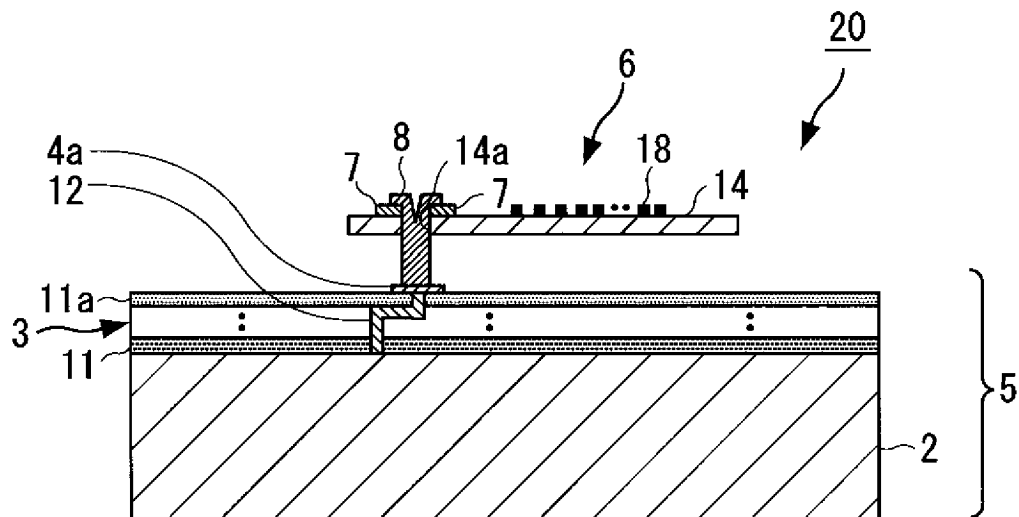
[図2]



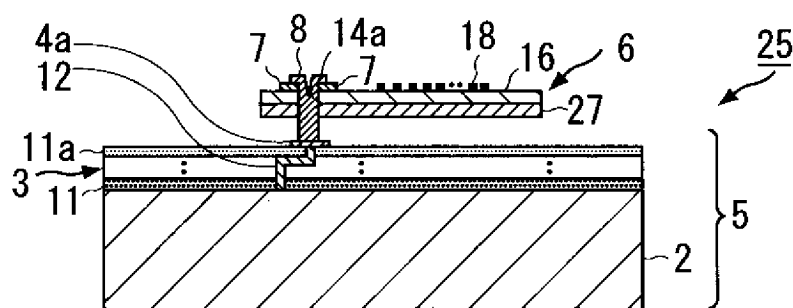
[図3]



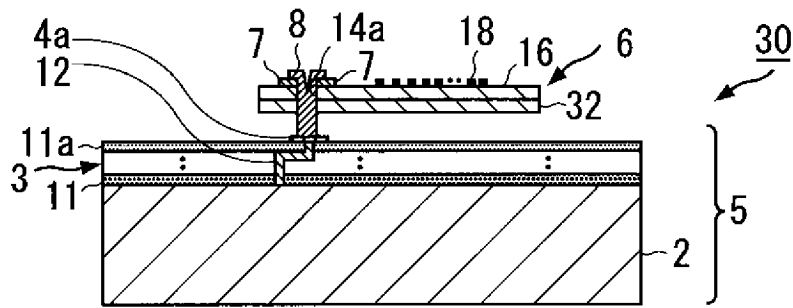
[図4]



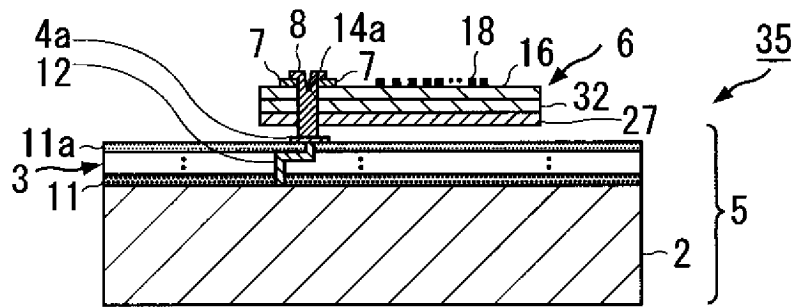
[図5]



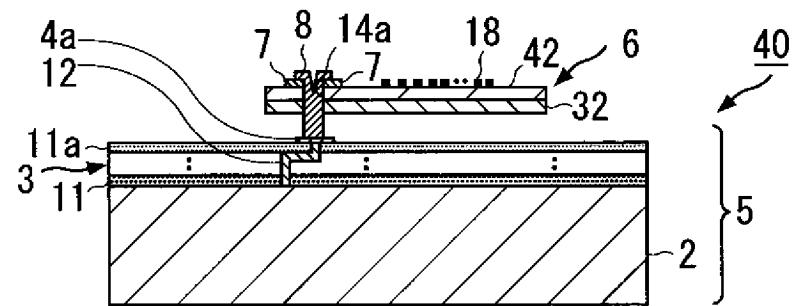
[図6]



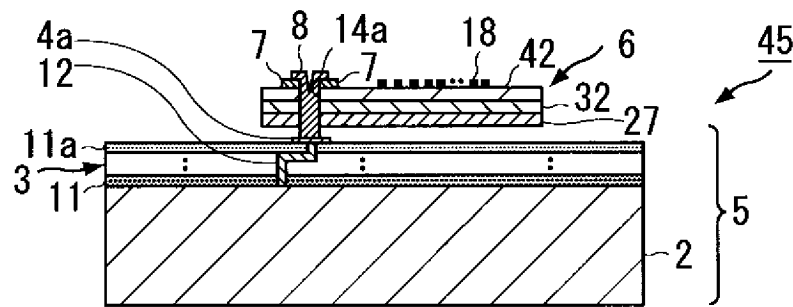
[図7]



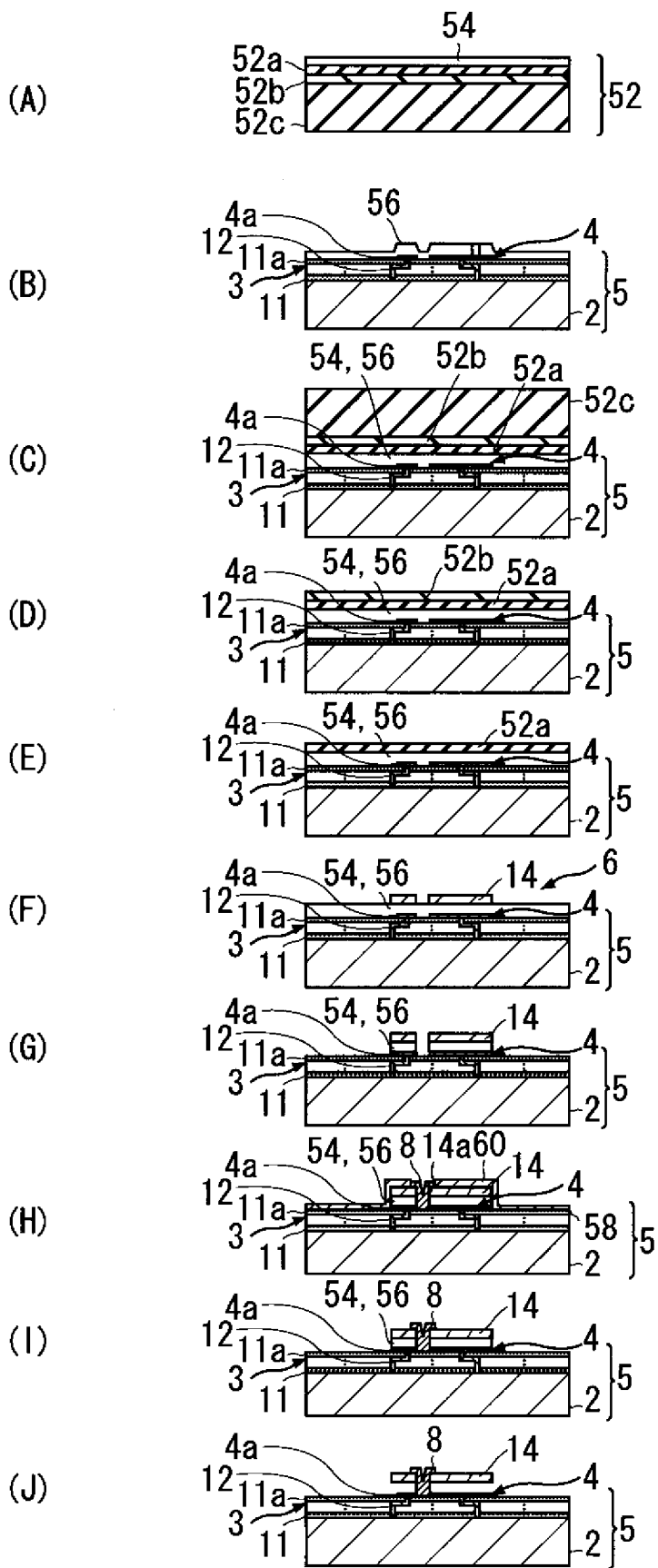
[図8]



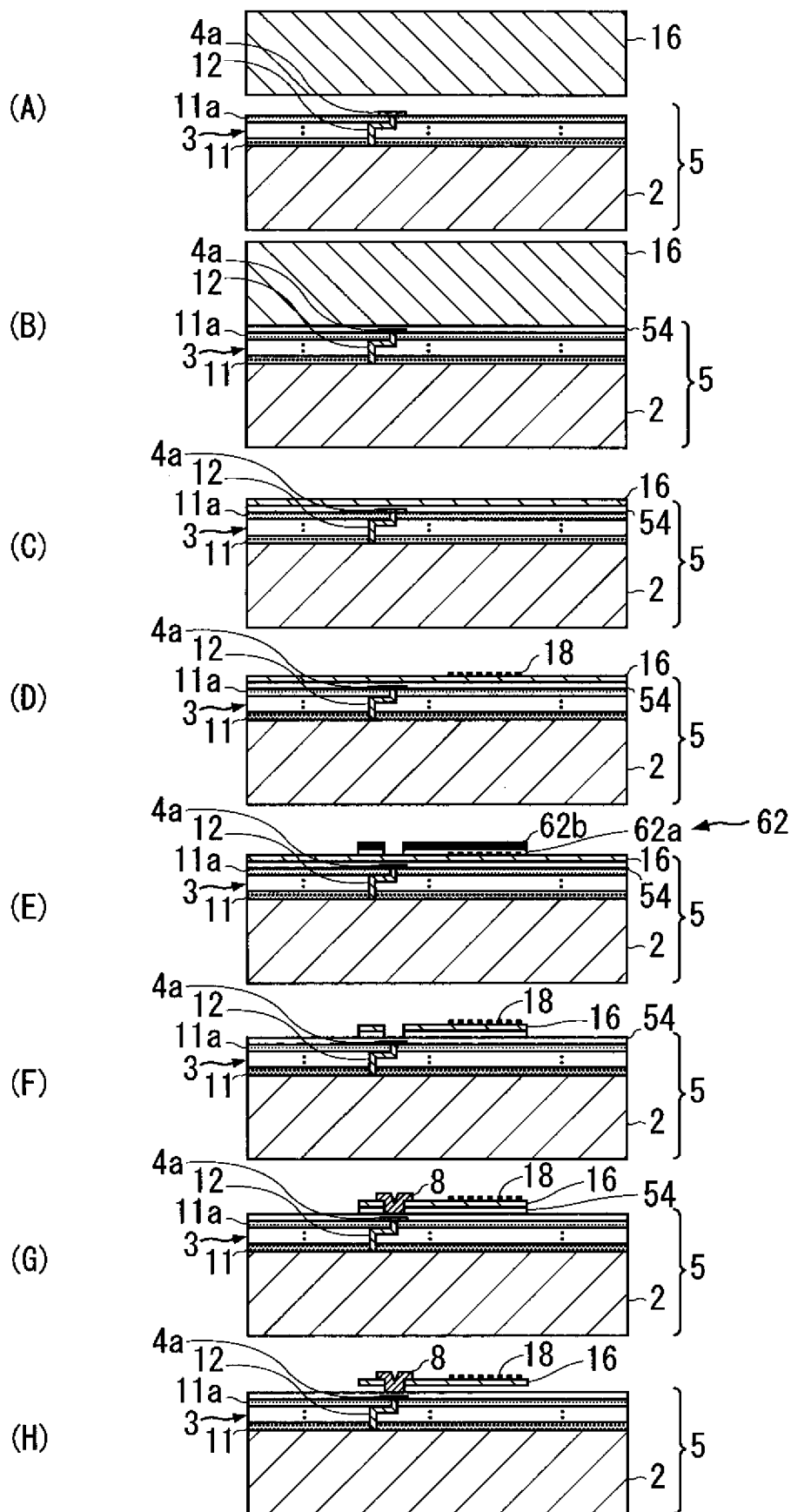
[図9]



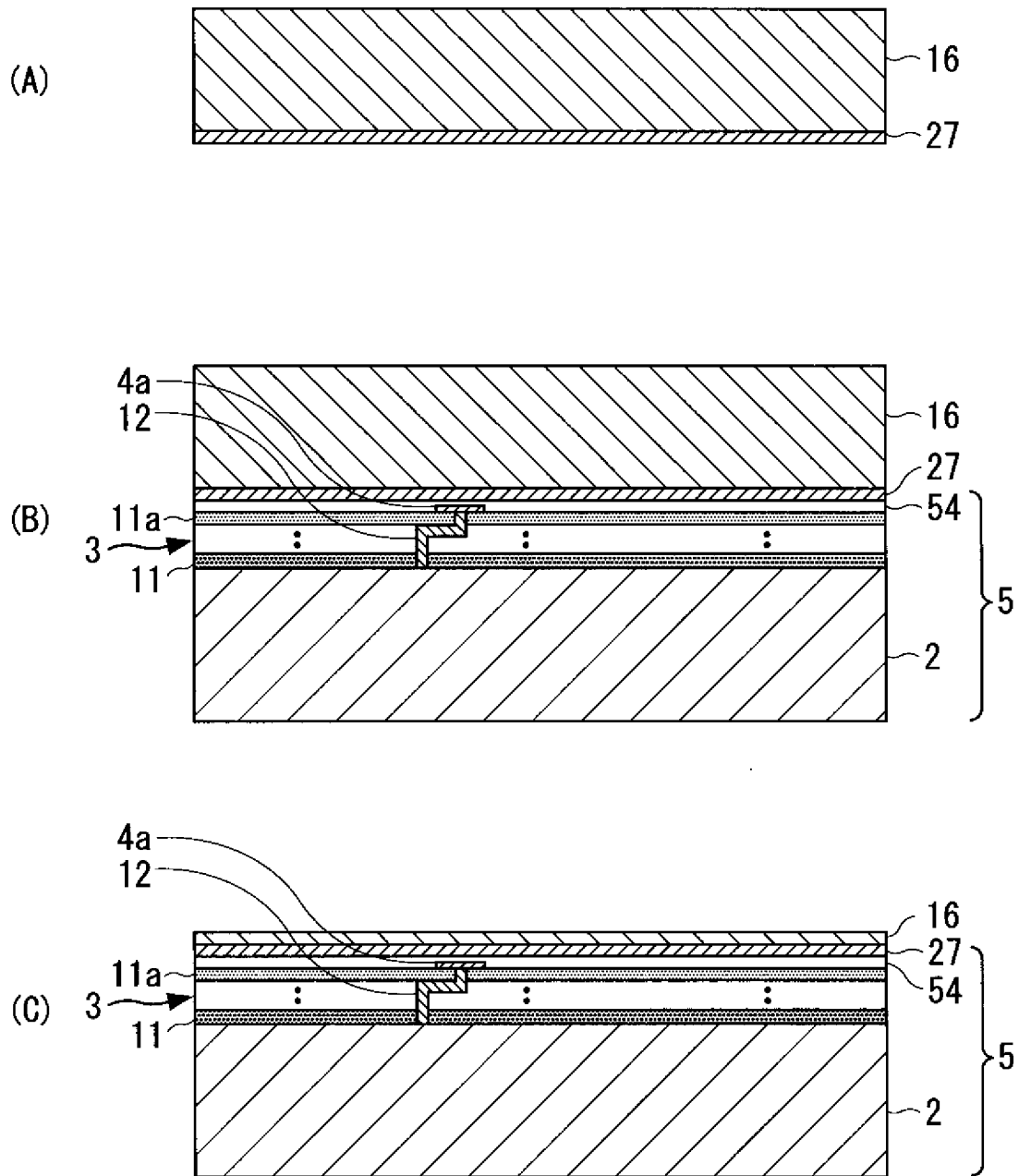
[図10]



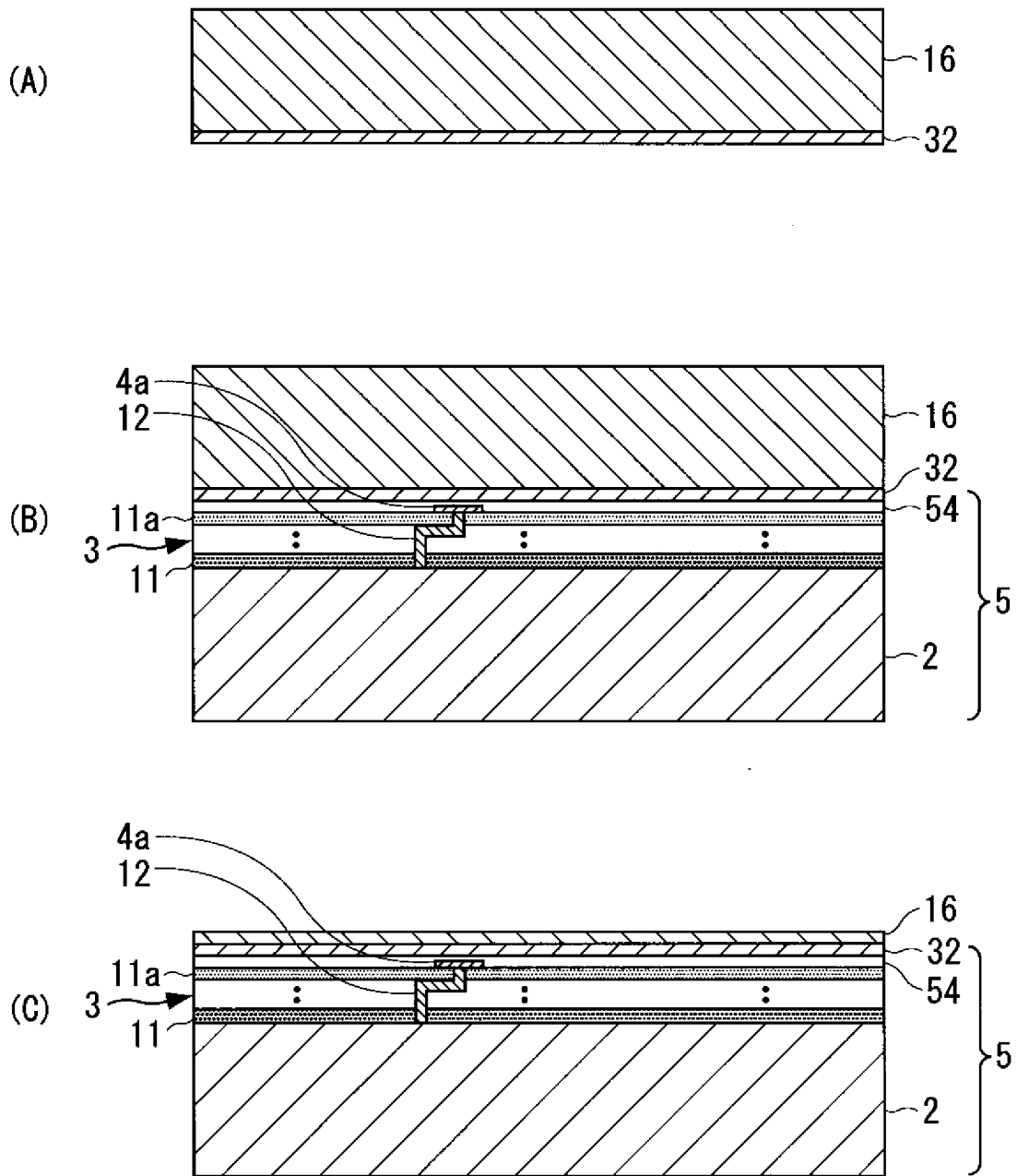
[図11]



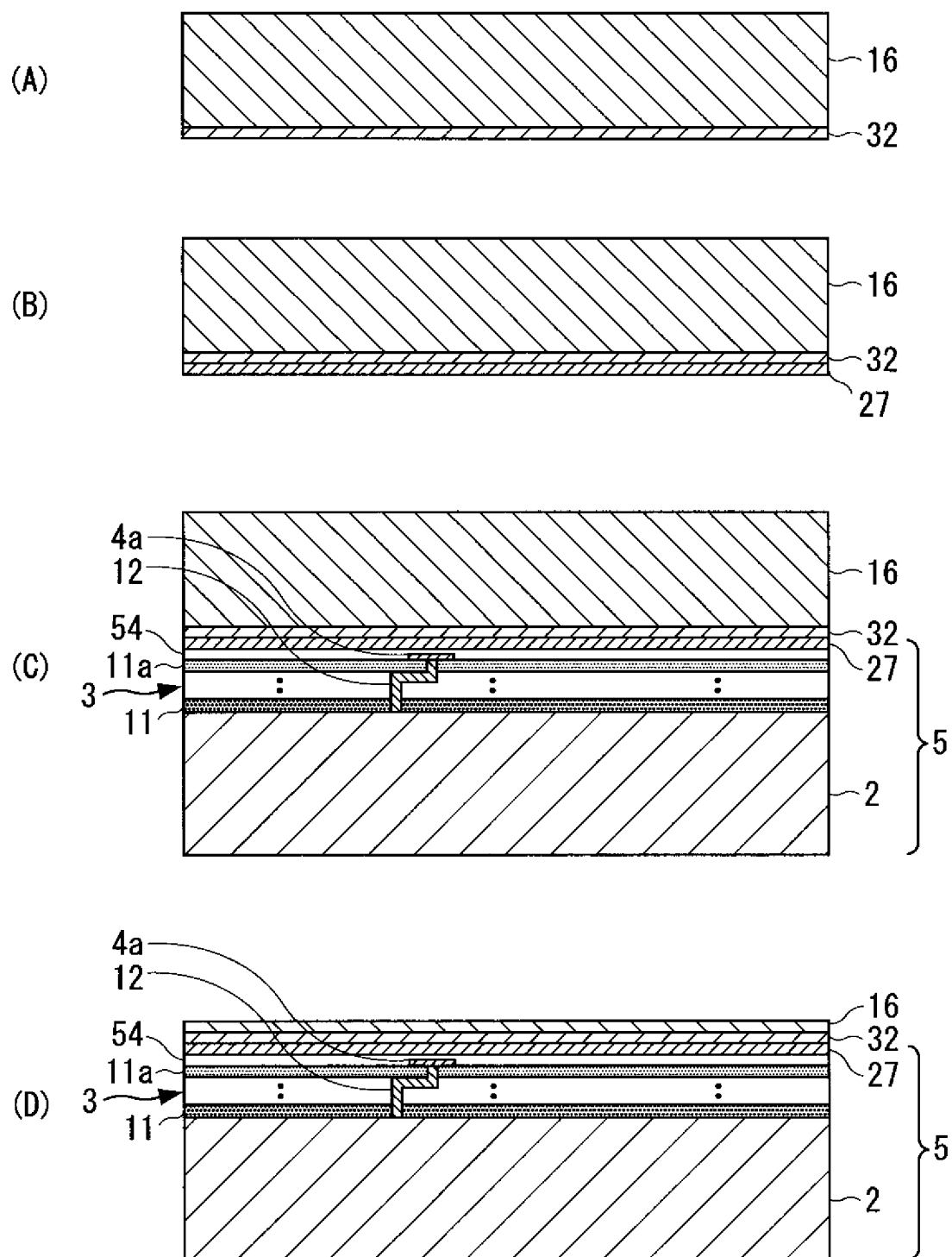
[図12]



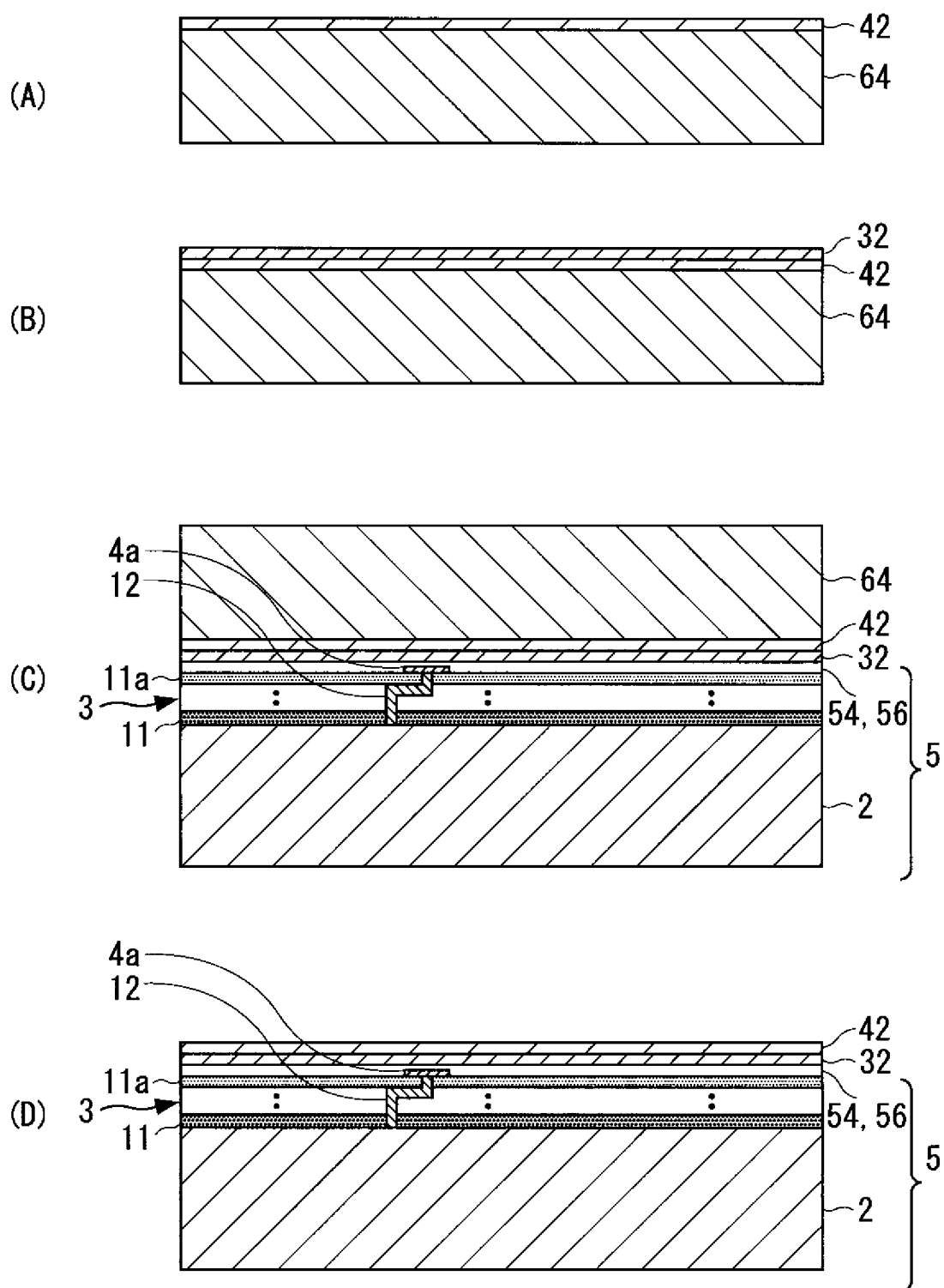
[図13]



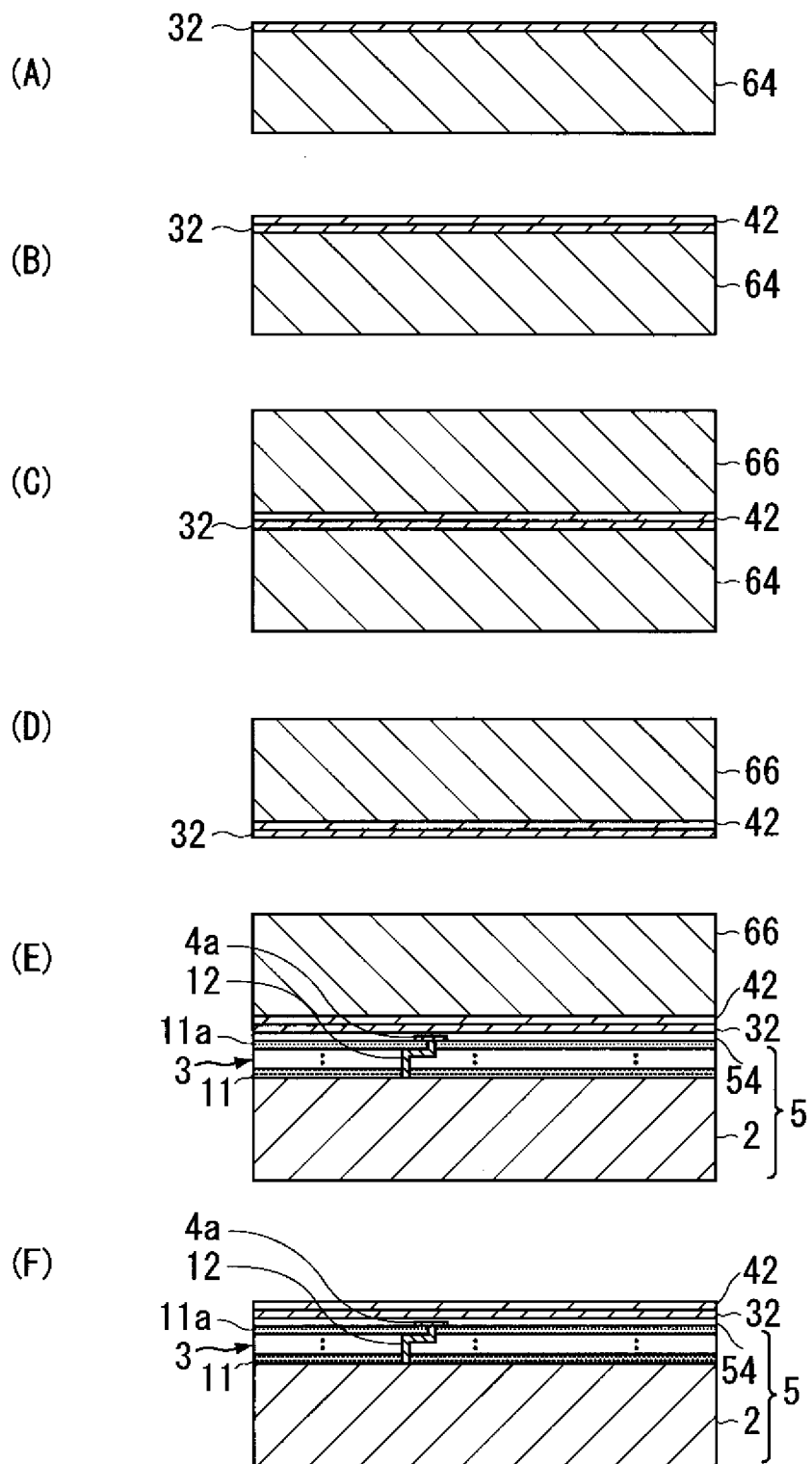
[図14]



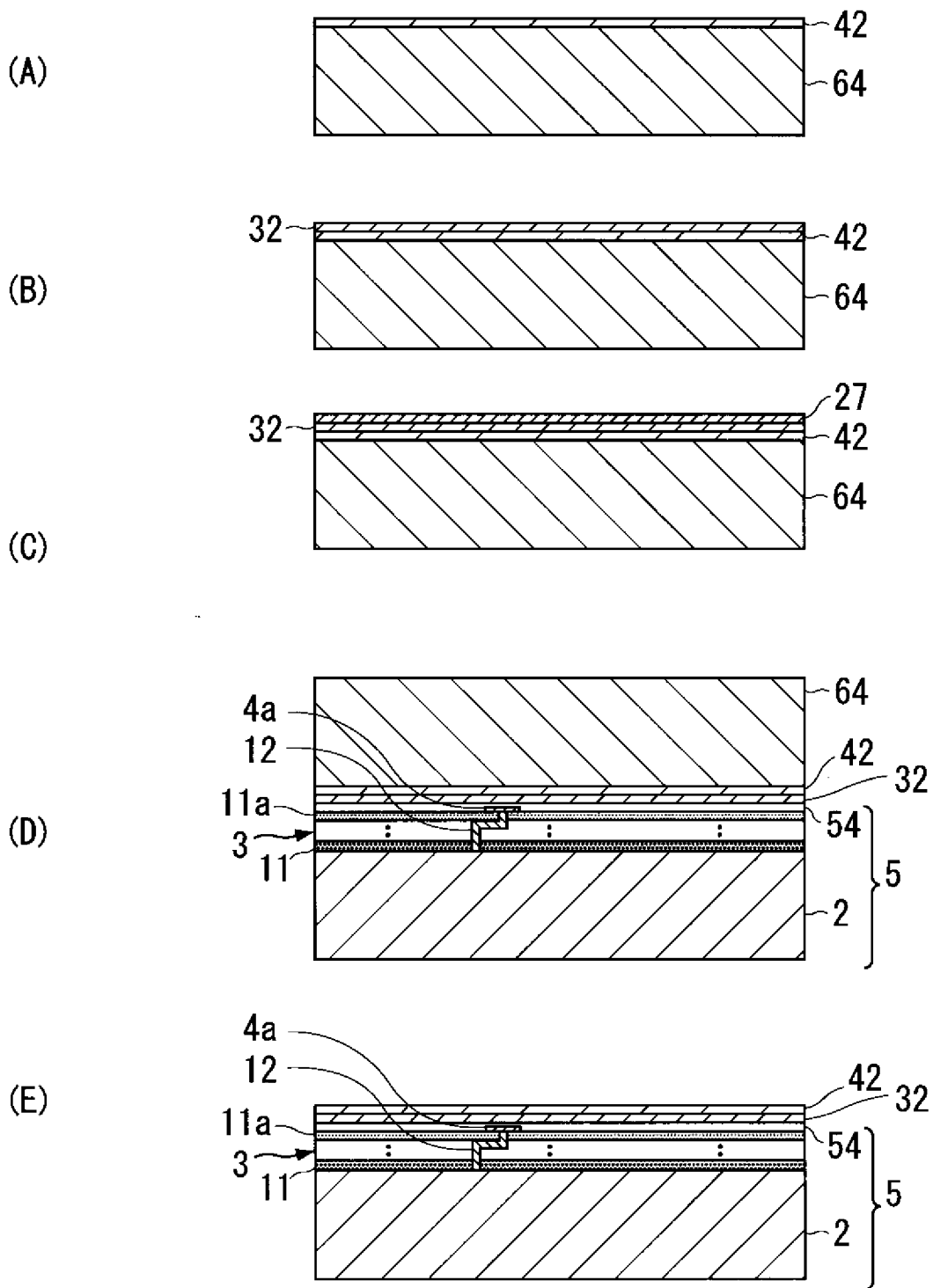
[図15]



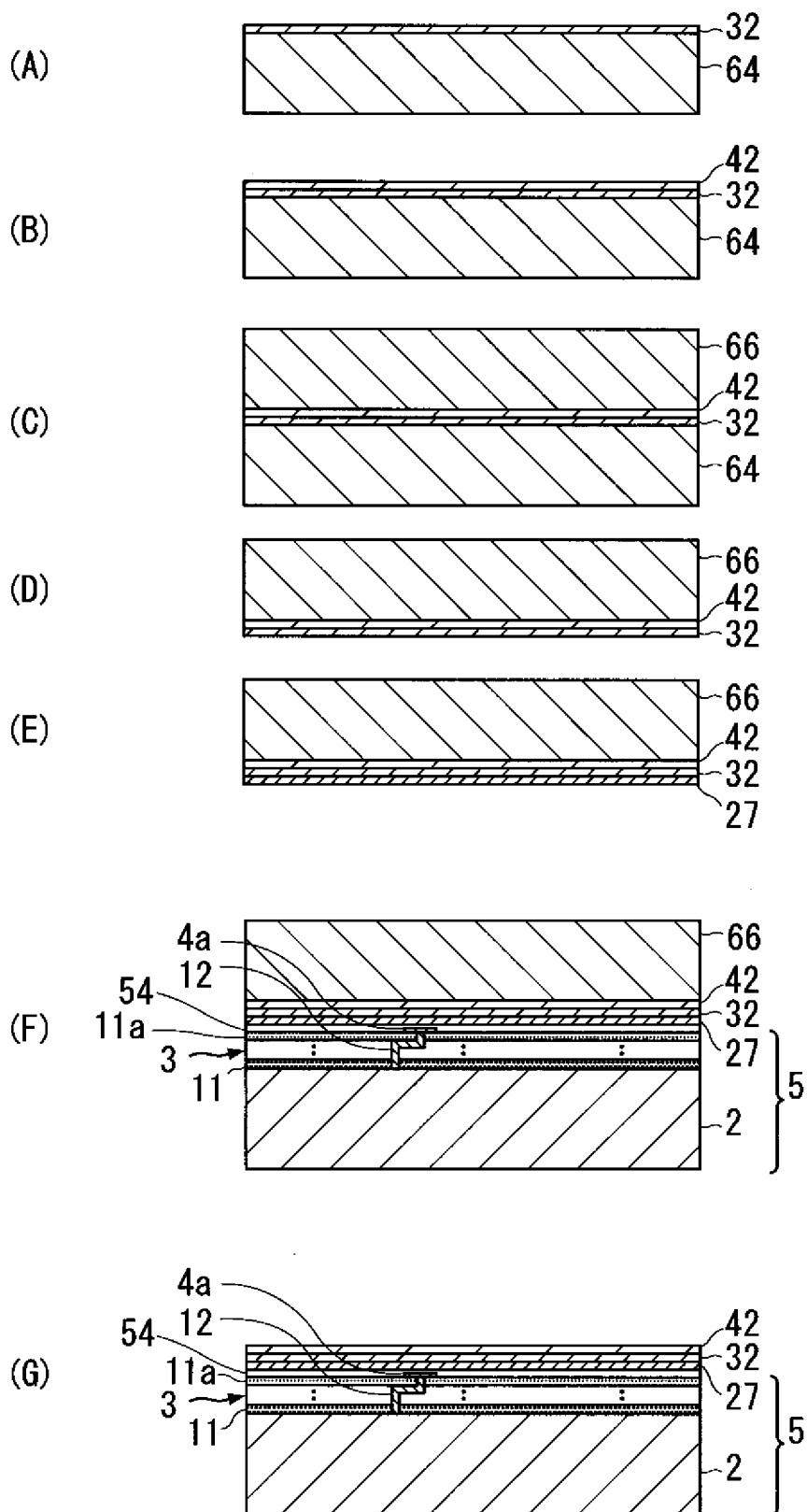
[図16]



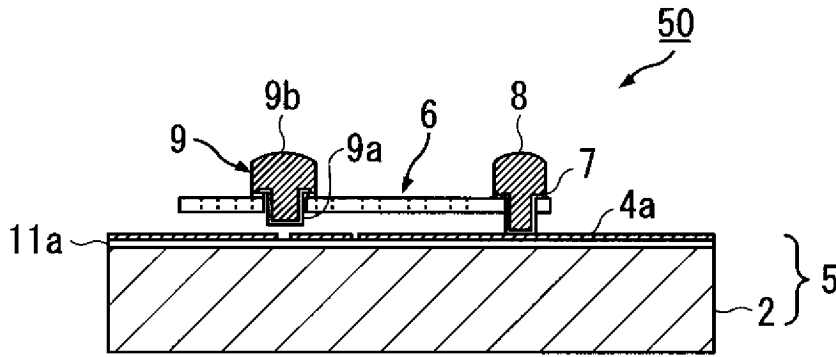
[図17]



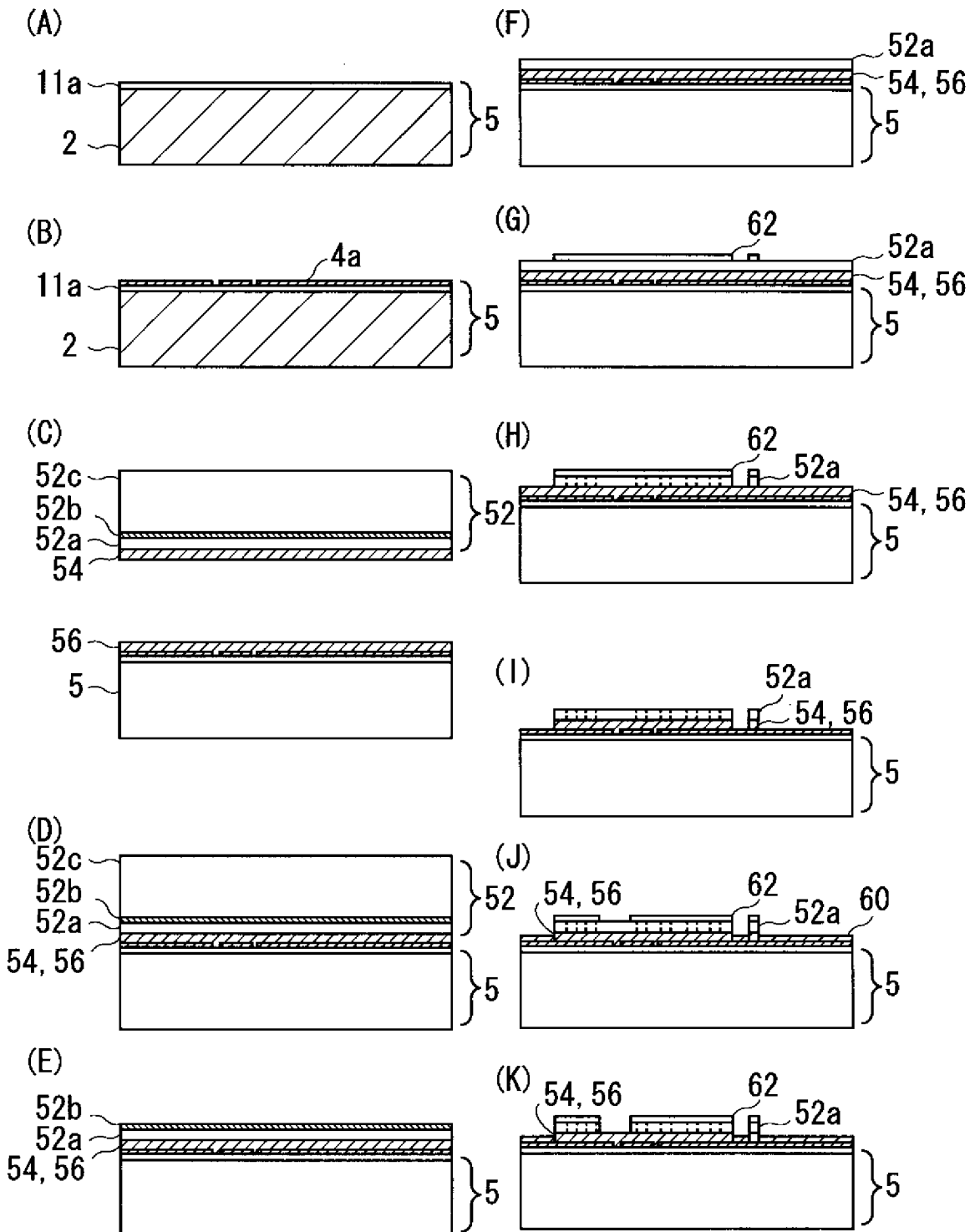
[図18]



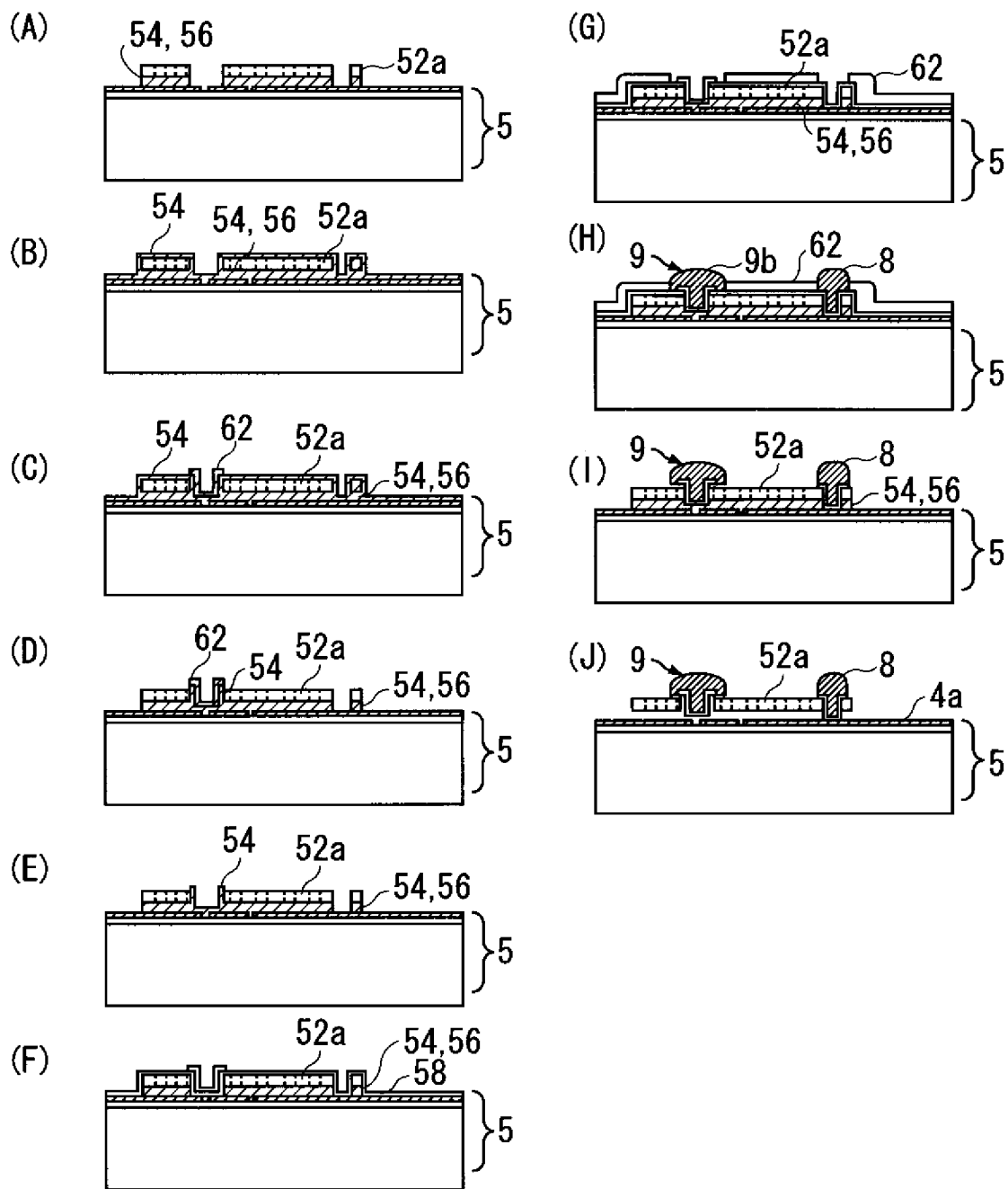
[図19]



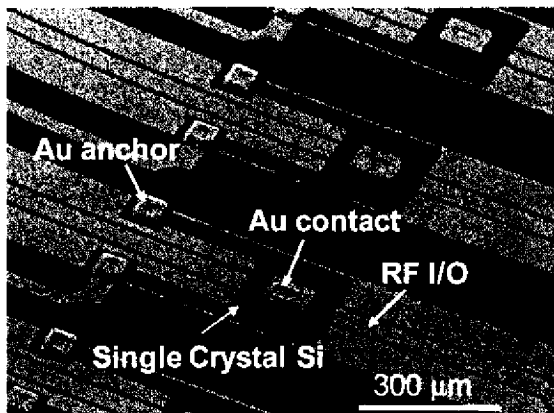
[図20]



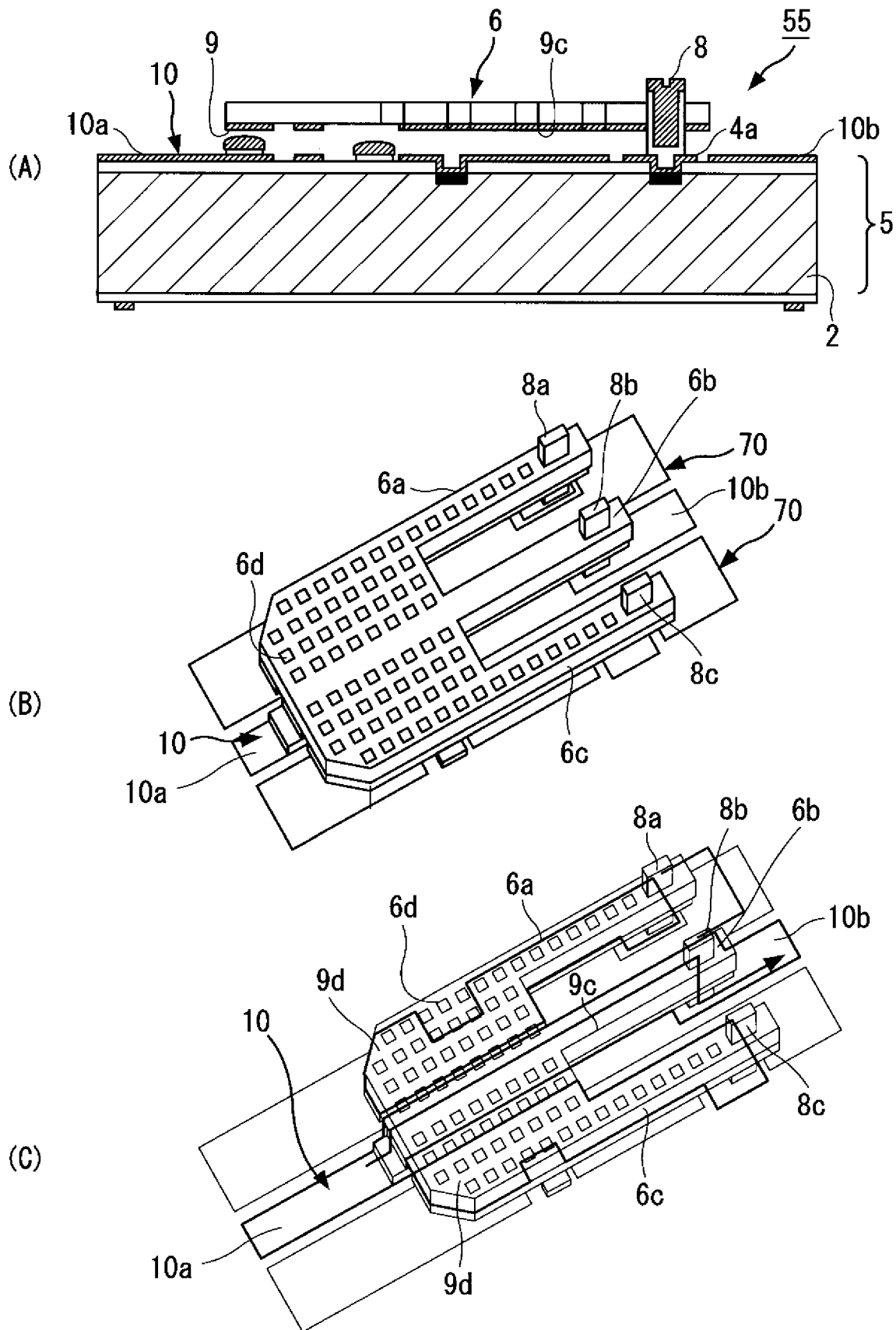
[図21]



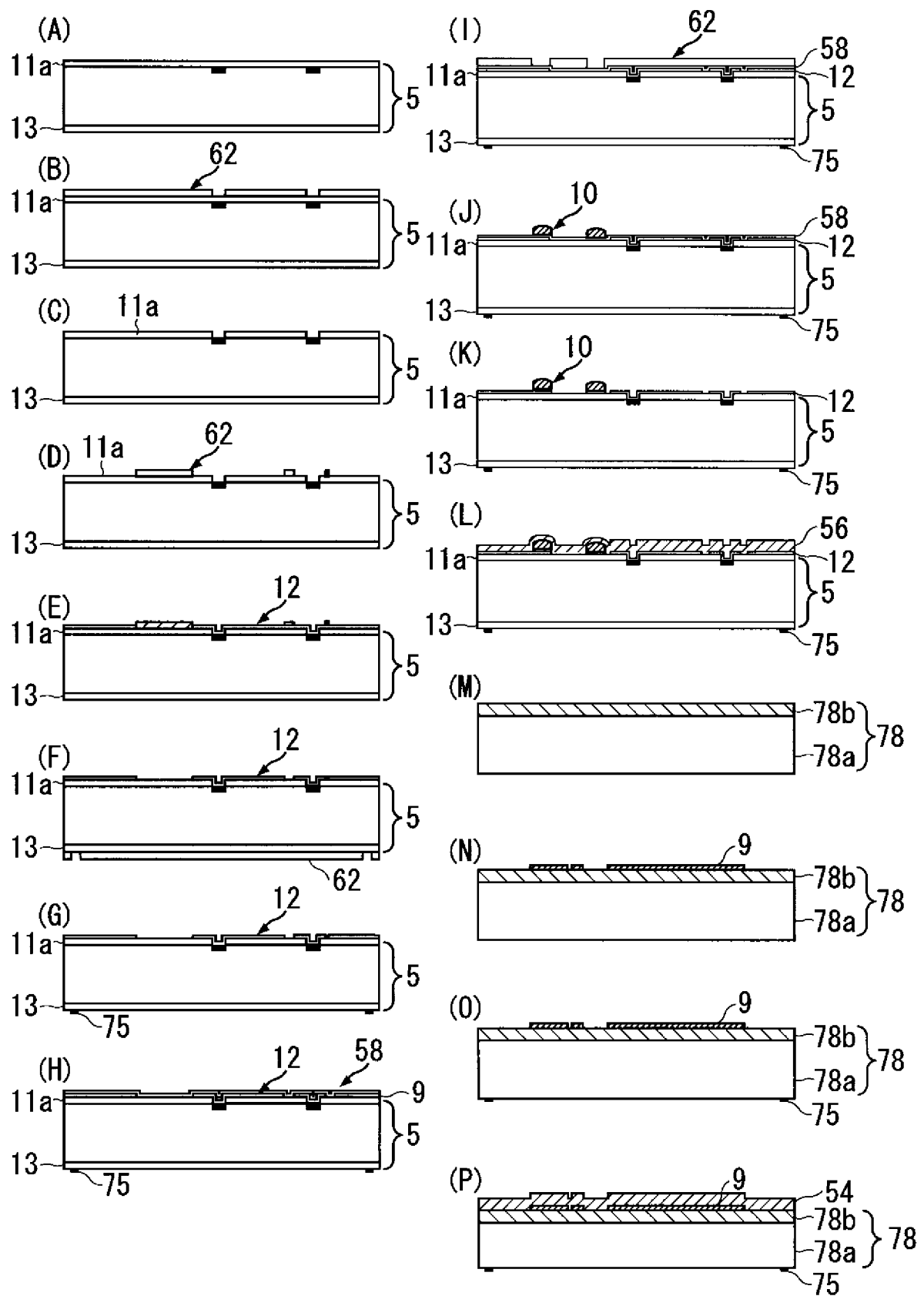
[図22]



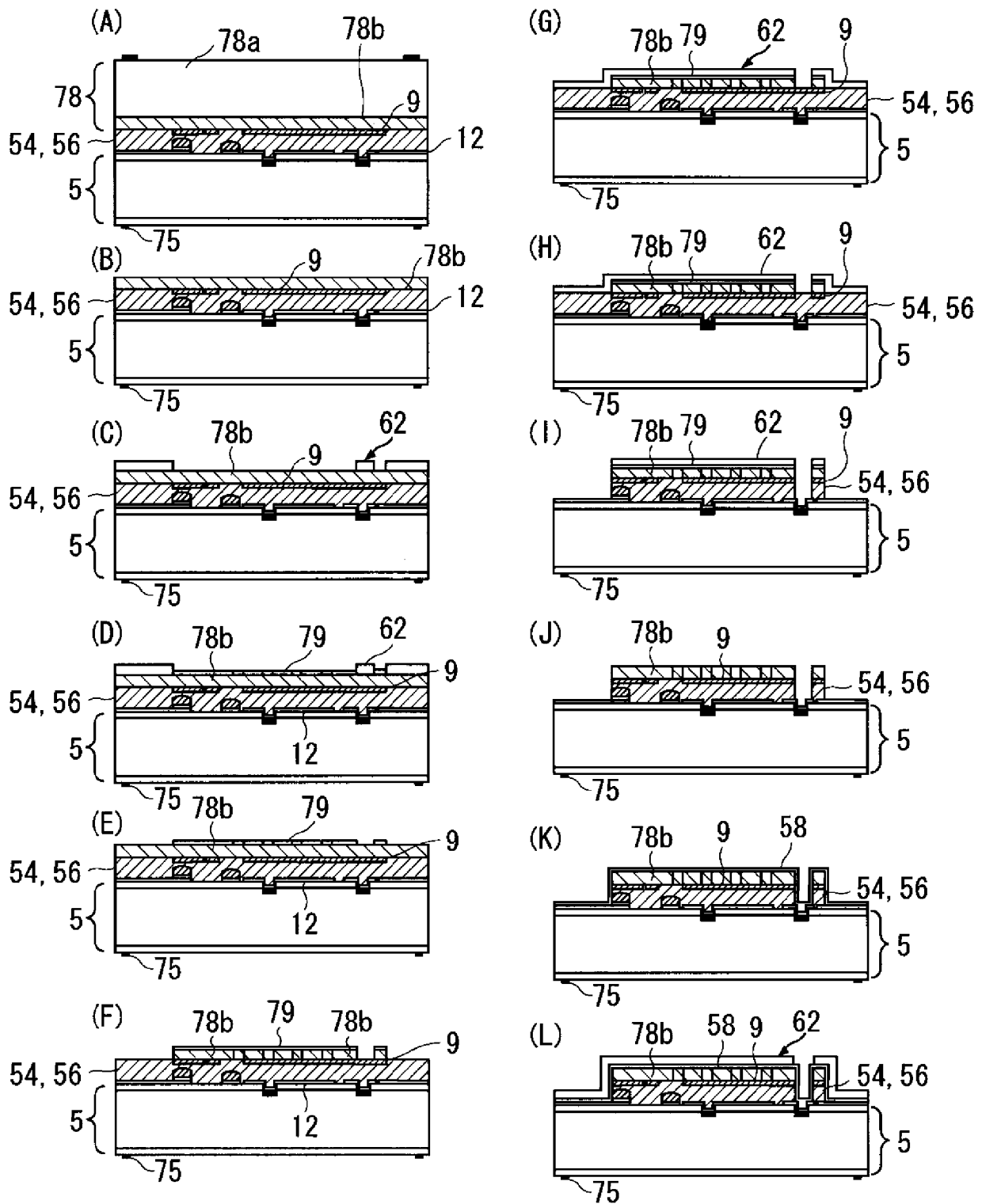
[図23]



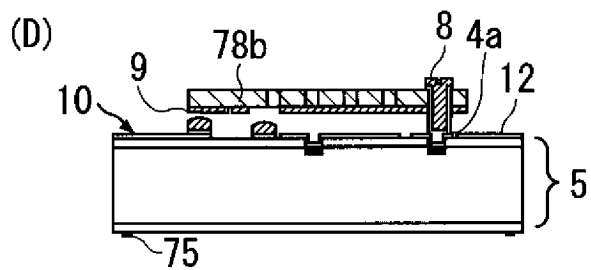
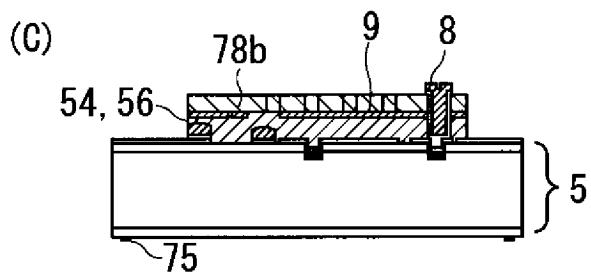
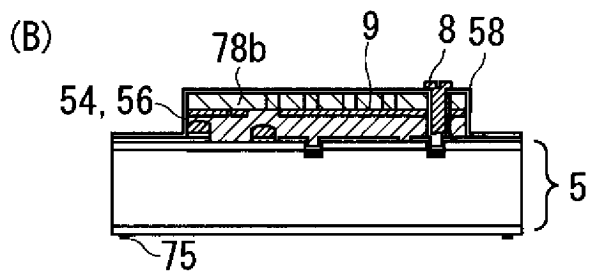
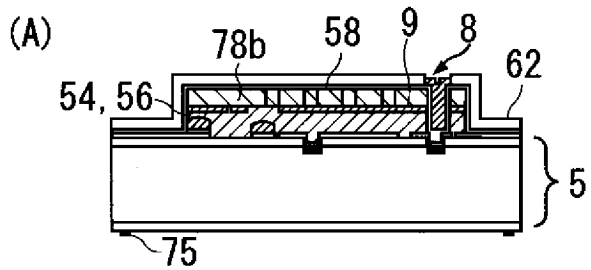
[図24]



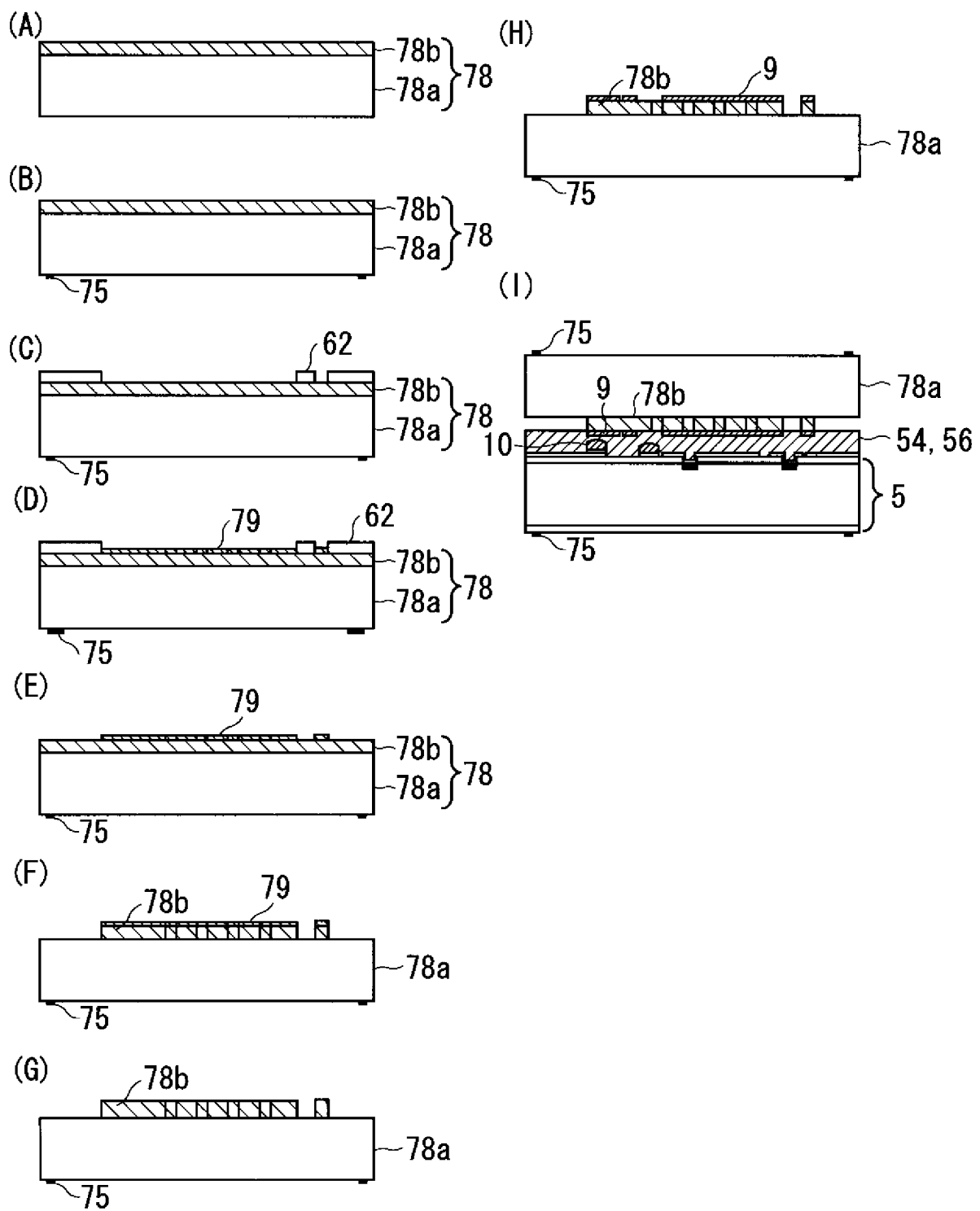
[図25]



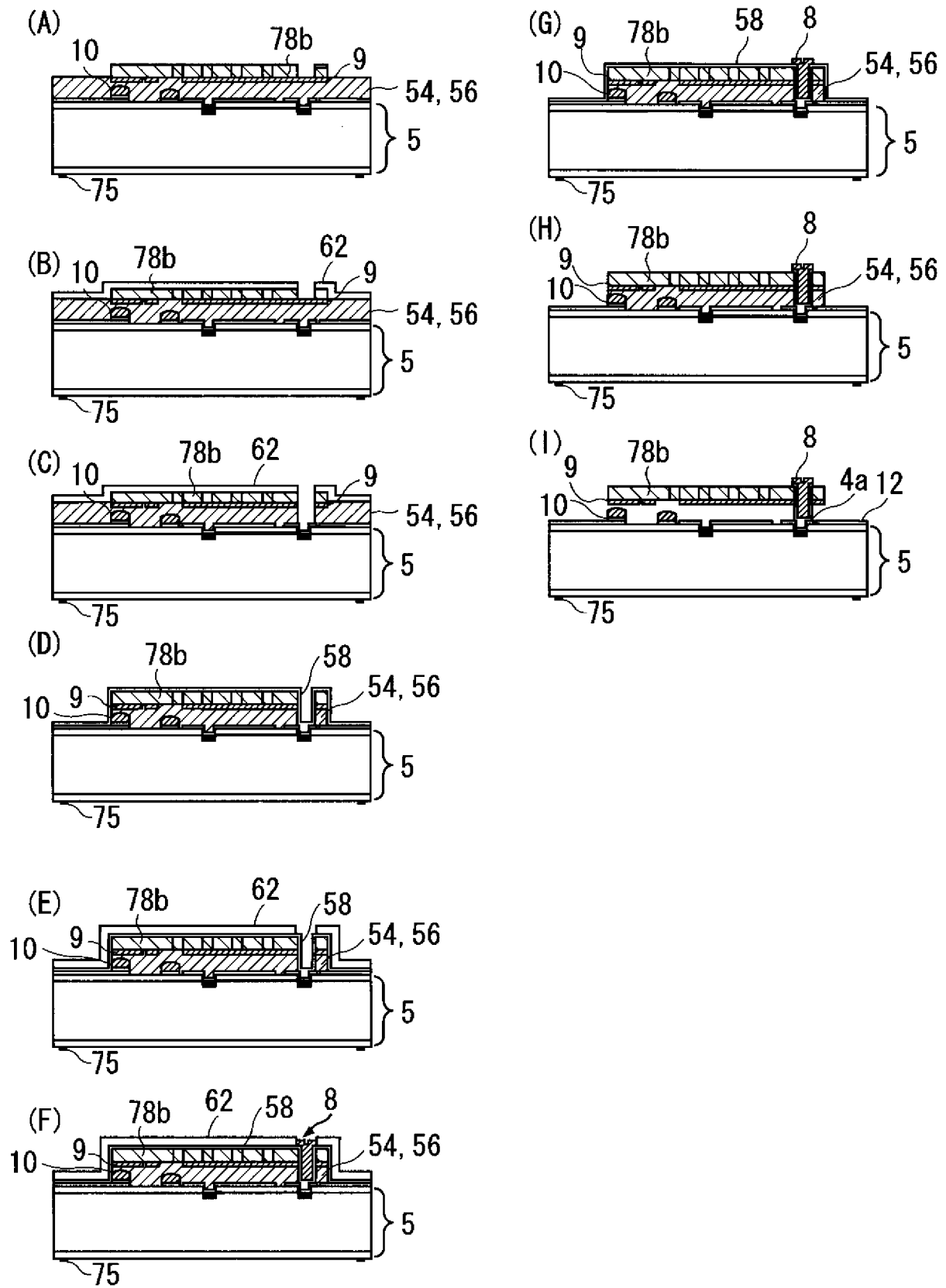
[図26]



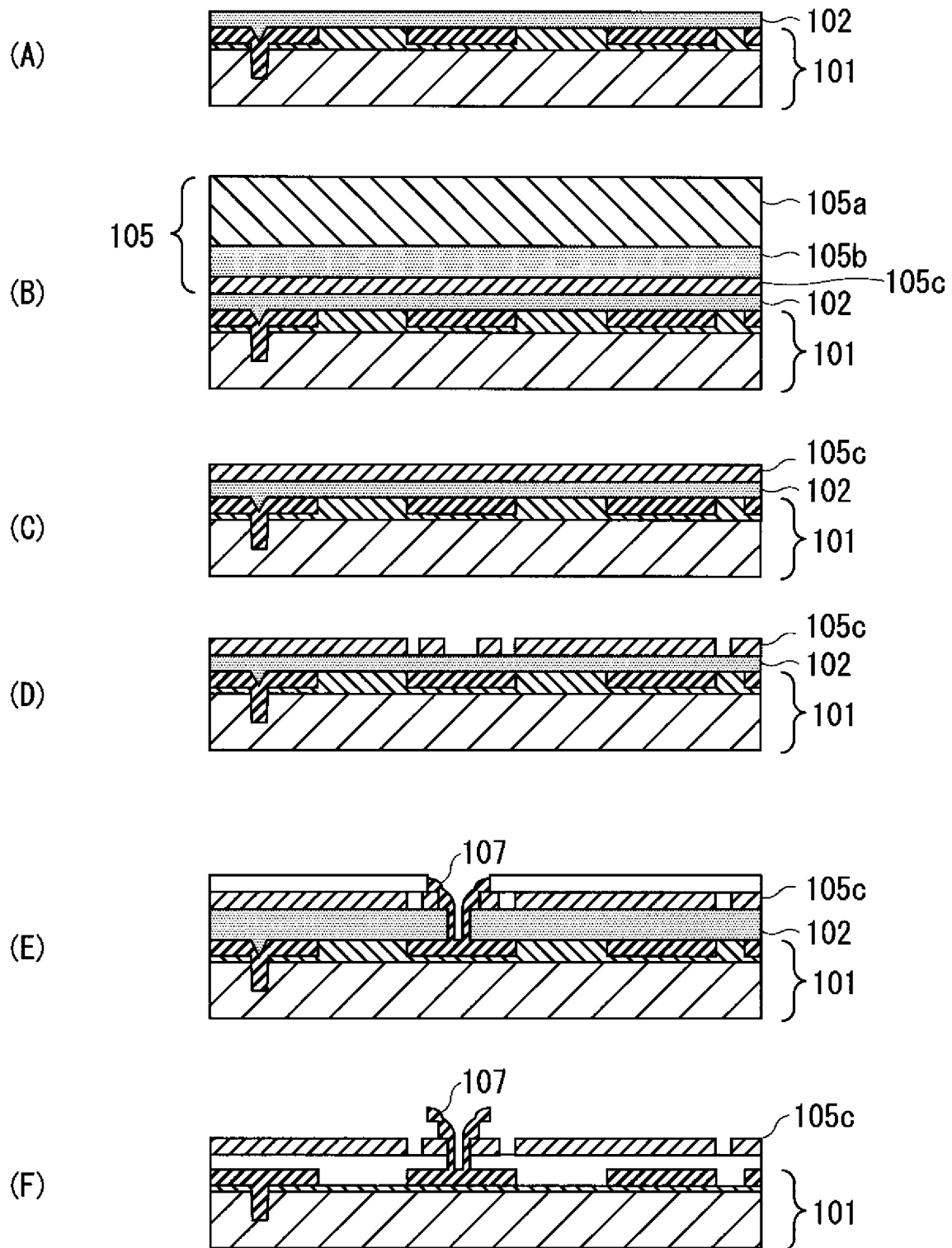
[図27]



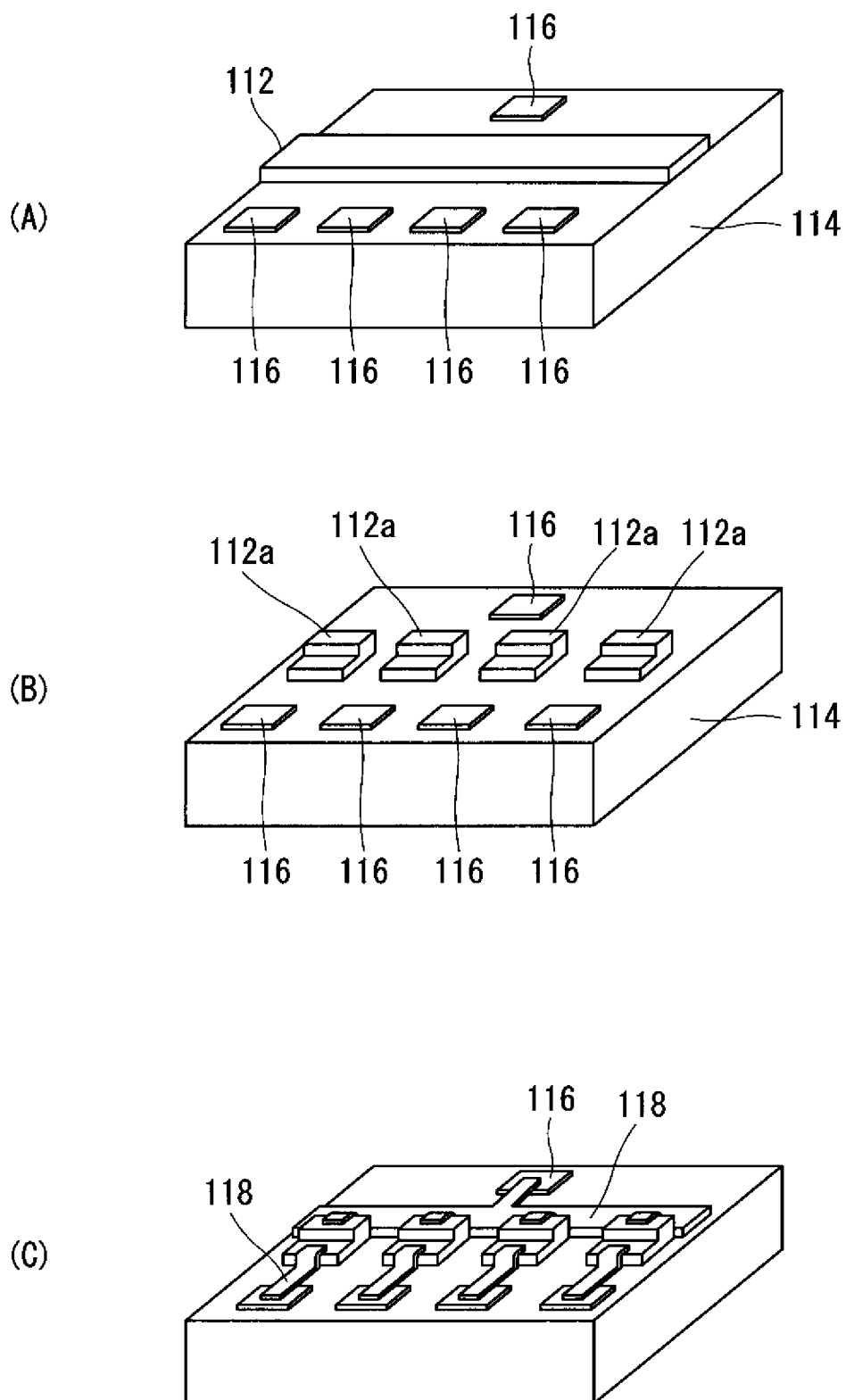
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/062558

A. CLASSIFICATION OF SUBJECT MATTER
B81B3/00(2006.01)i, B81C1/00(2006.01)i, H03H3/08(2006.01)i, H03H9/145
(2006.01)i, H03H9/25(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
B81B3/00, B81C1/00, H03H3/08, H03H9/145, H03H9/25

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-232259 A (Seiko Epson Corp.), 16 August, 2002 (16.08.02), Full text; all drawings (Family: none)	1, 2 5-8 3, 4, 9-21
X Y A	JP 2004-112378 A (NEC Corp.), 08 April, 2004 (08.04.04), Full text; all drawings & US 2007/0082642 A1	1-4 5-8 9-21
Y A	JP 2000-196404 A (Kyocera Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	5-8 1-4, 9-21

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 October, 2009 (02.10.09)	Date of mailing of the international search report 13 October, 2009 (13.10.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/062558

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-312129 A (Kyocera Corp.), 07 November, 2000 (07.11.00), Full text; all drawings & US 6437484 B1	5-8 1-4, 9-21

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. B81B3/00(2006.01) i, B81C1/00(2006.01) i, H03H3/08(2006.01) i, H03H9/145(2006.01) i, H03H9/25(2006.01) i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. B81B3/00, B81C1/00, H03H3/08, H03H9/145, H03H9/25

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2002-232259 A (セイコーエプソン株式会社) 2002.08.16, 全文, 全図 (ファミリーなし)	1, 2 5-8 3, 4, 9-21
X Y A	JP 2004-112378 A (日本電気株式会社) 2004.04.08, 全文, 全図 & US 2007/0082642 A1	1-4 5-8 9-21

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 02.10.2009	国際調査報告の発送日 13.10.2009
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 岩瀬 昌治	3 P	9 2 4 6
	電話番号 03-3581-1101 内線 3364		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-196404 A (京セラ株式会社) 2000.07.14, 全文, 全図 (ファ ミリーなし)	5-8 1-4, 9-21
Y A	JP 2000-312129 A (京セラ株式会社) 2000.11.07, 全文, 全図 & US 6437484 B1	5-8 1-4, 9-21