

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/086884 A1

(43) 国際公開日

2011年7月21日(21.07.2011)

PCT

- (51) 国際特許分類:
G01R 31/3183 (2006.01) H01L 21/822 (2006.01)
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000059
- (22) 国際出願日: 2011年1月7日(07.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-007003 2010年1月15日(15.01.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人 奈良先端科学技術大学院大学(NATIONAL UNIVERSITY CORPORATION NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 Nara (JP). 国立大学法人九州工業大学(Kyushu Institute of Technology) [JP/JP]; 〒8048550

福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP).

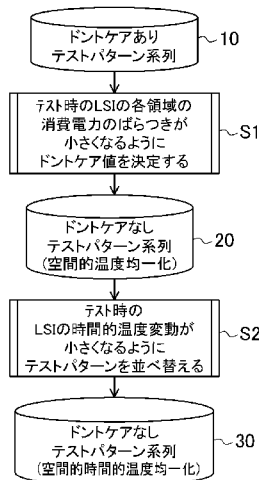
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 井上美智子(INOUE, Michiko) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 米田友和(YONE-DA, Tomokazu) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 佐藤康夫(SATO, Yasuo) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内 Fukuoka (JP).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,

[続葉有]

(54) Title: METHOD AND PROGRAM FOR GENERATING TEST PATTERN FOR SEMICONDUCTOR INTEGRATED CIRCUIT, AND COMPUTER-READABLE STORAGE MEDIUM

(54) 発明の名称: 半導体集積回路のテストパターン生成方法、プログラム、およびコンピュータ読み取り可能な記録媒体

[図1]



(57) Abstract: Provided is a method for generating a test pattern such that the temperature of a semiconductor integrated circuit during testing is spaciouly homogenized. The method comprises the steps of sequentially selecting a test pattern from an original test pattern series of multiple test patterns including don't cares, setting a don't care value to the selected test pattern for each almost equally divided layout region of the semiconductor integrated circuit to estimate power consumption when the test pattern in question is applied to the semiconductor integrated circuit, repetitively changing the don't care value and estimating power consumption of each layout region for the selected layout region to find a don't care value such that the variation in the power consumption of each layout region becomes extremely low, determining the found don't care value as a don't care value for the selected test pattern, and generating a first new test pattern series of multiple test patterns including no don't cares.

(57) 要約: テスト時の半導体集積回路の温度を空間的に均一化するようなテストパターンを生成する。ドントケアを含む複数のテストパターンからなる原テストパターン系列からテストパターンを順次選択し、半導体集積回路のレイアウト領域を略等分割した各領域について、選択したテストパターンにドントケア値を設定して当該テストパターンが半導体集積回路に印加された場合の消費電力を見積もり、選択したテストパターンについて、ドントケア値の変更および各領域の消費電力の見積もりを繰り返して、各領域の消費電力のばらつきが極小となるようなドントケア値を探索し、探索によって得られたドントケア値を選択したテストパターンのドントケア値として決定し、ドントケアを含まない複数のテストパターンからなる第1の新テストパターン系列を生成する。

- 10 TEST PATTERN SERIES INCLUDING DON'T CARE
- S1 DETERMINE DON'T CARE VALUE SO THAT VARIATION IN POWER CONSUMPTION OF EACH LSI REGION DURING TESTING BECOMES MINIMAL
- 20 TEST PATTERN SERIES NOT INCLUDING DON'T CARE (SPACIOUS HOMOGENIZATION OF TEMPERATURE)
- S2 REARRANGE TEST PATTERNS SO THAT TEMPORAL FLUCTUATION IN TEMPERATURE OF LSI DURING TESTING IS REDUCED
- 30 TEST PATTERN SERIES NOT INCLUDING DON'T CARE (SPACIOUS, TEMPORAL HOMOGENIZATION OF TEMPERATURE)

WO 2011/086884 A1



GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体集積回路のテストパターン生成方法、プログラム、およびコンピュータ読み取り可能な記録媒体

技術分野

[0001] 本発明は、半導体集積回路のテストパターン生成方法に関し、特に、スキャン設計されたCMOS同期式半導体集積回路のテストに用いるテストパターン生成技術に関する。

背景技術

[0002] 製造された半導体集積回路はすべて良品というわけではなく、信号線の値が0または1に固定される縮退故障を含む不良品もある。したがって、製品の出荷前に半導体集積回路の全信号線に対して縮退故障の有無をチェックする製品テストの実施は必要である。さらに近年ではプロセスの微細化が進み、縮退故障の有無だけではなく、信号線の値の変化が規定時間内に伝播するかといった遅延故障のチェックも必要である。このように、半導体集積回路のテストは性能評価、信頼性にかかわる重要な事項であり、テストコストが設計・製造コスト全体の半分を占める場合もある。

[0003] 半導体集積回路のテスト容易化の一手法としてスキャン設計がある。スキャン設計された半導体集積回路のテストは、スキャンインによってテストパターンをスキャンフリップフロップにセットし、そのテストパターンを組み合わせ回路に印加してテスト応答をスキャンフリップフロップにキャプチャし、キャプチャしたテスト応答を次のテストパターンのスキャンインと同時にスキャンアウトすることで行う。

[0004] スキャンフリップフロップの値が変わるとスキャンフリップフロップを構成するトランジスタばかりではなく、スキャンフリップフロップの出力を受ける組み合わせ回路のトランジスタまでもが値を変える。これにより、半導体集積回路内で大量の電力が消費され、回路温度が上昇する。特に、同時に

動作する、すなわち、同時に値を変えるスキャンフリップフロップの割合は、通常動作時には高々20%程度であるのに対してテスト時には約50%にもなる。このため、テスト時の発熱は通常動作時に比べて大きくなる。CMOSトランジスタの動作速度は温度に依存するため、より精度の高いテスト結果を得るにはテスト時の回路温度制御が不可欠である。

- [0005] スキャンテストのためのテストパターン系列はATPG (Automatic Test Pattern Generation) ツールによって自動作成することができる。半導体集積回路の設計時に生成したテストパターン系列は出荷前の製造テストや出荷後のフィールドテストなどに使用される。通常、ATPGツールで生成されたテストパターン系列にはドントケアが含まれており、ドントケア値の決め方および各テストパターンの印加順序次第でテスト時の半導体集積回路の消費電力、ひいては温度が大きく変わる。従来、テスト時の半導体集積回路のピーク消費電力および平均消費電力を抑える低消費電力テストや発熱を抑える低発熱テストのためのテストパターン生成方法が知られている。また、テスト時の半導体集積回路の消費電力の変動を抑える消費電力均一化テストのためのテストパターン生成方法が知られている（例えば、非特許文献1参照）。

先行技術文献

非特許文献

- [0006] 非特許文献1: Sudarshan Bahukudumbi, Krishnendu Chakrabarty, "Power Management for Wafer-Level Test During Burn-In," *ats*, pp.231-236, 2008 17th Asian Test Symposium, 2008

発明の概要

発明が解決しようとする課題

- [0007] テストパターンが印加された半導体集積回路はその全体が均一に活性化されるわけではなく、活発に動作して高温になる領域とそうでない領域とに分かれる。また、活動領域の消費電力のばらつきは印加されるテストパターンに

応じてさまざまに変わる。そして、今後、半導体集積回路のシステム化、大規模化がさらに進むと、テスト時の半導体集積回路の空間的温度ばらつきはより顕著になると予想される。このことは、高速化・精細化が進む半導体集積回路のテストにとって大きな問題になると懸念されている。

[0008] 従来技術には、半導体集積回路の外部から温度を制御する試みはあるが、新たな装置の追加が必要となるため効率的でない。また、回路温度の均一化してテスト精度を高めるには、単なる消費電力均一化ではなく、消費電力の空間的・時間的ばらつきを考慮する必要がある。

[0009] また、従来技術には、回路全体の消費電力の時間的ばらつきを軽減するものがある。しかし、回路内の空間的消費電力のばらつきや回路温度の空間的・時間的ばらつきが考慮されておらず、最近の半導体集積回路に要求される精緻なテストに十分対応しているとは言いがたい。

[0010] 上記問題に鑑み、本発明は、新たな装置の追加を必要とせずに、テストパターンの工夫により、半導体集積回路の空間的な温度の均一化、さらには時間的な温度の均一化を実現することを課題とする。

課題を解決するための手段

[0011] 一例として、スキャン設計された半導体集積回路のテストパターン生成方法は、ドントケアを含む複数のテストパターンからなる原テストパターン系列からテストパターンを順次選択するステップと、前記半導体集積回路のレイアウト領域を略等分割した各領域について、前記選択したテストパターンにドントケア値を設定して当該テストパターンが前記半導体集積回路に印加された場合の消費電力を見積もるステップと、前記選択したテストパターンについて、ドントケア値の変更および前記各領域の消費電力の見積もりを繰り返して、前記各領域の消費電力のばらつきが極小となるようなドントケア値を探索するステップと、前記探索によって得られたドントケア値を前記選択したテストパターンのドントケア値として決定し、ドントケアを含まない複数のテストパターンからなる第1の新テストパターン系列を生成するステップとを備えている。

- [0012] これによると、テスト時の半導体集積回路の消費電力が各領域で均一になるように、原テストパターン系列における各テストパターンのドントケア値が決定され、ドントケアを含まない第1のテストパターン系列が生成される。したがって、生成された第1のテストパターン系列でテストを行うことでテスト時の半導体集積回路の温度を空間的に均一化することができる。
- [0013] 好ましくは、上記テストパターン生成方法は、前記第1の新テストパターン系列に含まれる各テストパターンが前記半導体集積回路に順次印加された場合の前記半導体集積回路の温度変化を見積もり、テスト時の前記半導体集積回路の時間的溫度変動が小さくなるように前記第1の新テストパターン系列に含まれる各テストパターンの印加順序を並べ替えて第2の新テストパターン系列を生成するステップを備えているものとする。
- [0014] これによると、生成された第2のテストパターン系列でテストを行うことで、カバレッジを下げることなくテスト時の半導体集積回路の温度を時間的に均一化することができる。

発明の効果

- [0015] 本発明によると、テスト時の半導体集積回路の消費電力を空間的さらには時間的に均一化するようなテストパターンを生成することができる。したがって、本発明に係る方法で生成されたテストパターンを用いることで製造テストおよびフィールドテストのいずれにおいても微少な回路遅延を精度よく検出することができる。

図面の簡単な説明

- [0016] [図1] 図1は、本発明の一実施形態に係るテストパターン生成方法の概略フローチャートである。
- [図2] 図2は、各テストパターンのドントケア値決定の詳細フローチャートである。
- [図3] 図3は、従来のテストパターン系列および本発明に係るテストパターン系列のそれぞれの熱シミュレーション結果を示す図である。
- [図4] 図4は、テストパターンの印加順序並べ替えの詳細フローチャートであ

る。

[図5] 図5は、テストパターン系列の分割を説明するための模式図である。

[図6] 図6は、サブ系列の並べ替えを説明するための模式図である。

発明を実施するための形態

[0017] <空間的温度均一化>

図1は、本発明の一実施形態に係るテストパターン生成方法の概略フローを示す。なお、下記のテストパターン生成方法は、コンピュータ読み取り可能な記録媒体に記録されたプログラムをコンピュータに実行させることにより実施することができる。

[0018] まず、ドントケアを含む複数のテストパターンからなるテストパターン系列10を用意する。テストパターン系列10は一般的なATPGツールを用いて作成することができる。そして、テストパターン系列10における各テストパターンについて、テスト時の半導体集積回路の各領域の消費電力のばらつきが小さくなるようにドントケア値を決定して、ドントケアを含まない複数のテストパターンからなるテストパターン系列20を生成する(S1)。すなわち、与えられたドントケアを含む複数のテストパターンからなるテストパターン系列10についてテスト時の半導体集積回路の消費電力が空間的に均一になるように各テストパターンのドントケア値を決定し、ドントケアを含まない複数のテストパターンからなるテストパターン系列20を生成する。

[0019] 半導体集積回路の各領域とは、半導体集積回路のレイアウト領域を等面積または概ね等面積に分割した場合の各領域のことを指す。例えば、半導体集積回路のレイアウト領域を縦横8×8からなる64領域に分割する。なお、当該分割は半導体集積回路の空間的消費電力のばらつきを見積もるために便宜的に行うものである。したがって、半導体集積回路をどの程度の数およびどのような形状の領域に分割するかは必要とされる空間的消費電力均一化の粒度に応じて適宜決定すればよい。

[0020] 図2は、各テストパターンのドントケア値決定の詳細フローを示す。まず

、 $m=1$ に設定して（S102）、テストパターン系列10から m 番目のテストパターンを選択する（S104）。ここで選択されるテストパターンはドントケアを含むテストパターンである。 m はテストパターン系列10から選択されるテストパターンを特定するためのインデックスである。そして、ステップS104で選択したテストパターンの各ドントケアビットに初期値を設定する（S106）。各ドントケアビットの初期値は任意であるが、好ましくはテスト時の半導体集積回路の消費電力を低減するための低消費電力テストで採用される値を設定する。

[0021] 次に、 $n=0$ 、 $Flip=FALSE$ に設定する（S108）。 n はテストパターンのドントケアビットのビット位置を特定するためのインデックスであり、 $Flip$ は後述するようにすべてのドントケアビットの検証前後でドントケア値に変化があったかどうかを示すフラグである。 n 、 $Flip$ の初期設定が終わると、ステップS104で選択したテストパターンについて n ビット目のドントケアビットの値を反転する（S110）。そして、ステップS110終了後のドントケア値を有するテストパターンが半導体集積回路に印加された場合における半導体集積回路の各領域の消費電力を見積もる（S112）。当該見積もりはシミュレーションによって行う。このとき、当該テストパターンのスキャンインだけでなく、直前のテスト応答のスキャンアウトも考慮して各領域の消費電力を見積もることが望ましい。

[0022] ステップS112でテスト時の半導体集積回路の各領域の消費電力を見積もった後、各領域の消費電力のばらつきを算出し、一時的に記憶しておく（S113）。当該ばらつきは、例えば、消費電力分布の分散値や消費電力の最大値と最小値との差分などを指標とすることができる。そして、一時的に記憶していたばらつきとステップS113で新たに算出したばらつきとを比較する（S114）。ここで、後者の方が大きい、すなわち、 n ビット目のドントケアビットの値の反転前後で半導体集積回路の各領域の消費電力のばらつきが増大するようであれば（S114のYes）、 n ビット目のドントケアビットの値を元に戻す（S116）。一方、前者の方が大きい、すなわ

ち、 n ビット目のドントケアビットの値の反転前後で半導体集積回路の各領域の消費電力のばらつきが減少するようであれば（S 1 1 4のNo）、一時的に記憶されるばらつきを更新して、Flip=TRUEに設定する（S 1 1 8）。

[0023] ステップS 1 1 6またはS 1 1 8が終了すると、ステップS 1 0 4で選択したテストパターンについてすべてのドントケアビットの検証が終了したかどうかを確認する（S 1 2 0）。もし未検証のドントケアビットが残っているなら（S 1 2 0のNo）、 n をインクリメントして（S 1 2 2）、ステップS 1 1 0に戻る。一方、すべてのドントケアビットの検証が終了したなら（S 1 2 0のYes）、Flipの状態を確認する（S 1 2 4）。

[0024] ステップS 1 0 4で選択したテストパターンのすべてのドントケアビットの検証前後でドントケア値に変化があった場合、Flip=TRUEとなっている。もし、Flip=TRUEであれば（S 1 2 4のYes）、ステップS 1 0 8に戻り、ステップS 1 0 4で選択したテストパターンについて再度すべてのドントケアビットの検証を行う。このように、ステップS 1 0 4で選択したテストパターンのドントケア値が変化しなくなるまでステップS 1 0 8からS 1 2 4までの処理を繰り返すことにより、テスト時の半導体集積回路の各領域の消費電力のばらつきを極小にするドントケア値をヒューリスティックに見つけることができる。

[0025] ステップS 1 0 8からS 1 2 4までの処理を繰り返した結果、ステップS 1 0 4で選択したテストパターンのドントケア値が変化しなくなると、ステップS 1 2 4においてFlip=FALSEとなっている。その場合（S 1 2 4のNo）、ステップS 1 2 4終了時点のドントケア値をステップS 1 0 4で選択したテストパターンのドントケア値として決定する（S 1 2 6）。

[0026] その後、テストパターン系列10のすべてのテストパターンの検証が終了したかどうかを確認する（S 1 2 8）。もし未検証のテストパターンが残っているなら（S 1 2 8のNo）、 m をインクリメントして（S 1 3 0）、ステップS 1 0 4に戻る。一方、すべてのテストパターンの検証が終了したな

ら（S 1 2 8のY e s）、ドントケアを含まない複数のテストパターンからなるテストパターン系列20を生成して処理を終了する（S 1 3 2）。

[0027] ステップS 1 1 2での半導体集積回路の各領域の消費電力の見積もりは、論理、電力、温度の各シミュレーションを行うことで可能であるが、1個のドントケアビットの値を変えるごとにこれらシミュレーションを行うのは時間がかかり過ぎて現実的ではない。そこで、次のような高速消費電力見積もりを行うとよい。

[0028] 高速消費電力見積もりでは、ドントケアビットの値が仮決定されたテストパターン系列が半導体集積回路に印加された場合の各領域のFF平均遷移率およびその周辺領域のFF平均遷移率から各領域の消費電力を見積もる。ここで、FF平均遷移率とは、各領域に属する複数のスキャンフリップフロップのそれぞれの遷移率の平均のことをいう。例えば、ある領域に4つのスキャンフリップフロップがあり、これら4つのスキャンフリップフロップの保持値が“0000”であるとしたとき、テストパターンとして“1101”をスキャンインすると4つのスキャンフリップフロップの保持値は“0000”→“1000”→“0100”→“1010”→“1101”と変化する。すなわち、各スキャンフリップフロップの保持値は、4クロックの間にそれぞれ3回、3回、2回、1回ずつ変化する。したがって、この場合の各スキャンフリップフロップの遷移率は、それぞれ、 $3/4$ 、 $3/4$ 、 $2/4$ 、 $1/4$ であり、この領域のFF平均遷移率はこれらの平均値である $9/16$ である。このように、各領域のFF平均遷移率は半導体集積回路に印加されるテストパターン系列から一意に決まる。

[0029] 具体的には、領域*i*の消費電力 P_i は次式に従って高速見積もりすることができる。

$$P_i = (1 + D(i, SA_{i, adj})) \times P_{base}(i, SA_i)$$

[0030] ここで、 SA_i は、領域*i*のFF平均遷移率である。 $SA_{i, adj}$ は、 SA_i に対する領域*i*の周辺領域のFF平均遷移率の平均値の相対値である。例えば、 SA_i が30%、領域*i*の周辺領域のFF平均遷移率の平均値が50%の

場合には $SA_{i,adj}$ は 20% であり、 SA_i が 30%、領域 i の周辺領域の FF 平均遷移率の平均値が 20% の場合には $SA_{i,adj}$ は -10% である。なお、周辺領域の個数は領域 i の位置によって異なる。例えば、半導体集積回路のレイアウト領域をマトリクス状に分割することを想定すると、半導体集積回路のレイアウト領域の角に位置する領域 i は 3 個の周辺領域に囲まれ、半導体集積回路のレイアウト領域の辺に接する領域 i は 5 個の周辺領域に囲まれ、それ以外の領域 i は 8 個の周辺領域に囲まれる。

[0031] $P_{base}(i, SA_i)$ は、すべての領域の FF 平均遷移率を SA_i としたときの領域 i の消費電力（基準消費電力）である。基準消費電力は、既存のパターン非依存静的電力解析ツールを用いて算出することができる。当該ツールに領域 i の FF 平均遷移率を入力すると、領域 i に含まれる信号線の値の遷移率が見積もられ、領域 i に属するスキャンフリップフロップと組み合わせ回路の消費電力が見積もられる。

[0032] なお、基準消費電力をツールを用いて毎回算出するのは時間がかかるため、あらかじめいくつかの代表値を用意しておき、中間値については代表値の線形補間によって算出するようにしてもよい。例えば、各領域ごとに FF 平均遷移率を 0% から 100% まで 10% 刻みに変化させて基準消費電力の代表値を算出し、当該算出した代表値をテーブルなどに保存しておいてもよい。これにより、各領域の消費電力の見積もりの際にはテーブルから値を読み出して必要に応じて線形補間をすればよいため、より高速に消費電力を見積もることができる。

[0033] $1 + D(i, SA_{i,adj})$ は、基準消費電力に対する補正係数であり、 $D(i, SA_{i,adj})$ は、領域 i の消費電力補正率である。消費電力補正率が正值なら P_i は $P_{base}(i, SA_i)$ よりも大きくなり、消費電力補正率が負値なら P_i は $P_{base}(i, SA_i)$ よりも小さくなる。 $D(i, SA_{i,adj})$ は、例えば、次式のように定義される。

$$D(i, SA_{i,adj}) = (Pd(i, SA_{i,adj}) - Pd(i, 0)) / Pd(i, 0)$$

- [0034] ここで、 $P_d(i, SA_{i,adj})$ は、領域 i の FF 平均遷移率を任意の値 SA に固定して周辺領域の FF 平均遷移率の平均値の相対値を $SA_{i,adj}$ にしたときの領域 i の消費電力（補正消費電力）である。補正消費電力も、既存のパターン非依存静的電力解析ツールを用いて算出することができる。
- [0035] なお、補正消費電力をツールを用いて毎回算出するのは時間がかかるため、あらかじめいくつかの代表値を用意しておき、中間値については代表値の線形補間によって算出するようにしてもよい。例えば、各領域ごとに SA を 30% に固定して $SA_{i,adj}$ を -30% から +70% まで 10% 刻みに変化させて補正消費電力の代表値を算出し、当該算出した代表値をテーブルなどに保存しておいてもよい。これにより、各領域の消費電力の見積もりの際にはテーブルから値を読み出して必要に応じて線形補間をすればよいため、より高速に消費電力を見積もることができる。
- [0036] 次に、上記のテストパターン生成方法の効果について説明する。図 3 (a) は、一般的な ATPG ツールなどで作成されたテストパターン系列を使用して半導体集積回路のテストを行った場合の熱シミュレーション結果を示す。図 3 (b) は、上記のテストパターン生成方法で生成されたテストパターン系列 20 を使用して半導体集積回路のテストを行った場合の熱シミュレーション結果を示す。いずれも半導体集積回路は縦横 8×8 の 64 領域に分割され、温度はグレースケールによって示されている。濃度が濃いほど温度が高いことを示す。
- [0037] 図 3 (a) および図 3 (b) から明らかなように、従来のテストパターン系列を使用するケースでは半導体集積回路の空間的温度ばらつきが大きいものに対して、上記のテストパターン生成方法に従って生成されたテストパターン系列 20 を使用するケースでは半導体集積回路の空間的温度ばらつきが小さくなっている。すなわち、テストパターン系列 20 を使用することでテスト時の半導体集積回路の温度が空間的に均一化されている。このように、テスト時の半導体集積回路の空間的消費電力均一化を考慮して各テストパターンのドントケア値を決定することによって、テスト時の半導体集積回路の空

間的温度均一化を実現するテストパターン系列を得ることができる。

[0038] <時間的溫度均一化>

空間的な温度均一化を実現するテストパターン系列20が得られたなら、次は、時間的な温度均一化を実現するように、テストパターン系列20を変形することが望ましい。以下、時間的溫度均一化のためのテストパターン生成方法の一例について説明する。

[0039] 図1に戻り、ステップS1でのドントケア値決定後に、テストパターン系列20における各テストパターンが半導体集積回路に印加された場合の半導体集積回路の温度変化を見積もり、テスト時の半導体集積回路の時間的溫度變動が小さくなるように各テストパターンの印加順序を並べ替えてテストパターン系列30を生成する(S2)。すなわち、今度はテスト時の半導体集積回路の温度が時間的に均一になるように各テストパターンの印加順序を並べ替える。

[0040] 図4は、テストパターンの印加順序並べ替えの詳細フローを示す。まず、テストパターン系列20における各テストパターンが順次印加された場合の半導体集積回路の消費電力の平均値を見積もる(S202)。そして、見積もった平均値から、テストパターン系列20が印加された場合の半導体集積回路の平均温度を見積もる(S204)。

[0041] 平均温度は、テスト時の半導体集積回路の消費電力が上記平均値で一定である場合の半導体集積回路の収束温度として見積もることができる。消費電力が一定であるときの半導体集積回路の収束温度を予測することは容易である。各テストパターンに係る半導体集積回路の消費電力は各領域の消費電力の平均値、すなわち、半導体集積回路の空間的な平均消費電力を採用する。なお、上述した空間的溫度均一化の過程で半導体集積回路の各領域の消費電力のばらつきを算出する際に消費電力の平均値も算出しておけばここで改めて消費電力の平均値を見積もる必要はない。

[0042] 次に、テスト開始時の半導体集積回路の温度を見積もった平均温度に設定するパターン系列を求める(S206)。テスト環境の違いによってテスト

開始時の半導体集積回路の温度はさまざまであるため、テストパターン系列を印加する前に、半導体集積回路の温度を見積もった平均温度に設定する。

[0043] 半導体集積回路の温度を見積もった平均温度に設定するためのパターン系列は半導体集積回路のテストのためのパターン系列ではないため、消費電力の空間的均一性を満たし半導体集積回路の温度を急激に変化させるパターンを含むパターン系列を用意するとよい。テスト実行時には、温度センサーなどで測定された半導体集積回路の温度に応じて、当該パターン系列のうち半導体集積回路に印加する入力系列長を調整することで半導体集積回路の温度を見積もった平均温度に設定することが可能となる。なお、半導体集積回路の温度を急激に見積もった平均温度に設定するには、クロック周波数を上げて消費電力を上昇させてもよい。

[0044] なお、半導体集積回路の温度を見積もった平均温度に設定するパターン系列は必ずしも下述のテストパターン系列をサブ系列に分割する前に求める必要はない。当該パターン系列は半導体集積回路に実際にテストパターン系列 30 を印加する前に半導体集積回路の温度を見積もった平均温度にまで上げておくためのものであるため、ここで説明するテストパターン生成方法とは独立に実際のテスト開始までの任意のタイミングで生成すればよい。

[0045] 次に、温度シミュレーションを行って、テストパターン系列 20 を複数のサブ系列に分割する (S 208)。サブ系列とは、テストパターン系列 20 の部分であって、1 または複数のテストパターンからなる。サブ系列は、半導体集積回路の温度を見積もった平均温度に設定して半導体集積回路のテストが開始された場合に当該テスト終了時の半導体集積回路の温度を見積もった平均温度を基準とする所定の相対温度の範囲に収まるような、すなわち、上限温度または下限温度に達するようなテストパターンの集合である。上下限の温度範囲はユーザーが任意に指定 (例えば、 $\pm 3^{\circ}\text{C}$ など) することができる。

[0046] 次に、図 5 を参照して具体的なテストパターン系列 20 の分割方法について説明する。横軸はテスト時間、縦軸は半導体集積回路の温度を表す。図中

の実線はサブ系列の印加による半導体集積回路の温度変化を示し、破線はテストパターン系列20を区切らずにテストを継続した場合の半導体集積回路の温度変化を示す。半導体集積回路の温度を見積もった平均温度に設定して半導体集積回路のテストを開始し、テストパターン系列20で決められている順にテストパターンを印加していった場合に半導体集積回路の温度が指定範囲を超えたところでテストパターン系列20を区切り、それまでに印加した系列をサブ系列とする。そして、テストパターン系列20からサブ系列を削除し、テストパターン系列20が空になるまで上記処理を繰り返す。

[0047] 図4に戻り、サブ系列の分割が終了したならば、テスト時の半導体集積回路の時間的溫度変動が小さくなるように各サブ系列の印加順序を並べ替えてテストパターン系列30を生成する(S210)。基本的には、半導体集積回路の温度を上昇させるようなサブ系列および半導体集積回路の温度を下降させるようなサブ系列が交互に印加されるようにサブ系列を並べ替えることでテスト時の半導体集積回路の時間的溫度変動を小さくすることができる。すなわち、テストパターン系列30を用いることでテスト時の半導体集積回路の温度変動を空間的および時間的に均一化することができる。

[0048] 好ましくは、サブ系列の並べ替えは、各サブ系列の印加による半導体集積回路の温度上昇率および下降率をも考慮して行う。図6を参照してサブ系列の並べ替えの一例を説明する。

[0049] まず、半導体集積回路の温度を見積もった平均温度に設定して半導体集積回路のテストが開始されてからあるサブ系列のテストが終了したときの半導体集積回路の温度を見積もる。そして、当該温度が上下限温度に近い危険領域にあるか上下限温度に達するまでにまだ余裕のある安全領域にあるかによって、次に印加すべきサブ系列の選択方法を変える。

[0050] 具体的には、当該温度が危険領域にあるときには、残りのサブ系列のうちより少ないテストパターンを含むもの、すなわち、より短時間で半導体集積回路の温度を見積もった平均温度近くにまで戻すことのできるサブ系列を選択する。一方、当該温度が安全領域にあるときには、残りのサブ系列のうち

より多くのテストパターンを含むものを選択する。これは、テスト応答に係る半導体集積回路の消費電力を考慮して、テストパターンのスキャンインとその直前のテスト応答のスキャンアウトとでスキャンフリップフロップの値変化がなるべく少なくなるように最適化されていたテストパターン系列20のテストパターン印加順序をなるべく維持するためである。なお、危険領域にある半導体集積回路の温度を下げるには、クロック信号を停止する、あるいは温度を急速に下げようなダミーパターンを印加してもよい。

[0051] 以上、本実施形態によると、テスト時の半導体集積回路の消費電力を空間的さらには時間的に均一化するようなテストパターンを生成することができる。そして、そのようなテストパターンを用いることで製造テストおよびフィールドテストのいずれにおいても微少な回路遅延を精度よく検出することができる。通常、半導体集積回路にはテスト精度や経年劣化対策として数%～10%程度の周波数動作マージンが設定されるが、製造テストにおいて高精度な遅延故障の検出が可能となることで、動作マージンを低減して歩留まりを向上することができる。また、半導体集積回路にBIST (Built-In Self Test) 回路を組み込んでフィールドテストにおいて高精度な遅延故障を検出することで、半導体集積回路の経年劣化を未然に検知することができる。

[0052] なお、空間的温度均一化が達成されるようなテストパターン系列があらかじめ用意されている、あるいは半導体集積回路の規模が小さいなどの理由で空間的温度均一化が不要であれば、空間的温度均一化のための処理を省略して、時間的温度均一化の処理のみを実施してもよい。

産業上の利用可能性

[0053] 本発明に係るテストパターン生成方法は、テスト時の半導体集積回路の消費電力を空間的さらには時間的に均一化するようなテストパターンを生成することができるため、大規模半導体集積回路やSOC (System on Chip) などのテストパターン生成に有用である。

請求の範囲

[請求項1]

スキャン設計された半導体集積回路のテストパターン生成方法であつて、

ドントケアを含む複数のテストパターンからなる原テストパターン系列からテストパターンを順次選択するステップと、

前記半導体集積回路のレイアウト領域を略等分割した各領域について、前記選択したテストパターンにドントケア値を設定して当該テストパターンが前記半導体集積回路に印加された場合の消費電力を見積もるステップと、

前記選択したテストパターンについて、ドントケア値の変更および前記各領域の消費電力の見積もりを繰り返して、前記各領域の消費電力のばらつきが極小となるようなドントケア値を探索するステップと、

前記探索によって得られたドントケア値を前記選択したテストパターンのドントケア値として決定し、ドントケアを含まない複数のテストパターンからなる第1の新テストパターン系列を生成するステップとを備えている

ことを特徴とするテストパターン生成方法。

[請求項2]

請求項1のテストパターン生成方法において、

前記ドントケア値を探索するステップは、

前記選択したテストパターンの各ドントケアビットに初期値を設定するステップと、

前記選択したテストパターンからドントケアビットを順次選択するステップと、

前記選択したドントケアビットの値を反転するステップと、

前記ドントケアビットの値が反転されるごとに前記各領域の消費電力の見積もりを行い、前記各領域の消費電力のばらつきを算出するステップと、

前記ドントケアビットの値の反転前後で前記各領域の消費電力のばらつきが増大する場合、前記反転したドントケアビットの値を元に戻すステップと、

前記選択したテストパターンのすべてのドントケアビットの検証前後で前記選択したテストパターンのドントケア値に変化があった場合、前記選択したテストパターンについてドントケアビットの順次選択から処理をやり直すステップとを有することを特徴とするテストパターン生成方法。

[請求項3] 請求項1のテストパターン生成方法において、

前記消費電力を見積もるステップは、

前記ドントケア値が設定されたテストパターンから、前記各領域ごとに、当該テストパターンが前記半導体集積回路に印加された場合にその領域に属する複数のスキャンフリップフロップのそれぞれの保持値が遷移する率の平均であるFF平均遷移率を見積もるステップと、

前記ドントケア値が設定されたテストパターンから、前記各領域ごとに、その領域のFF平均遷移率に対する周辺領域のFF平均遷移率の平均値の相対値を見積もるステップと、

前記各領域ごとに、その領域のFF平均遷移率から決まる基準消費電力に前記相対値から決まる補正係数を乗じてその領域の消費電力を見積もるステップとを有することを特徴とするテストパターン生成方法。

[請求項4] 請求項1のテストパターン生成方法において、

前記第1の新テストパターン系列に含まれる各テストパターンが前記半導体集積回路に順次印加された場合の前記半導体集積回路の温度変化を見積もり、テスト時の前記半導体集積回路の時間的溫度変動が小さくなるように前記第1の新テストパターン系列に含まれる各テストパターンの印加順序を並べ替えて第2の新テストパターン系列を生

成するステップを備えている
ことを特徴とするテストパターン生成方法。

[請求項5]

請求項4のテストパターン生成方法において、

前記第2の新テストパターン系列を生成するステップは、

前記第1の新テストパターン系列に含まれる各テストパターンが前記半導体集積回路に順次印加された場合の前記半導体集積回路の消費電力の平均値を見積もるステップと、

前記見積もった前記半導体集積回路の消費電力の平均値から、前記第1の新テストパターン系列が前記半導体集積回路に印加された場合の前記半導体集積回路の平均温度を見積もるステップと、

前記半導体集積回路の温度を前記見積もった平均温度に設定して前記半導体集積回路のテストが開始された場合に当該テスト終了時の前記半導体集積回路の温度が前記見積もった平均温度を基準とする所定の相対温度の範囲に収まるように、前記第1の新テストパターン系列を1または複数のテストパターンからなる複数のサブ系列に分割するステップと、

テスト時の前記半導体集積回路の時間的溫度変動が小さくなるように前記サブ系列を並べ替えるステップとを有することを特徴とするテストパターン生成方法。

[請求項6]

請求項5のテストパターン生成方法において、

前記サブ系列を並べ替えるステップは、

前記半導体集積回路の温度を前記見積もった平均温度に設定して前記半導体集積回路のテストが開始されて第n番目までのサブ系列の印加が終わった場合の前記半導体集積回路の温度を見積もるステップと、

前記見積もった温度が前記所定の相対温度近傍にあるときには、第n+1番目のサブ系列として残りのサブ系列の中からより少ないテストパターンを含むものを選択し、それ以外のときにはより多くのテ

ストパターンを含むものを選択するステップとを有することを特徴とするテストパターン生成方法。

[請求項7]

コンピュータにスキャン設計された半導体集積回路のテストパターンを生成させるためのプログラムであって、

ドントケアを含む複数のテストパターンからなる原テストパターン系列からテストパターンを順次選択する手段、

前記半導体集積回路のレイアウト領域を略等分割した各領域について、前記選択したテストパターンにドントケア値を設定して当該テストパターンが前記半導体集積回路に印加された場合の消費電力を見積もる手段、

前記選択したテストパターンについて、ドントケア値の変更および前記各領域の消費電力の見積もりを繰り返して、前記各領域の消費電力のばらつきが極小となるようなドントケア値を探索する手段、

前記探索によって得られたドントケア値を前記選択したテストパターンのドントケア値として決定し、ドントケアを含まない複数のテストパターンからなる第1の新テストパターン系列を生成する手段、としてコンピュータを機能させるためのプログラム。

[請求項8]

請求項7のプログラムにおいて、

前記第1の新テストパターン系列に含まれる各テストパターンが前記半導体集積回路に順次印加された場合の前記半導体集積回路の温度変化を見積もり、テスト時の前記半導体集積回路の時間的溫度変動が小さくなるように前記第1の新テストパターン系列に含まれる各テストパターンの印加順序を並べ替えて第2の新テストパターン系列を生成する手段、

としてコンピュータを機能させるためのプログラム。

[請求項9]

コンピュータにスキャン設計された半導体集積回路のテストパターンを生成させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体であって、

ドントケアを含む複数のテストパターンからなる原テストパターン系列からテストパターンを順次選択する手段、

前記半導体集積回路のレイアウト領域を略等分割した各領域について、前記選択したテストパターンにドントケア値を設定して当該テストパターンが前記半導体集積回路に印加された場合の消費電力を見積もる手段、

前記選択したテストパターンについて、ドントケア値の変更および前記各領域の消費電力の見積もりを繰り返して、前記各領域の消費電力のばらつきが極小となるようなドントケア値を探索する手段、

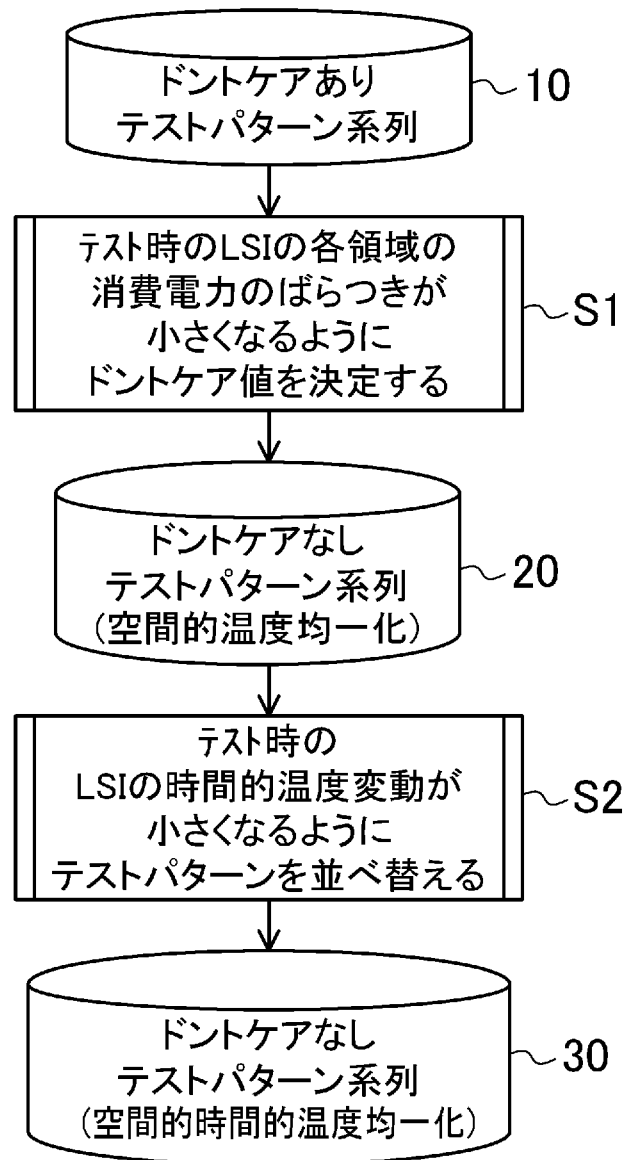
前記探索によって得られたドントケア値を前記選択したテストパターンのドントケア値として決定し、ドントケアを含まない複数のテストパターンからなる第1の新テストパターン系列を生成する手段、
としてコンピュータを機能させるためのプログラムを記録した記録媒体。

[請求項10] 請求項9の記録媒体において、

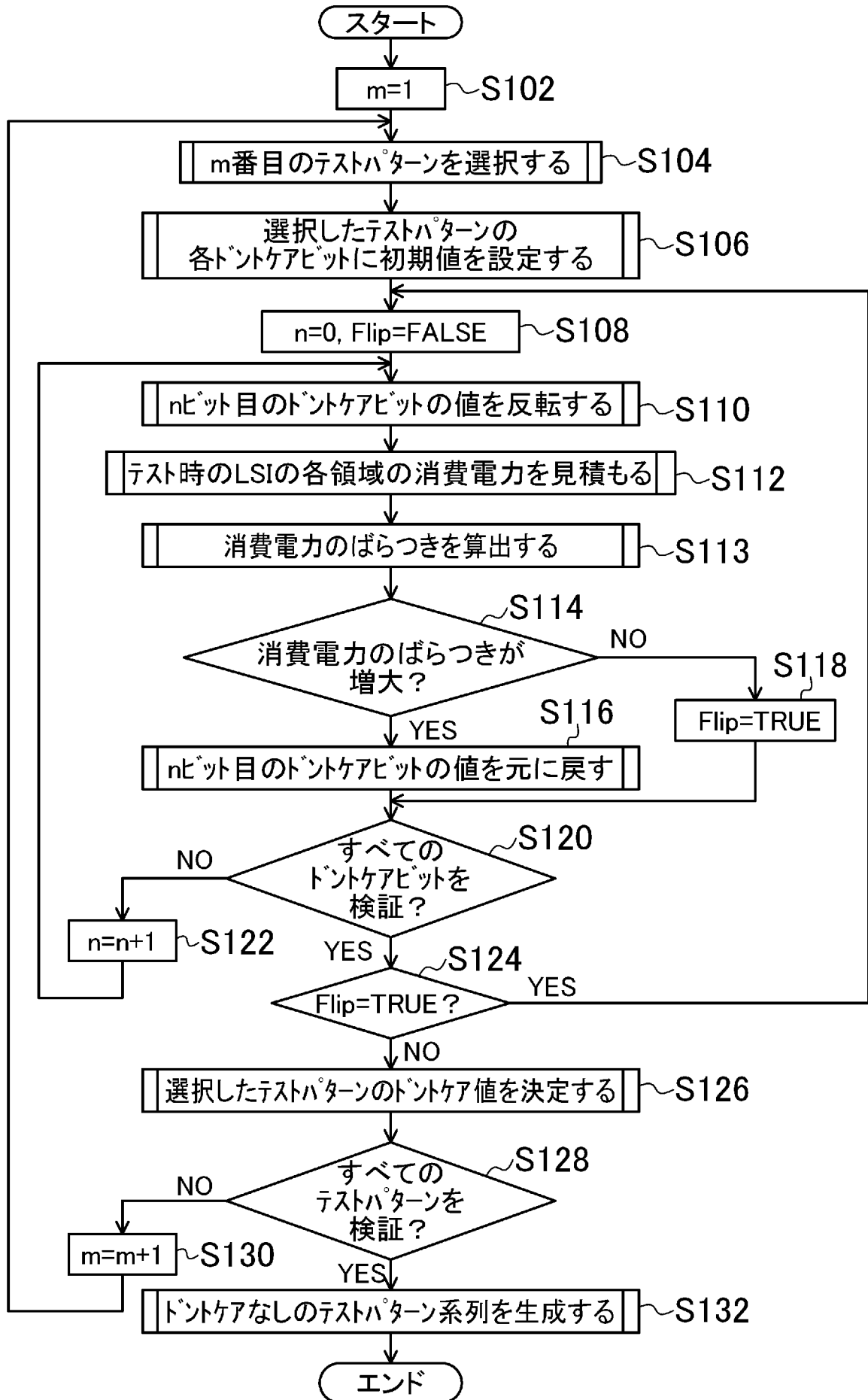
前記第1の新テストパターン系列に含まれる各テストパターンが前記半導体集積回路に順次印加された場合の前記半導体集積回路の温度変化を見積もり、テスト時の前記半導体集積回路の時間的溫度変動が小さくなるように前記第1の新テストパターン系列に含まれる各テストパターンの印加順序を並べ替えて第2の新テストパターン系列を生成する手段、

としてコンピュータを機能させるためのプログラムを記録した記録媒体。

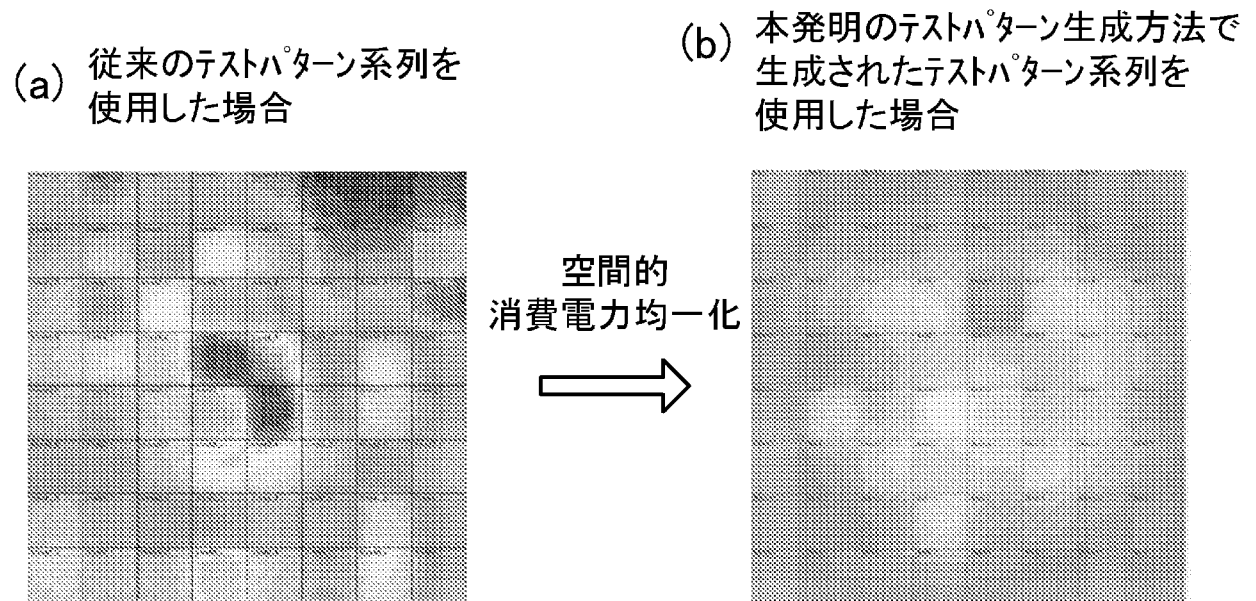
[図1]



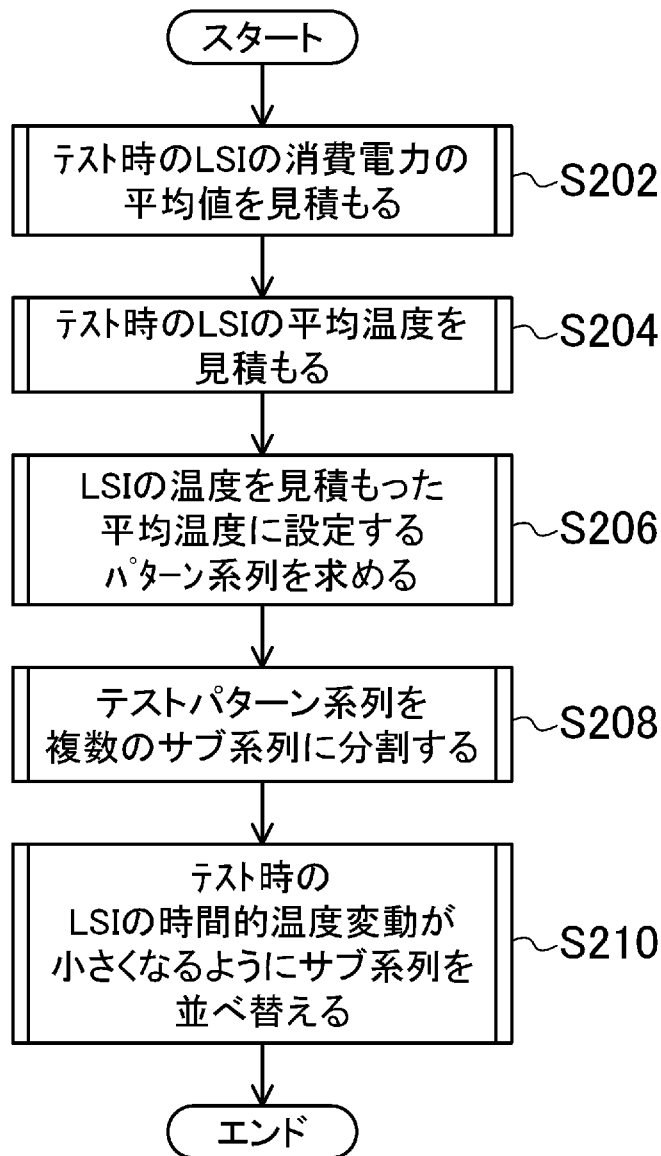
[図2]



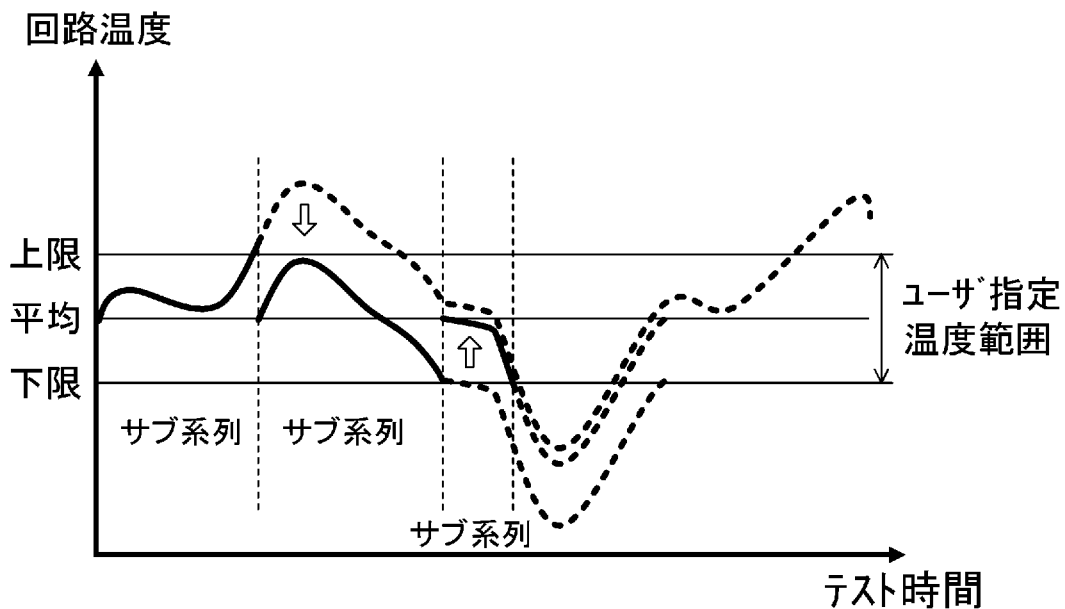
[図3]



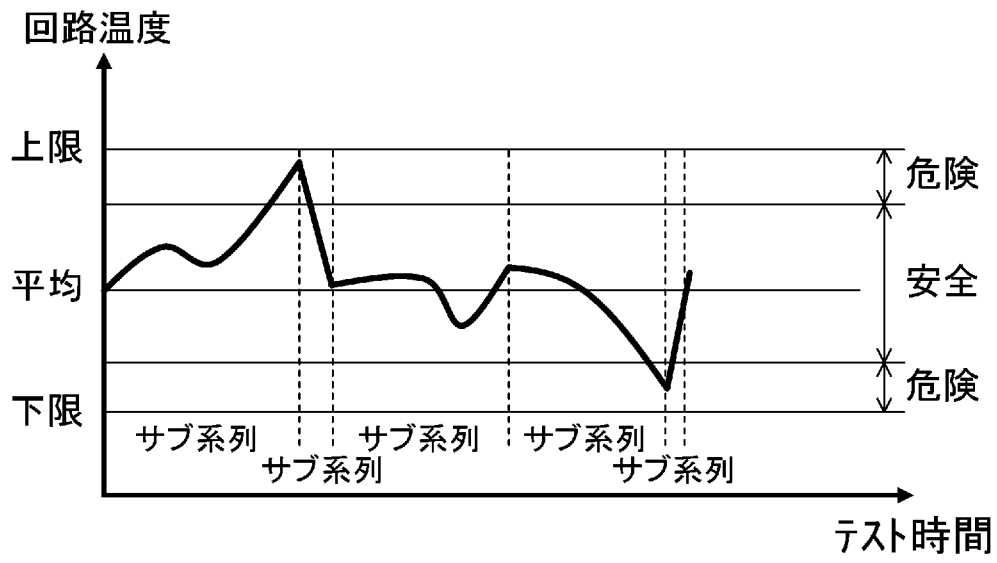
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000059

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/3183(2006.01)i, G01R31/28(2006.01)i, G06F17/50(2006.01)i,
H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-31/3193, G06F17/50, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Hideo Fujiwara, Thermal-Uniformity-Aware X-Filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing, 2010 28th IEEE VLSI Test Symposium, 2010.04.19, pp.188-193	1-3, 7, 9
P, X	Makoto NAKAO, Tomokazu YONEDA, Michiko INOUE, Hideo FUJIWARA, "Test Pattern Re-Ordering for Thermal-Uniformity during Test", IEICE Technical Report, 08 February 2010 (08.02.2010), vol.109, no.416 (DC2009-66), pages 7 to 12, ISSN: 0913-5685	1, 4-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February, 2011 (02.02.11)

Date of mailing of the international search report
15 February, 2011 (15.02.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000059

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-146999 A (Sharp Corp.), 06 June 1997 (06.06.1997), entire text; all drawings (Family: none)	1-10
A	JP 2003-85233 A (Sanyo Electric Co., Ltd.), 20 March 2003 (20.03.2003), entire text; all drawings (Family: none)	1-10
A	JP 2008-224315 A (NEC Electronics Corp.), 25 September 2008 (25.09.2008), entire text; all drawings & US 2008/0222473 A1	1-10
A	Sudarshan Bahukudumbi, Krishnendu Chakrabarty, Power Management for Wafer-Level Test During Burn-In, 17th Asian Test Symposium, 2008.11.24, pp. 231-236	1-10
A	Sudarshan Bahukudumbi, Krishnendu Chakrabarty, Power Management Using Test-Pattern Ordering for Wafer-Level Test During Burn-In, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2009.12, Vol. 17, No.12, pp. 1730-1741	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R31/3183(2006.01)i, G01R31/28(2006.01)i, G06F17/50(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R31/28-31/3193, G06F17/50, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Hideo Fujiwara, Thermal-Uniformity-Aware X-Filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing, 2010 28th IEEE VLSI Test Symposium, 2010.04.19, pp. 188-193	1-3, 7, 9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

02.02.2011

国際調査報告の発送日

15.02.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

神谷 健一

2S

9705

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	中尾 良, 米田 友和, 井上美智子, 藤原 秀雄, テスト実行時の 温度均一化のためのテストパターン並び替え法, 電子情報通信学会 技術研究報告 (信学技報), 2010.02.08, Vol. 109, No. 416 (DC2009-66), pp. 7-12, ISSN: 0913-5685	1, 4-10
A	JP 9-146999 A (シャープ株式会社) 1997.06.06, 全文, 全図 (ファ ミリーなし)	1-10
A	JP 2003-85233 A (三洋電機株式会社) 2003.03.20, 全文, 全図 (フ ァミリーなし)	1-10
A	JP 2008-224315 A (NECエレクトロニクス株式会社) 2008.09.25, 全文, 全図 & US 2008/0222473 A1	1-10
A	Sudarshan Bahukudumbi, Krishnendu Chakrabarty, Power Management for Wafer-Level Test During Burn-In, 17th Asian Test Symposium, 2008.11.24, pp. 231-236	1-10
A	Sudarshan Bahukudumbi, Krishnendu Chakrabarty, Power Management Using Test-Pattern Ordering for Wafer-Level Test During Burn-In, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2009.12, Vol. 17, No.12, pp. 1730-1741	1-10