

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2011/065500 A1

(43) 国際公開日

2011年6月3日(03.06.2011)

PCT

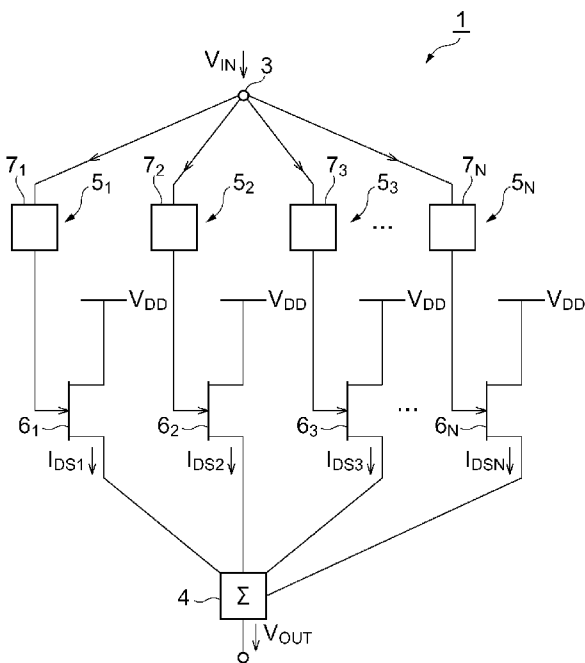
- (51) 国際特許分類:  
H01L 21/8232 (2006.01) H01L 27/088 (2006.01)  
H01L 21/8234 (2006.01) H01L 27/095 (2006.01)  
H01L 27/06 (2006.01) H03K 17/30 (2006.01)
- (21) 国際出願番号: PCT/JP2010/071161
- (22) 国際出願日: 2010年11月26日(26.11.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-271659 2009年11月30日(30.11.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人北海道大学(National University Corporation Hokkaido University) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 葛西 誠也 (KASAI Seiya).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 MY PLAZA (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: SIGNAL REPRODUCING APPARATUS

(54) 発明の名称: 信号再生装置

[図1]



(57) Abstract: Provided is a signal reproducing apparatus capable of stably obtaining a good response characteristic even when the amplitude or offset of an input signal varies. The signal reproducing apparatus (1) comprises: a plurality of FETs (6<sub>1</sub>-6<sub>N</sub>) the gate terminals of which receive a common input signal (V<sub>IN</sub>) and to the drain terminals of which a bias voltage (V<sub>DD</sub>) is applied; and an adder circuit (4) that is connected to the source terminals of the plurality of FETs (6<sub>1</sub>-6<sub>N</sub>) and that combines and outputs the currents flowing between the respective drain and source terminals of the plurality of FETs (6<sub>1</sub>-6<sub>N</sub>). The plurality of FETs (6<sub>1</sub>-6<sub>N</sub>) are adapted such that when the bias voltage (V<sub>DD</sub>) having the same value is applied, the FETs (6<sub>1</sub>-6<sub>N</sub>) will have different threshold voltages with respect to the applied voltages of the gate terminals of the FETs (6<sub>1</sub>-6<sub>N</sub>).

(57) 要約: 入力信号の振幅やオフセットが変化しても良好な応答特性を安定して得ることが可能な信号再生装置を提供することを目的とする。この信号再生装置1は、共通の入力信号V<sub>IN</sub>をゲート端子に受け、ドレイン端子にバイアス電圧V<sub>DD</sub>が印加される複数のFET 6<sub>1</sub>~6<sub>N</sub>と、複数のFET 6<sub>1</sub>~6<sub>N</sub>のソース端子に接続されて、複数のFET 6<sub>1</sub>~6<sub>N</sub>のドレイン端子とソース端子との間の電流を合成して出力する加算回路4とを備え、複数のFET 6<sub>1</sub>~6<sub>N</sub>は、同一値のバイアス電圧V<sub>DD</sub>が印加された際にゲート端子の印加電圧に関して異なる閾値電圧を有するように設定されている。

WO 2011/065500 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:  
— 國際調查報告 (條約第 21 條(3))

## 明 細 書

**発明の名称**： 信号再生装置

### 技術分野

[0001] 本発明は、雑音を含む入力信号を再生するための信号再生装置に関する。

### 背景技術

[0002] 従来から、雑音が付加された微小電気信号の検出を行う際には、フィルタを用いて雑音成分を含む周波数成分を除去する手法や、入力信号を平均化することで雑音を減衰させる手法等が採られていた。また、下記特許文献1に記載されたように、パワースペクトルの解析や統計的解析等のデータ処理を繰り返し行うことによって、雑音に埋もれた微小信号の検出を行う手法も考案されている。

[0003] また、下記特許文献2に記載のように、複数のFETのゲート端子に入力信号を印加して、生成されたドレインソース間電流を合成して出力することで、確率共鳴現象を発現させて検出感度を向上させる装置も検討され始めている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2002-221546号公報

特許文献2：特開2009-212551号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、上述したような確率共鳴現象を利用した信号再生の方法においては、入力信号の振幅やオフセットが特定されていないような場合に、系の応答特性を安定して得ることが難しいという傾向にあり、入力信号に付加する雑音やオフセットをその都度調整する必要性が生じていた。

[0006] そこで、本発明は、かかる課題に鑑みて為されたものであり、入力信号の振幅やオフセットが変化しても良好な応答特性を安定して得ることが可能な

信号再生装置を提供することを目的とする。

### 課題を解決するための手段

- [0007] 上記課題を解決するため、本発明の信号再生装置は、共通の入力信号をゲート端子に受け、ドレイン端子にバイアス電圧が印加される複数の電界効果トランジスタと、複数の電界効果トランジスタのソース端子に接続されて、複数の電界効果トランジスタのドレイン端子とソース端子との間の電流を合成して出力する加算回路とを備え、複数の電界効果トランジスタは、同一値のバイアス電圧が印加された際に、入力信号に対してドレイン端子とソース端子との間に異なる電流を生成するように設定されている、ことを特徴とする。
- [0008] このような信号再生装置によれば、ドレイン端子に同一電圧値のバイアス電圧が印加された複数の電界効果トランジスタのゲート端子に、雑音成分を含む入力信号が印加され、それらの電界効果トランジスタのドレインーソース間電流が加算回路によって合成されて出力される。このとき、ゲート電圧に入力された入力信号に対して複数の電界効果トランジスタ間で異なるドレインーソース間電流が生成されるように設定されているので、広範囲の入力電圧値に対していずれかの電界効果トランジスタをサブスレッショルド領域で動作させることができるので、様々な電圧値の入力信号に対してその検出感度を上昇させる現象である確率共鳴現象を発現させることができる。その結果、事前の回路パラメータの調整無しに、様々なオフセット電圧、雑音電圧が付加された入力信号の中から入力信号のみを強調して出力させることが可能になる。
- [0009] また、複数の電界効果トランジスタは、同一値のバイアス電圧が印加された際にゲート端子の印加電圧に関して異なる閾値電圧を有するように設定されている、ことが好適である。
- [0010] このような信号再生装置によれば、ドレイン端子に同一電圧値のバイアス電圧が印加された複数の電界効果トランジスタのゲート端子に、雑音成分を含む入力信号が印加され、それらの電界効果トランジスタのドレインーソー

ス間電流が加算回路によって合成されて出力される。このとき、ゲート電圧に関する閾値電圧が複数の電界効果トランジスタ間で異なる電圧値に設定されているので、広範囲の入力電圧値に対していずれかの電界効果トランジスタをサブスレッショルド領域で動作させることができるので、様々な電圧値の入力信号に対してその検出感度を上昇させる現象である確率共鳴現象を発生させることができる。その結果、事前の回路パラメータの調整無しに、様々なオフセット電圧、雑音電圧が付加された入力信号の中から入力信号のみを強調して出力させることが可能になる。

### 発明の効果

[0011] 本発明によれば、入力信号の振幅やオフセットが変化しても良好な応答特性を安定して得ることが可能な信号再生装置を提供することができる。

### 図面の簡単な説明

[0012] [図1]本発明の好適な一実施形態である信号再生装置の回路図である。

[図2]図1のFETの構造例を示す斜視図である。

[図3]図1の加算回路の構成の一例を示す回路図である。

[図4]一般的なFETのゲートソース間電圧とドレインソース間電流との関係を示すグラフである。

[図5]図1の各FETのゲートソース間電圧とドレインソース間電流との関係を示すグラフである。

[図6]図1の各FETにおける雑音電圧と入出力相関係数との関係を示すグラフである。

[図7]図1の信号再生装置における入出力相関係数と雑音電圧との関係を示すグラフである。

[図8]図1の信号再生装置におけるSNRと雑音電圧との関係を示すグラフである。

[図9]図1の信号再生装置における入力信号の波形を示すグラフである。

[図10]本発明の変形例である信号再生装置の回路図である。

[図11]本発明の変形例である信号再生装置の回路図である。

[図12]本発明の変形例である信号再生装置の回路図である。

[図13]従来の信号再生装置における入出力相関係数と雑音電圧との関係を示すグラフである。

### 発明を実施するための形態

- [0013] 以下、図面を参照しつつ本発明に係る信号再生装置の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。また、各図面は説明用のために作成されたものであり、説明の対象部位を特に強調するように描かれている。そのため、図面における各部材の寸法比率は、必ずしも実際のものとは一致しない。
- [0014] 図1は、本発明の好適な一実施形態である信号再生装置1の回路図である。信号再生装置1は、雑音に埋もれた画像信号や音声信号等のアナログ信号である微小信号から、微小信号を再生して取り出すための装置であり、入力信号 $V_{IN}$ が入力される入力端子3と出力信号 $V_{OUT}$ を取り出すための加算回路4との間に、 $N$ 個（ $N$ は2以上の整数）の確率共鳴素子である電流源回路 $5_1 \sim 5_N$ が並列に接続された構成を有している。入力信号 $V_{IN}$ は、任意の周波数のパルス信号等のアナログ信号であり、予め熱雑音等のランダムなレベル及び周波数の雑音を加えられている。
- [0015] 電流源回路 $5_1 \sim 5_N$ は、それぞれ、電界効果トランジスタ（以下、FETという） $6_1 \sim 6_N$ と、雑音源 $7_1 \sim 7_N$ とから構成されている。FET $6_1 \sim 6_N$ のドレイン端子には、それぞれ、同一電圧値のバイアス電圧 $V_{DD}$ が印加されており、それらのソース端子は、それぞれ、加算回路4の入力に接続されている。それぞれのFET $6_1 \sim 6_N$ のゲート端子は、雑音源 $7_1 \sim 7_N$ を介して入力端子3に接続されている。このような接続構成により、それぞれのFET $6_1 \sim 6_N$ は、ドレイン端子に同一値のバイアス電圧 $V_{DD}$ が印加された状態で共通の入力信号 $V_{IN}$ をゲート端子に受けることにより、ドレインーソース間電流 $I_{DS1} \sim I_{DSN}$ を生成し、それらの電流 $I_{DS1} \sim I_{DSN}$ を加算回路4に入力する。なお、FET $6_1 \sim 6_N$ は、ドレインーソース間が導通するための

閾値電圧 $V_{th}$ として0V近傍の値を有している（詳細は後述する）。

[0016] 上記FET $6_1 \sim 6_N$ としては、例えば、GaAs基板に変調ドープヘテロ接合を有する半導体チャネル10をチャネル幅 $W$ で細線状に形成し、その半導体チャネル10上にゲート長 $L_g$ のショットキーゲート11を設けたような半導体装置が用いられる。この半導体チャネルとしては、GaAs層12及びAlGaAs層13がこの順で積層されたAlGaAs/GaAs変調ドープヘテロ接合を採用することができる。図2には、このような構造のFET $6_1 \sim 6_N$ の構造例が示されている。また、AlGaAs層14は、この半導体装置のサブスレッショルドスロープを小さくして理想値に近づけるために設けられる。ただし、FET $6_1 \sim 6_N$ の構成としては、上記構成に限定されず、JFETやMOSFET等の他の様々な構成を採用することもできる。

[0017] 雑音源 $7_1 \sim 7_N$ は、入力端子3から入力された入力信号 $V_{IN}$ に雑音を意図的に付加するための抵抗素子である。このように抵抗素子を雑音源として用いることにより、入力信号 $V_{IN}$ に対して複数の雑音源 $7_1 \sim 7_N$ の間で無相関な熱雑音を付加することができる。また、雑音源 $7_1 \sim 7_N$ を構成する抵抗素子の抵抗値を変更することにより、入力信号 $V_{IN}$ に加える雑音の平均レベルを適宜調整することも可能となる。

[0018] 加算回路4は、FET $6_1 \sim 6_N$ のドレインソース間電流 $I_{DS1} \sim I_{DSN}$ を合成し、合成電流 $I_{OUT}$ に対応する出力信号 $V_{OUT}$ を出力する回路である。図3は、加算回路4の構成の一例を示す回路図である。同図に示すように、加算回路4においては、ドレインソース間電流 $I_{DS1} \sim I_{DSN}$ のそれぞれが抵抗素子を介してオペアンプの反転入力に入力され、そのオペアンプの反転入力と出力との間には帰還抵抗が接続され、オペアンプの非反転入力は接地されている。そして、そのオペアンプの出力電圧が出力信号 $V_{OUT}$ として出力されることにより、ドレインソース間電流 $I_{DS1} \sim I_{DSN}$ が加算された合成電流 $I_{OUT}$ に対応した出力信号 $V_{OUT}$ が取り出される。

[0019] ここで、FET $6_1 \sim 6_N$ は、同一値のバイアス電圧 $V_{DD}$ が印加された際に

、ゲート端子の印加電圧に関して異なる閾値電圧  $V_{th}$  を持つようにそれらの特性が設定されている。このような閾値電圧  $V_{th}$  は、FET  $6_1 \sim 6_N$  間でゲート長  $L_G$  に差を設けるように FET  $6_1 \sim 6_N$  を設計および作製することにより実現される。また、FET  $6_1 \sim 6_N$  間でチャネル幅  $W$  に差を設けるように設定しても良い。ここで言う FET の「閾値電圧  $V_{th}$ 」とは、ノーマリオフ型の FET においてドレインソース間が導通するために必要とされるゲート電圧の値を示す。例えば、所定のバイアス電圧  $V_{DD}$  を印加した際の FET のドレイン電流  $I_{DS}$  のゲート電圧  $V_G$  に対する特性（伝達特性）が図 4 に示すような特性を有する場合には、次のようにして閾値電圧  $V_{th}$  が特定される。すなわち、特性曲線のうちで線形変化している部分を対象に外挿して得られた直線において、ドレイン電流  $I_{DS} = 0$  となるゲート電圧  $V_G$  の値が閾値電圧  $V_{th}$  である。

[0020] なお、FET  $6_1 \sim 6_N$  は、それらの閾値電圧  $V_{th}$  が所定電圧範囲内の等間隔で均等に分布していることが好適である。さらには、閾値電圧  $V_{th}$  の設定間隔  $\Delta V_{th}$  は、入力信号  $V_{IN}$  に含まれるアナログ信号の振幅電圧を  $\Delta V$  とした場合に、下記式（1）；

$$0 < \Delta V_{th} < \Delta V \times 3 \quad \dots (1)$$

を満たすように設定されていることがより好適である。

[0021] また、FET  $6_1 \sim 6_N$  は、サブスレッショルドスロープがより小さく設定される方が、入出力相関が良くなるので好ましい。「サブスレッショルドスロープ」とは、サブスレッショルド領域におけるゲート電圧  $V_G$  に対するドレイン電流  $I_{DS}$  の依存性を表す数値であり、小さい数値であるほどドレイン電流  $I_{DS}$  がゲート電圧  $V_G$  の変化に敏感であることを示している。具体的には、ドレイン電流を下記式（2）；

$$I_{DS} = \exp \{ (V_G - V_{th}) / S \} \quad \dots (2)$$

で表したときの数値  $S$  が、サブスレッショルドスロープである。サブスレッショルドスロープは、チャネル幅  $W$  を細くすること、又は下部障壁層 14（図 2）を設け、チャネル層を薄層化することにより、小さく設定することが



できる。

[0022] 具体的なFETの設計パラメータの例を挙げると、信号再生装置1が7つのFET $6_1 \sim 6_7$ によって構成される場合には、それぞれのFET $6_1 \sim 6_7$ のゲート長 $L_G$ 及びチャネル幅 $W$ が、 $(L_G, W) = (123\text{nm}, 290\text{nm}), (164\text{nm}, 330\text{nm}), (164\text{nm}, 320\text{nm}), (655\text{nm}, 660\text{nm}), (650\text{nm}, 660\text{nm}), (690\text{nm}, 660\text{nm}), (100\text{nm}, 400\text{nm})$ と設定される。このように設定されたFET $6_1 \sim 6_7$ のドレイン電流 $I_{DS}$ のゲート電圧 $V_G$ に対する特性曲線 $S_1 \sim S_7$ を図5に示す。このように、バイアス電圧 $V_{DD} = 0.1\text{V}$ の場合の各FET $6_1 \sim 6_7$ のそれぞれの閾値電圧は、 $0.080\text{V}, 0.082\text{V}, -0.091\text{V}, -0.047\text{V}, -0.064\text{V}, -0.140\text{V}, -0.180\text{V}$ となり、一部を除いてはほぼ等間隔で分散して分布している。

[0023] また、FET $6_1 \sim 6_N$ のいずれかの閾値電圧 $V_{th}$ が、入力信号 $V_{IN}$ （オフセット電圧 $V_B$ 、振幅電圧 $\Delta V$ ）の電圧値が閾値電圧 $V_{th}$ よりも小さくなるように、すなわち、入力信号 $V_{IN}$ がいずれかのFET $6_1 \sim 6_N$ のサブスレッシヨルド領域においてゲート端子に印加されるように設定されていることが好適である（図4）。このようにすることで、FET $6_1 \sim 6_N$ のゲート端子に入力信号 $V_{IN}$ を印加する際にFET $6_1 \sim 6_N$ のうちのいずれかのFETをサブスレッシヨルド領域で動作させることができる。

[0024] 以上説明した信号再生装置1によれば、ドレイン端子に同一電圧値のバイアス電圧 $V_{DD}$ が印加された複数のFET $6_1 \sim 6_N$ のゲート端子に、雑音成分を含む入力信号 $V_{IN}$ が印加され、それらのFET $6_1 \sim 6_N$ のドレインソース間電流 $I_{DS1} \sim I_{DSN}$ が加算回路4によって合成されて出力される。このとき、ゲート電圧 $V_G$ に関する閾値電圧 $V_{th}$ が複数のFET $6_1 \sim 6_N$ 間で異なる電圧値に設定されているので、入力信号 $V_{IN}$ の広範囲の入力電圧値に対していずれかのFET $6_1 \sim 6_N$ をサブスレッシヨルド領域で動作させることができるので、様々な電圧値の入力信号 $V_{IN}$ に対してその検出感度を上昇させる現象である確率共鳴現象を発現させることができる。その結果、FET $6_1 \sim 6_N$ および雑音源 $7_1 \sim 7_N$ を含む電流源回路 $5_1 \sim 5_N$ 等に関する事前の回路パ

ラメータの調整無しに、様々なオフセット電圧、雑音電圧が付加された入力信号 $V_{IN}$ の中から入力信号のみを強調して出力させることが可能になる。

[0025] 図6には、オフセット電圧 $V_B = -0.3$  Vの場合の各FET $6_1 \sim 6_7$ における雑音電圧と入出力相関係数との関係を示している。各曲線 $C_1 \sim C_7$ は、入力信号 $V_{IN}$ と各FET $6_1 \sim 6_7$ の出力電流 $I_{DS1} \sim I_{DS7}$ との相関を示しており、同一のオフセット電圧 $V_B$ で雑音電圧が変化した場合に相関係数のピークが7つのFET $6_1 \sim 6_7$ で広い範囲に分散していることがわかる。

[0026] また、図7は、オフセット電圧 $V_B$ を様々に変化させた場合の信号再生装置1における入力信号 $V_{IN}$ 及び出力信号 $V_{OUT}$ から求められる入出力相関係数と雑音電圧との関係を示すグラフであり、図13は、特開2009-212551号公報に記載された従来の信号再生装置における入出力相関係数と雑音電圧との関係を示すグラフである。この従来の信号再生装置においては、7つのFETの閾値電圧 $V_{th}$ が同一値に設定されている。これらの結果から、従来装置においては、オフセット電圧 $V_B$ が変化すると雑音電圧に対する入出力相関係数のピークが変化している。具体的には、オフセット電圧が負であってその絶対値が大きい場合にはピークが高雑音側にシフトし、低雑音側ではほとんど応答しない。一方、本実施形態においては、入出力相関係数のピークは消失し、全体的に平坦化され応答ピークの幅が広がった応答特性を示しており、さらに、応答特性はオフセット電圧 $V_B$ にほとんど依存しない。つまり、様々なオフセット電圧 $V_B$ や雑音電圧に対して入力信号 $V_{IN}$ の検出感度を維持することができる。

[0027] さらに、図8は、オフセット電圧 $V_B = -0.3$  Vの場合の雑音電圧とSNR値との関係を示すグラフである。同図中、曲線 $SN_1$ は本実施形態の信号再生装置1における関係、曲線 $SN_2$ は特開2009-212551号公報に記載された従来の信号再生装置における関係、曲線 $SN_3$ は波形を繰り返しサンプリングし、その波形を加算平均化する処理を7回施した場合の関係、曲線 $SN_4$ は線形増幅器で増幅のみ行った場合の関係を示している。この結果から、信号再生装置1は、従来のサンプリングおよび平均化処理による特性より

も、広い雑音域で5 dB以上高いSNRを示す。また、従来装置に比較して広い雑音域でSNRが高くなっており、特に低雑音領域では応答特性が著しく改善されていることがわかる。

[0028] また、FET $6_1 \sim 6_N$ は、閾値電圧 $V_{th}$ の設定間隔が式(1)を満たすように設定されている。こうすることで、様々なオフセット電圧 $V_B$ が付加された入力電圧値 $V_{IN}$ に関して、入力信号 $V_{IN}$ と出力信号 $V_{OUT}$ との相関値のオフセット電圧 $V_B$ に対する依存性を効果的に低減することができる。

[0029] 例えば、図9に示すような入力信号 $V_{IN}$ が入力された場合を想定する。この場合、FET $6_1 \sim 6_N$ のうち少なくとも2つのFETの閾値電圧 $V_{thi}$ 、 $V_{thj}$  ( $V_{thi} > V_{thj}$ 、 $i, j$ は自然数)が、下記式(3)；

$$V_{thi} < V_{max} + V_{rms},$$

$$V_{thj} > V_{min} - V_{rms} \dots (3)$$

の条件を満たせば、入力信号が変化してもいずれかのFETをサブスレッシヨルド領域で動作させることができるので、入力信号 $V_{IN}$ と出力信号 $V_{OUT}$ との相関を大きくすることができることがわかる。ここで、 $V_{max}$ は入力信号 $V_{IN}$ の最大値、 $V_{min}$ は入力信号 $V_{IN}$ の最小値、 $V_{rms}$ は雑音のRMS値である。さらに、全てのFET $6_1 \sim 6_N$ の閾値電圧のなかの最大値及び最小値が式(3)の条件を満たすことがより望ましいこともわかる。従って、確立共鳴のピーク近傍を想定し入力信号の振幅 $\Delta V$ が $V_{rms}$ と同程度となるように雑音を設定された場合、

$$\Delta V_{th} = V_{thi} - V_{thj} < 3 \times \Delta V \dots (4)$$

を満たすように2つのFETの閾値電圧の間隔が設定されれば、オフセット電圧 $V_B$ が様々に変化した場合であっても、FET $6_1 \sim 6_N$ のうち少なくとも2つのFETの閾値電圧 $V_{th}$ が式(3)を満たしやすくなる。その結果、式(1)を満たせば安定して入力信号 $V_{IN}$ と出力信号 $V_{OUT}$ との相関を高めることができる。

[0030] さらに、FET $6_1 \sim 6_N$ が、ゲート長 $L_G$ 又はチャネル幅 $W$ に差を設けることにより、異なる閾値電圧 $V_{th}$ を有するように設定されているので、一連の

半導体集積化プロセスにおいて容易に閾値の異なる複数のFETを作製することができる。

[0031] なお、本発明は、前述した実施形態に限定されるものではない。例えば、図10に示す本発明の変形例である信号再生装置101のように、入力端子3とFET $6_1 \sim 6_N$ のゲート端子との間にオフセット付加回路（電圧源回路）8を設け、オフセット付加回路8によって入力信号 $V_{IN}$ にオフセット電圧を付加して、いずれかのFET $6_1 \sim 6_N$ のゲートソース間電圧 $V_G$ がサブスレッシヨルド領域になるようにしてもよい。また、図11に示す本発明の変形例である信号再生装置201のように、FET $6_1 \sim 6_N$ のドレイン端子のそれぞれに雑音源 $9_1 \sim 9_N$ を接続し、雑音源 $9_1 \sim 9_N$ によってドレイン端子に付加されるバイアス電圧 $V_{DD}$ に対して雑音を重畳させてもよい。このようにしても、FET $6_1 \sim 6_N$ のゲートドレイン間の相対電位に無相関な雑音が付加され、雑音源 $9_1 \sim 9_N$ を構成する抵抗素子の抵抗値を変更することにより入出力相関係数、すなわちSNRの最適化が容易になり、入力信号の検出感度を大きくすることができる。

[0032] また、上述した信号再生装置1, 101, 201では、FET $6_1 \sim 6_N$ が同一値のバイアス電圧 $V_{DD}$ が印加された際にゲート端子の印加電圧に関して異なる閾値電圧 $V_{th}$ を持つように設定されることにより、FET $6_1 \sim 6_N$ が入力電圧 $V_{IN}$ に対して異なるドレイン電流 $I_{DS}$ を生成するようにされていた。これに対して、図12に示す本発明の変形例である信号再生装置301のように、FET $306_1 \sim 306_N$ のそれぞれのゲート端子に入力される入力信号 $V_{IN}$ に対して、互いに異なるオフセット電圧が付加されることにより、FET $306_1 \sim 306_N$ が入力電圧 $V_{IN}$ に対して異なるドレイン電流 $I_{DS}$ を生成するようにされてもよい。詳細には、FET $306_1 \sim 306_N$ は、同一値のバイアス電圧 $V_{DD}$ が印加された際にゲート端子の印加電圧に関して同一の閾値電圧 $V_{th}$ を持つように設定されており、雑音源 $7_1 \sim 7_N$ とFET $306_1 \sim 306_N$ のゲート端子との間には、それぞれ、異なるオフセット電圧 $V_{OFF}$ を印加することが可能なオフセット電圧源 $308_1 \sim 308_N$ が接続されて

いる。このような構成によっても、広範囲の入力電圧値に対していずれかの電界効果トランジスタをサブスレッショルド領域で動作させることができる。この場合、 $FET306_1 \sim 306_N$ のうち少なくとも2つのFETに印加されるオフセット電圧 $V_{OFFi}$ 、 $V_{OFFj}$  ( $V_{OFFi} > V_{OFFj}$ 、 $i, j$ は自然数)が、下記式(5)；

$$\begin{aligned} V_{th} - V_{OFFj} &< V_{max} + V_{rms}, \\ V_{th} - V_{OFFi} &> V_{min} - V_{rms} \dots (5) \end{aligned}$$

の条件を満たせば、入力信号が変化してもいずれかのFETをサブスレッショルド領域で動作させることができるので、入力信号 $V_{IN}$ と出力信号 $V_{OUT}$ との相関を大きくすることができることがわかる。ここで、必ずしも全てのFET $306_1 \sim 306_N$ にオフセット電圧源を接続する必要は無く、最低限2つのFETに接続されていればよい。

[0033] また、 $FET6_1 \sim 6_N$ が異なる閾値電圧 $V_{th}$ を有するように設定するために、ゲート絶縁膜(接合形FETの場合は障壁層)の厚さを変化させても良いし、チャネル不純物濃度(接合形FETの場合はキャリア供給層の不純物濃度)を変化させても良い。

[0034] ここで、複数の電界効果トランジスタの閾値電圧の設定間隔が、入力信号の振幅の3倍よりも小さい、ことが好ましい。こうすれば、様々なオフセット電圧が付加された入力電圧値に関して、入力信号と出力信号との相関値のオフセット電圧に対する依存性を低減することができる。

[0035] また、複数の電界効果トランジスタは、ゲート長に差を設けることにより、異なる閾値電圧を有するように設定されている、ことが好ましい。この場合、一連の集積化プロセスのなかで容易に閾値の異なる複数の電界効果トランジスタを作製することができる。

[0036] さらに、複数の電界効果トランジスタは、チャネル幅に差を設けることにより、異なる閾値電圧を有するように設定されている、ことも好ましい。この場合も、一連の集積化プロセスのなかで容易に閾値の異なる複数の電界効果トランジスタを作製することができる。

### 産業上の利用可能性

[0037] 本発明は、雑音を含む入力信号を再生するための信号再生装置を使用用途とし、入力信号の振幅やオフセットが変化しても良好な応答特性を安定して得ることを可能にするものである。

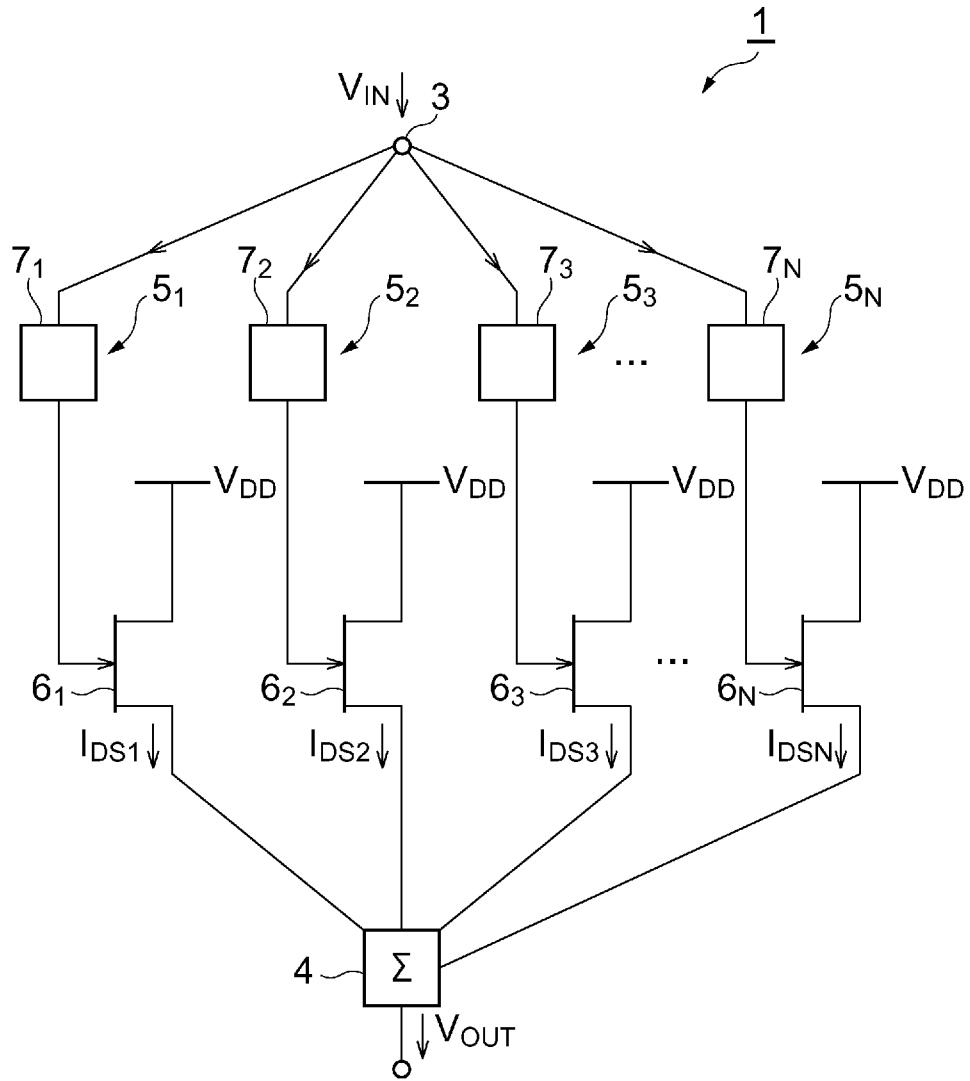
### 符号の説明

[0038] 1, 101, 201, 301…信号再生装置、4…加算回路、 $6_1 \sim 6_N$ …FET（電界効果トランジスタ）、 $I_{DS}$ ,  $I_{DS1} \sim I_{DSN}$ …ドレイン電流、 $L_G$ …ゲート長、 $V_{DD}$ …バイアス電圧、 $V_{th}$ …閾値電圧、 $W$ …チャネル幅。

## 請求の範囲

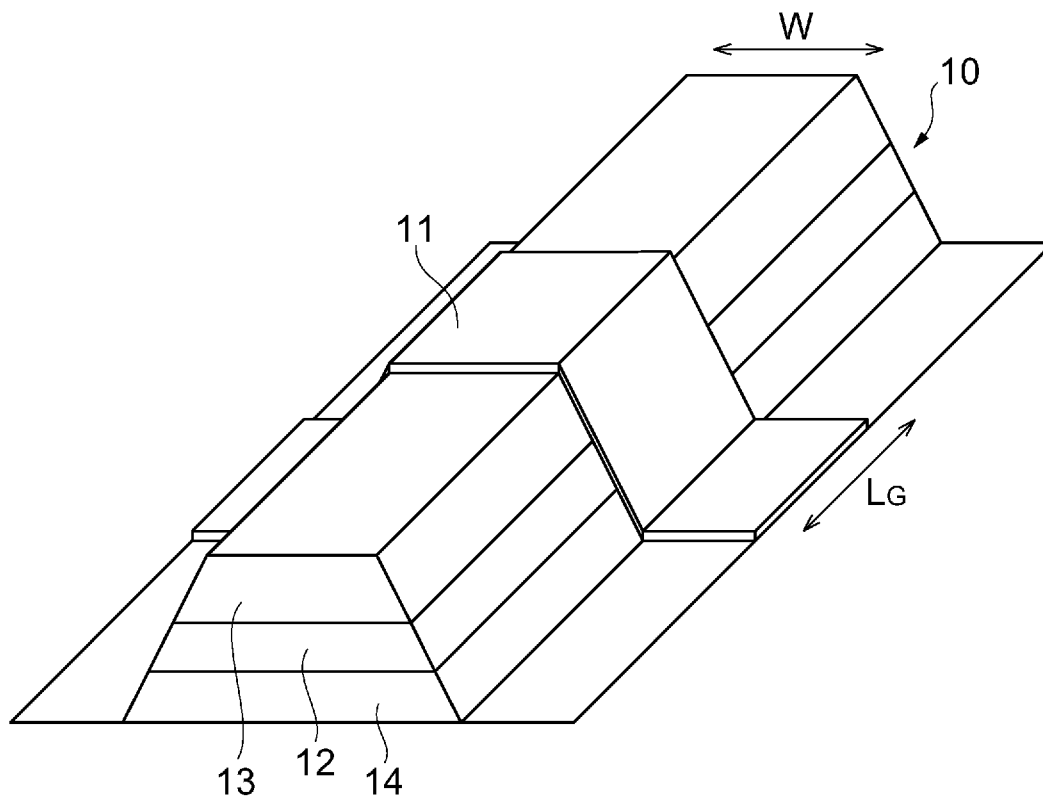
- [請求項1] 共通の入力信号をゲート端子に受け、ドレイン端子にバイアス電圧が印加される複数の電界効果トランジスタと、
- 前記複数の電界効果トランジスタのソース端子に接続されて、前記複数の電界効果トランジスタの前記ドレイン端子と前記ソース端子との間の電流を合成して出力する加算回路とを備え、
- 前記複数の電界効果トランジスタは、同一値の前記バイアス電圧が印加された際に、前記入力信号に対して前記ドレイン端子と前記ソース端子との間に異なる電流を生成するように設定されている、
- ことを特徴とする信号再生装置。
- [請求項2] 前記複数の電界効果トランジスタは、同一値の前記バイアス電圧が印加された際に前記ゲート端子の印加電圧に関して異なる閾値電圧を有するように設定されている、
- ことを特徴とする請求項1記載の信号再生装置。
- [請求項3] 前記複数の電界効果トランジスタの閾値電圧の設定間隔が、前記入力信号の振幅の3倍よりも小さい、
- ことを特徴とする請求項2記載の信号再生装置。
- [請求項4] 前記複数の電界効果トランジスタは、ゲート長に差を設けることにより、異なる閾値電圧を有するように設定されている、
- ことを特徴とする請求項2又は3記載の信号再生装置。
- [請求項5] 前記複数の電界効果トランジスタは、チャネル幅に差を設けることにより、異なる閾値電圧を有するように設定されている、
- ことを特徴とする請求項2～4のいずれか1項に記載の信号再生装置。
- [請求項6] 前記複数の電界効果トランジスタのそれぞれの前記ゲート端子に入力される前記入力信号に対して、互いに異なるオフセット電圧が付加可能に構成されている、
- ことを特徴とする請求項1記載の信号再生装置。

[図1]

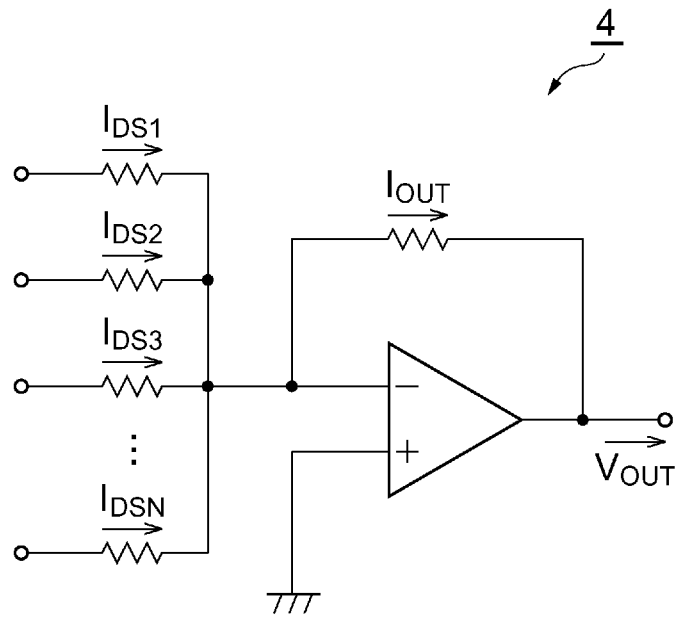




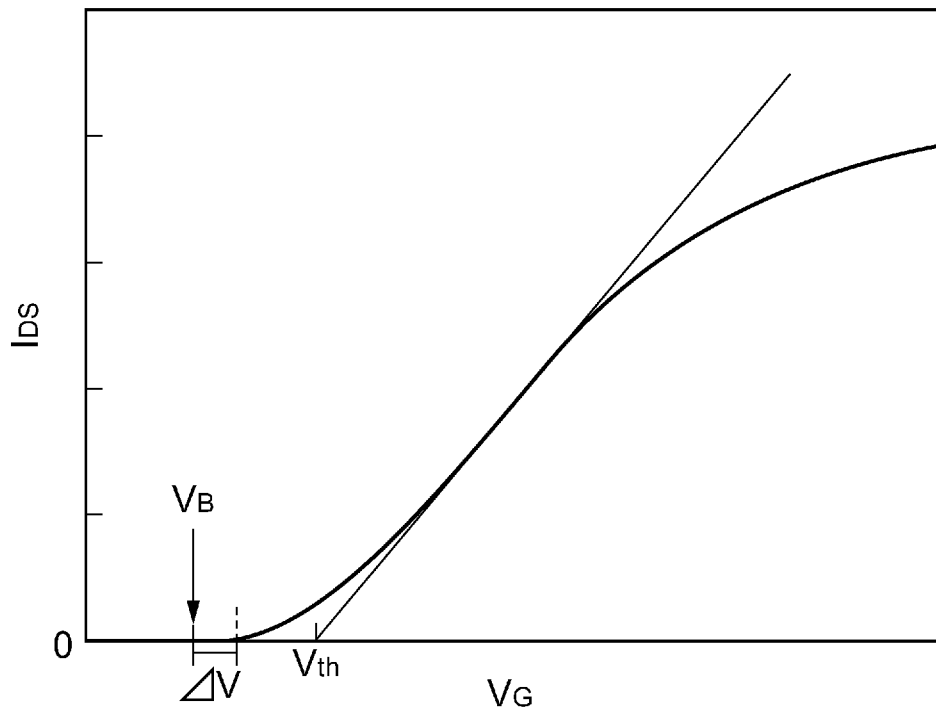
[図2]



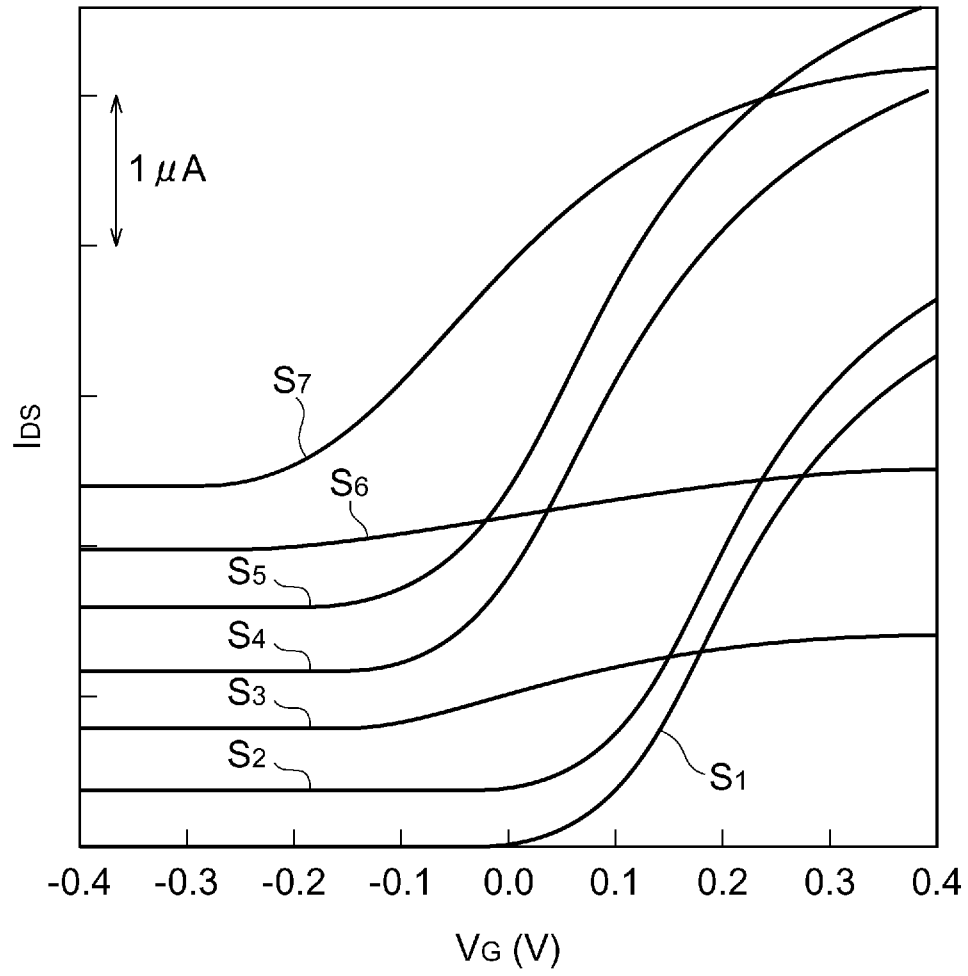
[圖3]



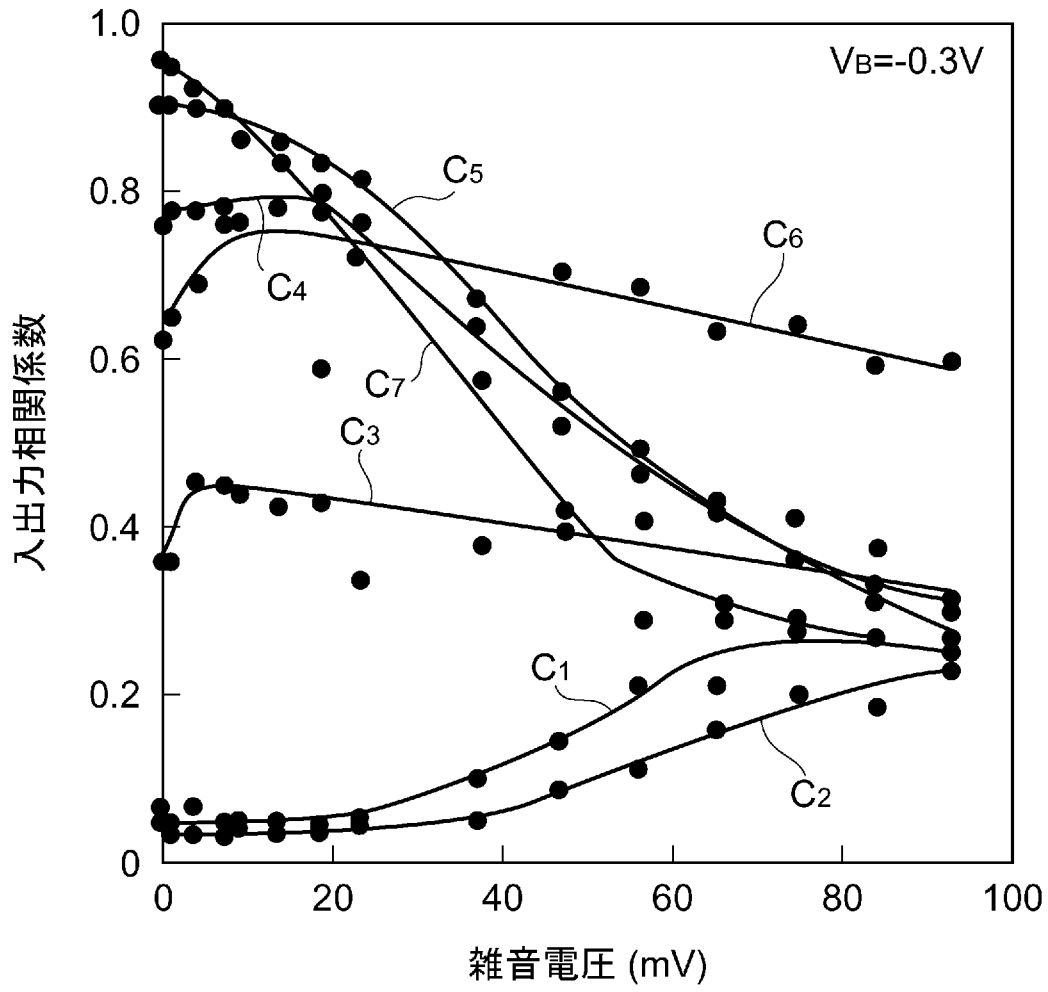
[圖4]



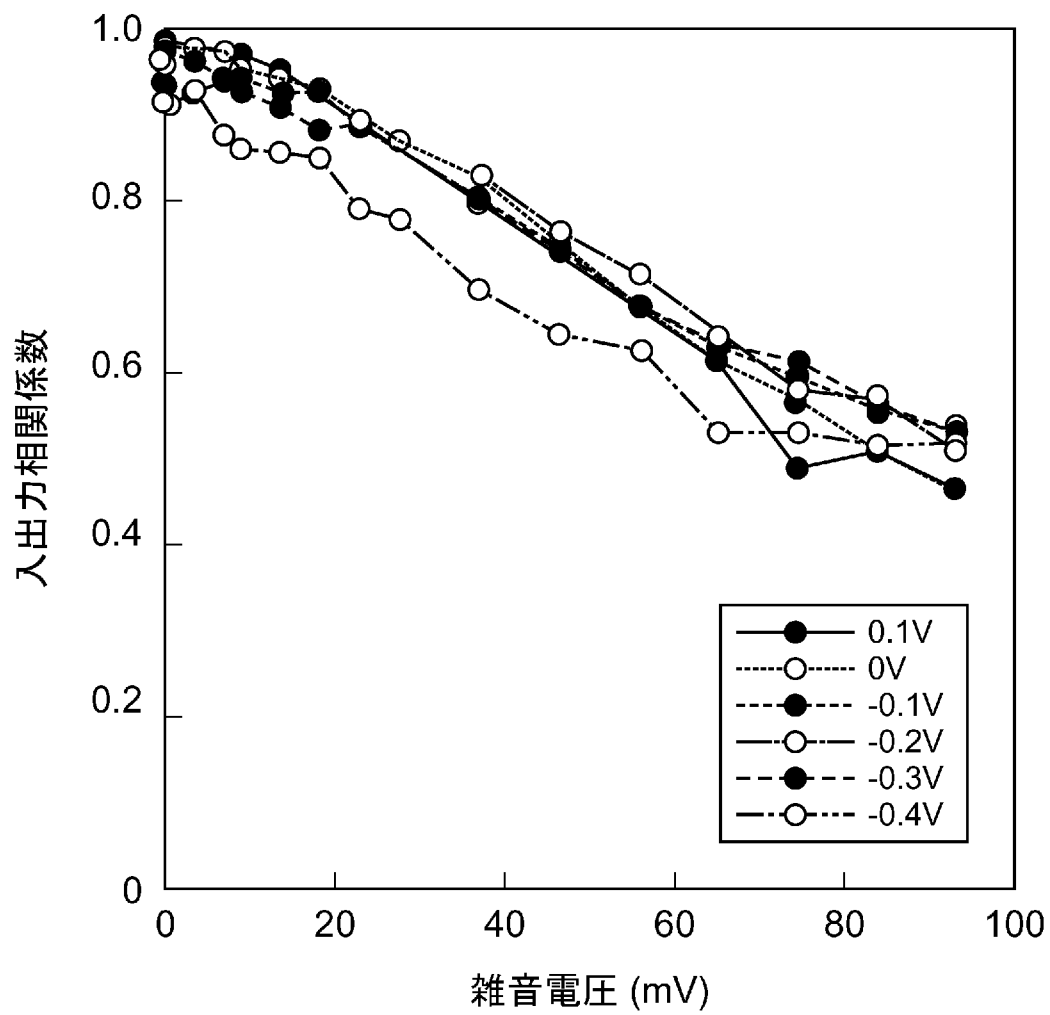
[圖5]



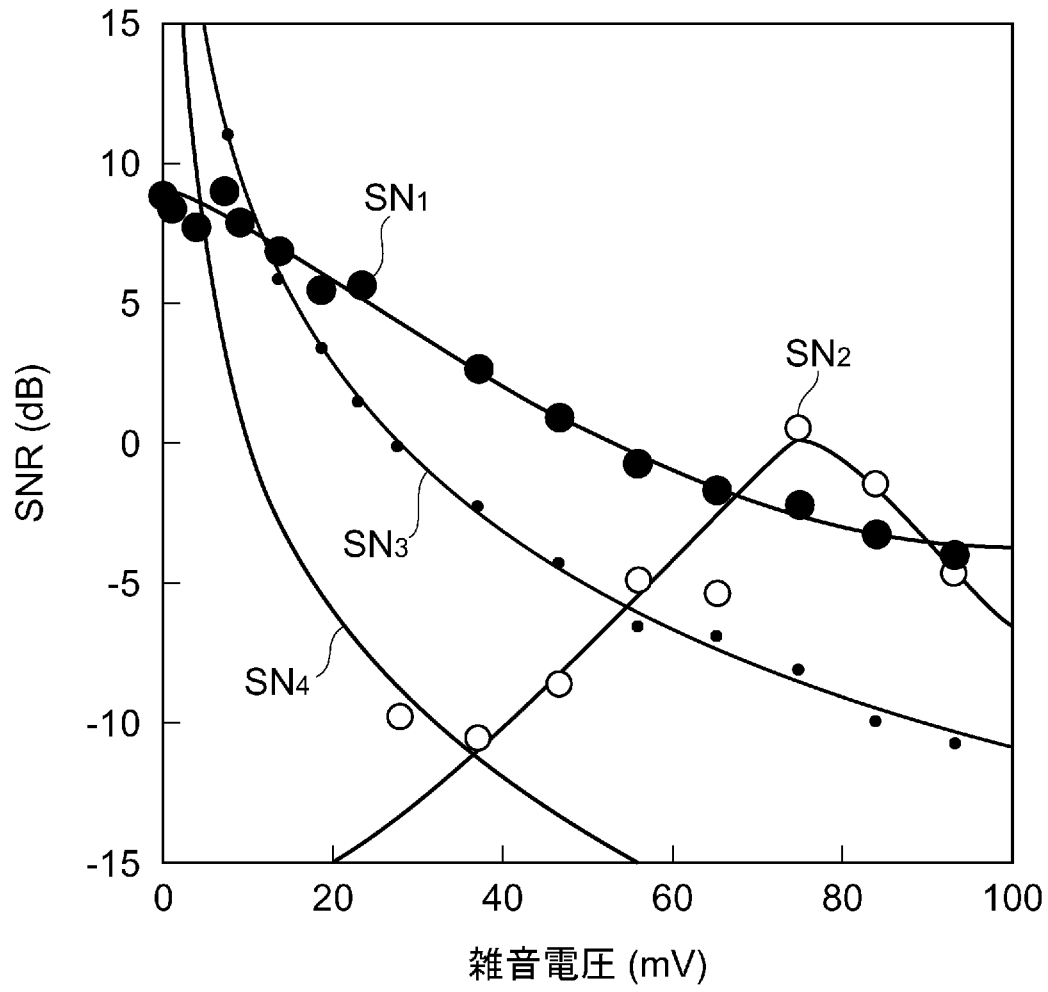
[図6]



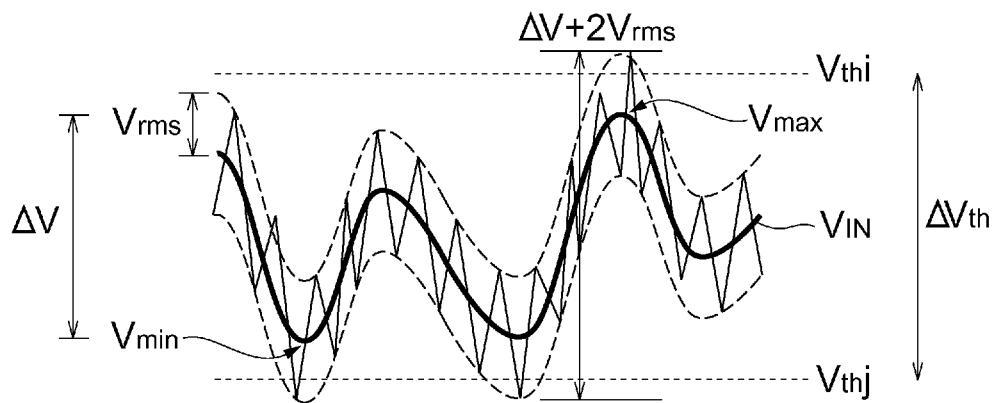
[図7]



[図8]

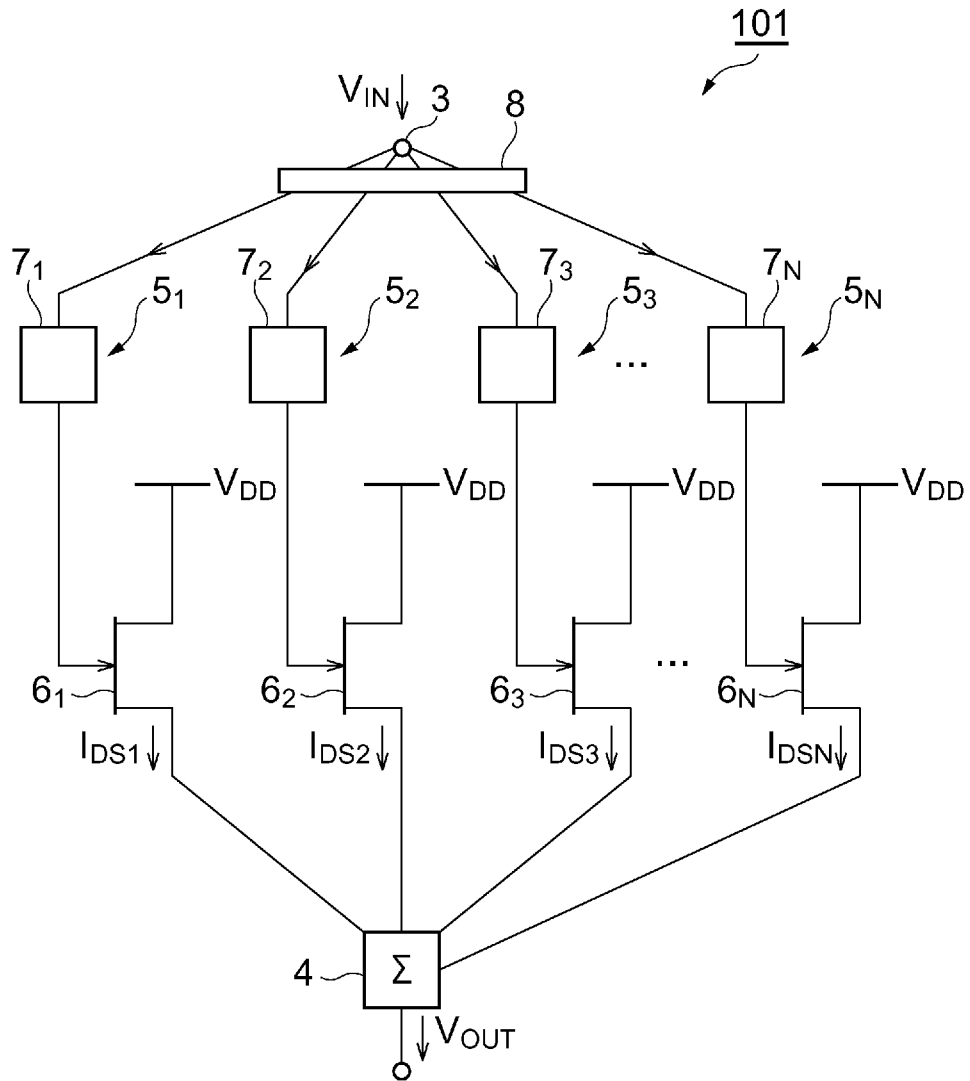


[図9]

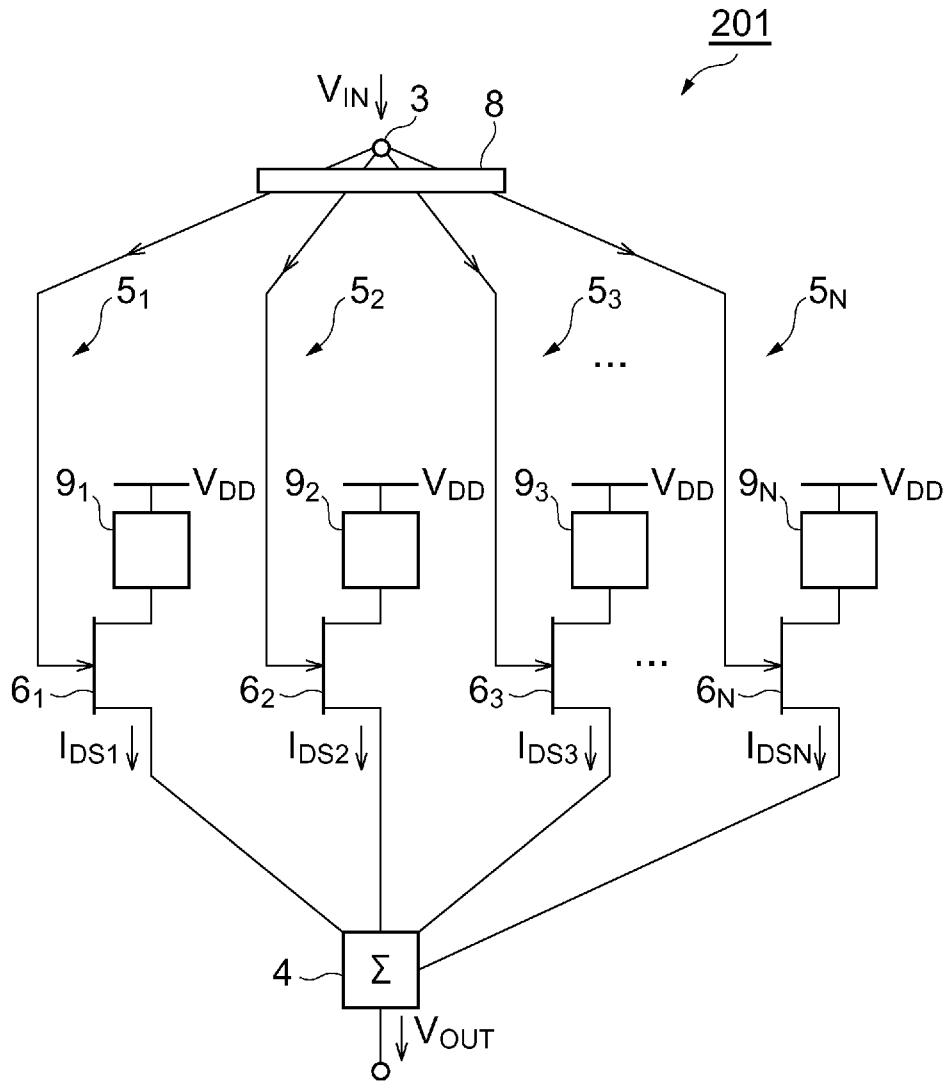




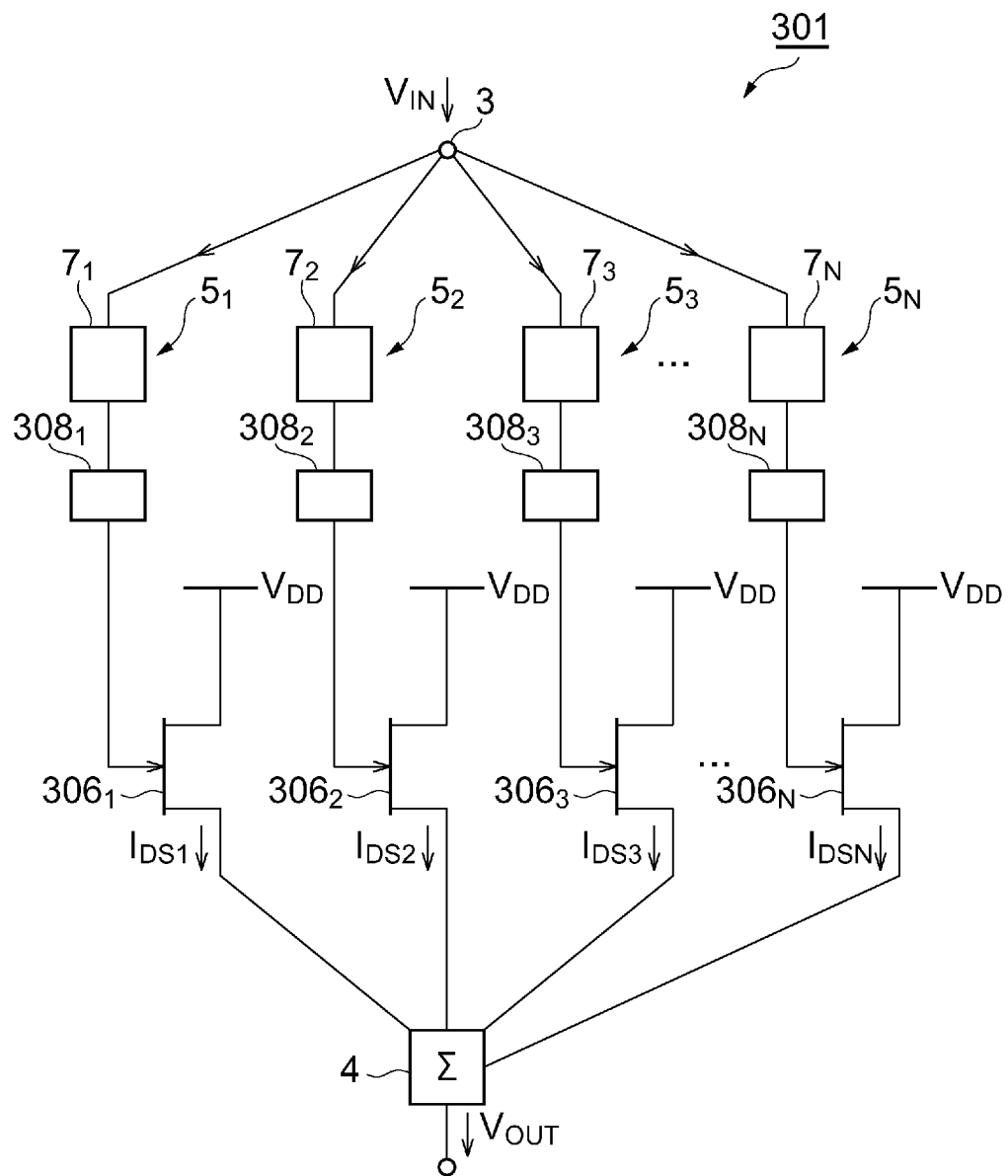
[圖10]



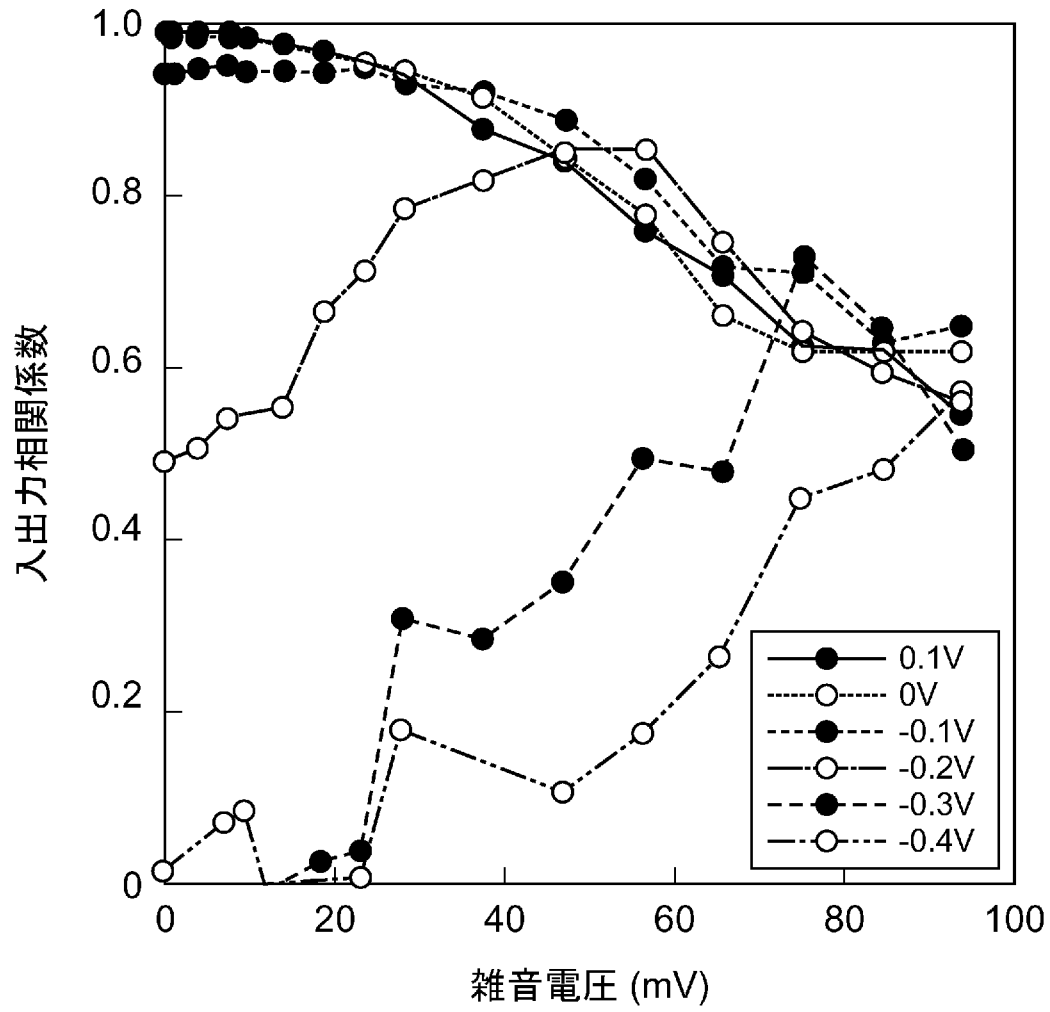
[図11]



[図12]



[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/071161

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8232(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,  
H01L27/088(2006.01)i, H01L27/095(2006.01)i, H03K17/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8232, H01L21/8234, H01L27/06, H01L27/088, H01L27/095, H03K17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-212551 A (Japan Science and Technology Agency), 17 September 2009 (17.09.2009), paragraphs [0011] to [0024]; fig. 1 to 6 & WO 2009/107263 A1	1-6
A	JP 2002-221546 A (Nippon Telegraph And Telephone Corp.), 09 August 2002 (09.08.2002), entire text; all drawings (Family: none)	1-6
A	JP 2-113494 A (Hitachi, Ltd.), 25 April 1990 (25.04.1990), entire text; all drawings & US 5229623 A & EP 364987 A2 & DE 68926525 C	1-6

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
16 February, 2011 (16.02.11)

Date of mailing of the international search report  
01 March, 2011 (01.03.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/071161

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-251028 A (Toshiba Mobile Display Co., Ltd.), 29 October 2009 (29.10.2009), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8232(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/095(2006.01)i, H03K17/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8232, H01L21/8234, H01L27/06, H01L27/088, H01L27/095, H03K17/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-212551 A (独立行政法人科学技術振興機構) 2009.09.17, 段落【0011】 - 【0024】, 図 1-6 & WO 2009/107263 A1	1-6
A	JP 2002-221546 A (日本電信電話株式会社) 2002.08.09, 全文, 全図 (ファミリーなし)	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 16.02.2011	国際調査報告の発送日 01.03.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小森 重樹 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2-113494 A (株式会社日立製作所) 1990. 04. 25, 全文, 全図 & US 5229623 A & EP 364987 A2 & DE 68926525 C	1-6
A	JP 2009-251028 A (東芝モバイルディスプレイ株式会社) 2009. 10. 29, 全文, 全図 (ファミリーなし)	1-6