

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年8月11日(11.08.2011)

PCT

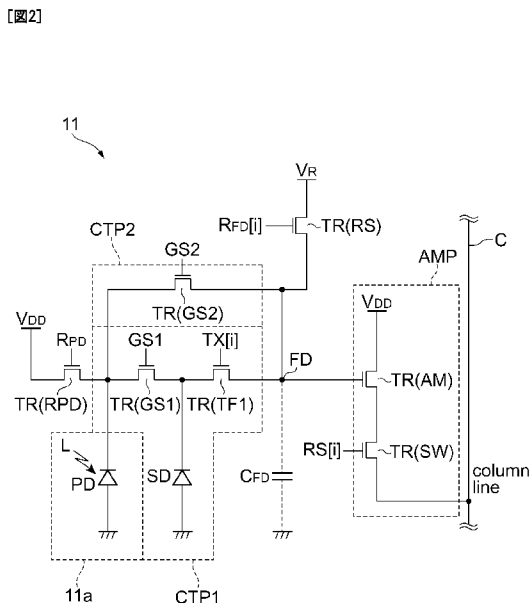
(10) 国際公開番号
WO 2011/096340 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H04N 5/355 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2011/051813
- (22) 国際出願日: 2011年1月28日(28.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-024595 2010年2月5日(05.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷836 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二(KAWAHITO Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 安富 啓太(YASUTOMI Keita) [JP/JP]; 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学創造科学技術大学院内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 MY PLAZA (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE, METHOD OF READING PIXEL SIGNAL, AND PIXEL

(54) 発明の名称: 固体撮像装置、画素信号を読み出す方法、画素



(57) Abstract: In a pixel (11), a floating semiconductor region (FD) accumulates electrical charges from a photoelectric transducer (PD). A first charge transferring path (CTP1) extends from the photoelectric transducer (PD) to the floating semiconductor region (FD) via a storage diode (SD). A second charge transferring path (CTP2) extends from the photoelectric transducer (PD) to the floating semiconductor region. An output portion (AMP) provides signals according to the potential at the floating semiconductor region (FD). The first charge transferring path (CTP) includes a first shutter switch (TR(GS1)) that controls transferring of the electrical charges from the photoelectric transducer (PD), the storage diode (SD) that accumulates the electrical charges from the photoelectric transducer (PD), and a transferring switch (TR(TF1)) that controls transferring of the electrical charges from the storage diode (SD) to the floating semiconductor region (PD). The second charge transferring path (CTP) includes a shutter switch (TR(GS2)) that controls transferring of the electrical charges from the photoelectric transducer (PD).

(57) 要約:

[続葉有]

WO 2011/096340 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

画素 11 では、浮遊半導体領域 FD は光電変換素子 PD からの電荷を蓄積する。第 1 の電荷転送経路 CTP1 は光電変換素子 PD から蓄積ダイオード SD を介して浮遊半導体領域 FD に至る。第 2 の電荷転送経路 CTP2 は、光電変換素子 PD から前記浮遊半導体領域に至る。出力部 AMP は、浮遊半導体領域 FD における電位に応じた信号を提供する。第 1 の電荷転送経路 CTP は、光電変換素子 PD からの電荷の転送を制御する第 1 のシャッタースイッチ TR (GS1) と、光電変換素子 PD からの電荷を蓄積する蓄積ダイオード SD と、蓄積ダイオード SD から浮遊半導体領域 PD への電荷転送を制御する転送スイッチ TR (TF1) とを含み、第 2 の電荷転送経路 CTP は光電変換素子 PD からの電荷の転送を制御するシャッタースイッチ TR (GS2) を含む。

明 細 書

発明の名称： 固体撮像装置、画素信号を読み出す方法、画素 技術分野

[0001] 本発明は、固体撮像装置、画素信号を読み出す方法、及び画素に関する。

背景技術

[0002] 特許文献1のイメージセンサは、グローバル（全画素同時）電子シャッタ、リセットノイズ除去の機能を有する。この全画素同時電子シャッタ機能を有するイメージセンサでは、イメージセンサの一部にCCD構造が用いられている。また、電荷を保持するために埋め込み型のMOSキャパシタを用いて低暗電流を提供している。

[0003] 特許文献2及び3では、CMOSイメージセンサが記載されている。これらのイメージセンサは、CCD構造を用いずに、電荷を保持するために埋め込み型蓄積ダイオードを使用する。このCMOSイメージセンサでは、シャッタゲートの制御により、フォトダイオードと蓄積ダイオードとの2つのダイオードで電荷がシェアされる。この電荷のシェアにより、フォトダイオードで発生した電荷の一部が蓄積ダイオードに移動する動作を利用して電子シャッタ動作を提供している。特許文献4に記載されたCMOSイメージセンサのための画素の光検出器の領域は、そのセンタに対して対称性を有するように配置される。

[0004] 非特許文献1のMOSイメージセンサでは、画素内で合成を行い、区分的線形の広ダイナミックレンジを実現している。また、非特許文献2のMOSイメージセンサでは、線形応答／対数応答を組み合わせることで広ダイナミックレンジを実現している。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-111590号公報

特許文献2：特開2008-103647号公報

特許文献3：米国特許7361877号

特許文献4：米国特許5986297号

非特許文献

[0006] 非特許文献1：T. Yamada, S. Kasuga, T. Murata, Y. Kato, “A 140dB-Dynamic-Range MOSImage Sensor with In-Pixel Multiple-Exposure Synthesis”, IEEE InternationalSolid-State Circuits Conference, pp. 50 - 51, February 2008.

非特許文献2：N. Bock, A. Krymski, A. Sarwari et al., “A Wide-VGA CMOS Image Sensor with Global Shutter and Extended Dynamic Range,” IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors, pp.222 -225, Jun. 2005.

発明の概要

発明が解決しようとする課題

[0007] 特許文献3における画素では、フォトダイオードから蓄積ダイオードに電荷を完全に転送するために、2つの埋め込みダイオードの空乏化電位（電位井戸）の差を大きくすることが求められる。蓄積ダイオードに蓄積される電荷容量を十分な大きくするために、特許文献3の画素では高い電源電圧を用いる。また、画素内のフォトダイオードで発生した電荷をフォトダイオードと蓄積ダイオードとでシェアし、その際に蓄積ダイオードに移動した電荷を利用して電子シャッタ機能を提供している。これ故に、光で発生した電荷の一部がフォトダイオードに残留して、この残留電荷がドレインに排出される。これは、CMOSイメージセンサの感度を低下させる。

[0008] また、特許文献2では、低コストで製造可能で、信号電荷の完全転送を実現可能な半導体素子を提供し、更には、この半導体素子を画素として複数個配列して、高い空間解像度を有する固体撮像装置を提供する。

[0009] 特許文献1は、ブルーミング現象や疑似ブルーミング現象により生じる不要電荷の影響を抑制することを目的とする。特許文献1の画素は、ゲート下のn型埋め込み層のみを用いて、電荷の蓄積を行うので、このn型埋め込み

層の不純物密度を十分に高くする必要がある。更に、n型埋め込み層の表面をホールで満たして、そのピニング効果によって暗電流を低減させる。このために、ゲートに大きな負電圧を印加する。これは、画素アレイの周辺回路に負担となる。

[0010] 特許文献1では、CCD構造を利用するイメージセンサにおいてグローバル電子シャッタ機能が提供されるけれども、CMOSイメージセンサにおいては、ローリングシャッタ動作が基本である。これ故に、グローバル電子シャッタ機能を持つイメージセンサが求められている。さらに、CMOSイメージセンサにおいてグローバル電子シャッタとその高性能化には強い要求がある。本発明は、このような事情を鑑みて為されたものである。

[0011] 本発明は、多重化されたグローバルシャッタの動作が可能な固体撮像装置を提供することを目的とし、また、アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法を提供することを目的とし、さらに、多重化されたシャッタの動作が可能な画素を提供することを目的とする。

課題を解決するための手段

[0012] 本発明の一側面に係る固体撮像装置は、(a)アレイ状に配列された複数の画素を含む画素アレイと、(b)前記画素を制御するための第1、第2、第3の制御信号を生成する制御回路と、(c)前記画素アレイからの第1及び第2の画素信号を一フレームにおいて読み出す読出回路と、(d)前記読出回路からの信号を処理する信号処理部とを備える。各画素の画素回路は、受けた光から電気信号を生成する光電変換素子と、前記光電変換素子からの電荷を蓄積する浮遊半導体領域と、前記光電変換素子から前記浮遊半導体領域に至る第1の電荷転送経路と、前記光電変換素子から前記浮遊半導体領域に至る第2の電荷転送経路と、前記浮遊半導体領域における電位に応じた信号を提供する出力部と、を含む。前記第1及び第2の電荷転送経路の一方は、前記第1の制御信号に応答して前記光電変換素子からの電荷の転送を制御する第1のシャッタースイッチと、前記光電変換素子からの電荷を蓄積する第1の蓄積ダイオードと、前記第2の制御信号に応答して前記第1の蓄積ダ

イオードから前記浮遊半導体領域への電荷転送を制御する第1の転送スイッチと、を含む。前記第1及び第2の電荷転送経路の他方は、前記第3の制御信号に応答して前記光電変換素子からの電荷の転送を制御する第2のシャッタースイッチを含む。前記第1の画素信号は、前記第1の電荷転送経路を介して前記浮遊半導体領域に転送された第1の転送電荷に対応する。前記第2の画素信号は、前記第2の電荷転送経路を介して前記浮遊半導体領域に転送された第2の転送電荷に対応する。

[0013] この固体撮像装置によれば、各画素は、光電変換素子から浮遊半導体領域に至る第1及び第2の電荷転送経路を有し、第1の電荷転送経路は第2の電荷転送経路と異なる。例えば、第1及び第2の電荷転送経路は、それぞれ、第1及び第2のシャッタースイッチを含む。一方の転送経路において、光電変換素子からの電荷は第1の蓄積ダイオードに一時的に蓄積されることができる。これ故に、個々の転送経路上のシャッタースイッチは、電荷の転送に関して互いに干渉することなく、画素アレイにおいて多重化されたグローバルシャッターの動作を可能にする。

[0014] 画素の出力部は、浮遊半導体領域における電位に応じた信号を提供する。出力部は、第1の電荷転送経路を介して浮遊半導体領域に転送された第1の転送電荷に応答して第1の画素信号を提供し、第2の電荷転送経路を介して浮遊半導体領域に転送された第2の転送電荷に応答して第1の画素信号を提供する。読出回路は第1及び第2の画素信号を別々に受ける。信号処理部は、読出回路からの信号に高機能化のための処理を施すことができる。

[0015] 本発明の別の側面に係る発明は、アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法である。該方法は、(a)前記画素アレイにおける画素の各々における光電変換素子を用いてフレーム期間内の第1の蓄積期間に第1の電荷蓄積を行い、(b)前記第1の電荷蓄積における電荷を前記画素における第1の電荷転送経路を介して前記画素における浮遊半導体領域に転送するために、該電荷を前記第1の電荷転送経路内の第1の蓄積ダイオードに一時的に蓄積し、(c)前記光電変換素子を用いて前記

フレーム期間内の第2の蓄積期間に第2の電荷蓄積を行い、(d)前記画素における第2の電荷転送経路を介して前記第2の電荷蓄積における電荷を前記浮遊半導体領域に転送すると共に、前記浮遊半導体領域における転送電荷量に応じた画素信号をカラム線に提供し、(e)前記カラム線上の前記画素信号を読み出し、(f)前記第1の蓄積ダイオードに一時的に蓄積された電荷を前記浮遊半導体領域に転送すると共に、前記浮遊半導体領域における転送電荷量に応じた別の画素信号をカラム線に提供し、(g)前記カラム線上の前記別の画素信号を読み出し、(h)前記画素信号及び前記別の画素信号を処理することを備える。

[0016] この方法によれば、画素は、一フレーム内の第1及び第2の蓄積期間にそれぞれ第1及び第2の電荷蓄積を行う。第1の電荷蓄積における電荷を浮遊半導体領域に転送するために、該電荷を第1の蓄積ダイオードに一時的に蓄積する。この蓄積期間中に、第2の電荷転送経路を介して第2の電荷蓄積における電荷を浮遊半導体領域に転送すると共に、該転送電荷量に応じた浮遊半導体領域の電位を表す第2の画素信号をカラム線に提供する。この後に、第1の蓄積ダイオードに一時的に蓄積された電荷を浮遊半導体領域に転送すると共に、該転送電荷量に応じた浮遊半導体領域の電位を表す別の画素信号をカラム線に提供する。これらの転送において、一方の転送経路を用いる転送の際に光電変換素子からの電荷は第1の蓄積ダイオードに一時的に蓄積されると共に、この一時的な蓄積を利用して他方の転送経路を用いて電荷転送を行う。これ故に、第1及び第2の蓄積期間にそれぞれ第1及び第2の電荷蓄積は、電荷の転送に関して互いに干渉することなく、画素アレイにおいて多重化されたグローバルシャッタの動作を可能にする。

[0017] また、別の時刻にカラム線上に提供される画素信号及び別の画素信号をそれぞれ読み出して、これらの読出された信号に高機能化のための処理を施すことができる。

[0018] 本発明の更なる別の側面に係る画素は、(a) 受けた光から電気信号を生成する光電変換素子と、(b) 前記光電変換素子からの電荷を蓄積する浮遊

半導体領域と、(c) 前記光電変換素子から前記浮遊半導体領域に至る第1の電荷転送経路と、(d) 前記第1の電荷転送経路と異なり前記光電変換素子から前記浮遊半導体領域に至る第2の電荷転送経路と、(e) 前記浮遊半導体領域における電位に応じた信号を提供する出力部と、を含む。前記第1の電荷転送経路は、前記光電変換素子からの電荷の転送を制御する第1のシャッタースイッチと、前記光電変換素子からの電荷を蓄積する第1の蓄積ダイオードと、前記第1の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第1の転送スイッチと、を含む。前記第2の電荷転送経路は、前記光電変換素子からの電荷の転送を制御する第2のシャッタースイッチを含む。前記第1のシャッタースイッチは、前記光電変換素子と前記第1の蓄積ダイオードの一端との間に接続される。前記第1の転送スイッチは、前記第1の蓄積ダイオードの前記一端と前記浮遊半導体領域との間に接続される。この画素によれば、多重化されたシャッタの動作が提供される。

[0019] 本発明の更なる別の側面では、前記第2の電荷転送経路は、前記光電変換素子からの電荷を蓄積する第2の蓄積ダイオードと、前記第2の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第2の転送スイッチとを含むことができる。前記第2のシャッタースイッチは、前記光電変換素子と前記第2の蓄積ダイオードの一端との間に接続される。前記第2の転送スイッチは前記浮遊半導体領域と前記第2の蓄積ダイオードの前記一端との間に接続される。この画素によれば、多重化されたシャッタの動作が提供されると共に、第1及び第2の蓄積ダイオードを用いて低雑音の2つの画素信号が得られる。これ故に、例えば低照度においても正確な差分画像や2枚の超高速画像の取得が可能になる。

発明の効果

[0020] 以上説明したように、本発明の一側面によれば、多重化されたグローバルシャッタの動作が可能な固体撮像装置を提供できる。また、別の側面によれば、アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法を提供できる。さらに、更なる別の側面によれば、多重化されたシ

シャッタの動作が可能な画素を提供できる。

図面の簡単な説明

- [0021] [図1] 図 1 は、固体撮像装置のブロック構成を示す図面である。
- [図2] 図 2 は、固体撮像装置のための画素の一例を示す図面である。
- [図3] 図 3 は、画素のデバイス構造を示す図面である。
- [図4] 図 4 は、画素の駆動タイミングの一例を示す図面である。
- [図5] 図 5 は、本実施の形態に係る固体撮像装置のためのカラム信号処理回路の一例を示す図面である。
- [図6] 図 6 は、本実施の形態に係る固体撮像装置を半導体集積素子として実現した半導体チップを示す図面である。
- [図7] 図 7 は、プロトタイプ・グローバル・シャッタ CMOS イメージセンサの特性を示す図面である。
- [図8] 図 8 は、イメージセンサに採用された画素で測定された特性を示す図面である。
- [図9] 図 9 は、SD 信号及び FD 信号に係る画像を示す図面である。
- [図10] 図 10 は、グローバルシャッタかつ線形応答の広ダイナミックレンジ撮像による画像を示す図面である。
- [図11] 図 11 は、動き検出のための画像の一例を示す図面である。
- [図12] 図 12 は、高精度デュアルシャッタの利用による画像例を示す図面である。
- [図13] 図 13 は、トリプルシャッタ機能を有する画素例を示す図面である。
- [図14] 図 14 は、画素から画素信号を読み出す方法の主要なステップを示す図面である。

発明を実施するための形態

- [0022] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明の固体撮像装置、アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法、及び、多重化されたシャッタの動

作が可能な固体撮像装置のための画素に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0023] 多重化されたシャッタの動作が可能な画素回路を用いる固体撮像装置を説明する。固体撮像装置は、増幅機能を持つ画素とその画素の周辺に配置された走査回路とを有し、その走査回路により画素から画素データを読み出す。固体撮像装置の一例は、画素とその周辺の駆動回路及び信号処理回路との集積化に有利なCMOS(コンプリメンタリ・メタル・オキサイド・セミコンダクタ)により構成されたイメージセンサである。このイメージセンサにおける画素の一例は、高画質を実現できる構造のトランジスタ、フォトダイオード及び蓄積ダイオードを含む。トランジスタは例えばMIS型、MOS型であることができる。また、埋め込み型ダイオードを用いることにより、低リーク電流を達成できる。

[0024] 図1は、2次元イメージセンサといった固体撮像装置のブロック構成を示す図面である。固体撮像装置1は、画素アレイ3、カラム信号処理部5、制御回路7及び信号処理部9を含む。固体撮像装置1では、画素11はマトリクス状に配置されて画素アレイ3を構成している。画素11はカラム信号線Cに接続されており、これらの画素11はカラム配列を構成する。制御回路7は、行デコーダ回路13及び行駆動回路14を含む。行デコーダ回路13により各画素の行から特定の行が選択される。行駆動回路14は、駆動線12へ駆動信号を提供する。駆動線12は、例えば、複数のシャッタースイッチ駆動線(図1の画素回路では、第1及び第2のシャッタートランジスタ駆動線GS1、GS2)、一又は複数の転送スイッチ駆動線(図1の画素回路では、転送トランジスタ駆動線TX(i))、リセットスイッチ駆動線(図1の画素回路では、リセットトランジスタ駆動線RFD(i))、行選択スイッチ駆動線(図1の画素回路では、行選択トランジスタ駆動線RS(i))および蓄積時間制御スイッチ駆動線(図1の画素回路では、蓄積時間制御トランジスタ駆動線RPD)を表している。制御回路7は、複数のブロックに分けられて画素アレイ3の周辺に配置されることができる。固体撮像装置1は

タイミング生成回路10を含むことができ、この生成回路10は当該装置1に含まれる回路の動作タイミングを制御するための制御信号、クロック信号等を生成する。

- [0025] 画素11は、図1及び図2を参照すると、光電変換素子11aと画素回路11bとを有する。光電変換素子11aは例えばフォトダイオードを含むことができる。光電変換素子11aは、受けた光Lを電気信号に変換する。画素回路11bは、該光電変換素子11aからの信号S(ph)に増幅を施して画素信号S(pixel)を提供する。画素11の画素回路11bは、浮遊半導体領域FDと、複数の電荷転送経路(例えば、第1及び第2の電荷転送経路CTP1、CTP2)と、出力部AMPとを含む。複数の電荷転送経路CTP1、CTP2は互いに異なる。浮遊半導体領域FDは、光電変換素子11aからの電荷を蓄積する。出力部AMPは、浮遊半導体領域FDにおける電位(pn接合の空乏層キャパシタ C_{FD} により保持される電位)に応じた信号を提供する。第1の電荷転送経路CTP1及び第2の電荷転送経路CTP2は、光電変換素子11aから浮遊半導体領域FDに至る。第1の電荷転送経路CTP1は、光電変換素子11aからの電荷の転送を制御する第1のシャッタースイッチTR(GS1)を含む。第2の電荷転送経路CTP2は、光電変換素子11aからの電荷の転送を制御する第2のシャッタースイッチTR(GS2)を含む。この画素11によれば、多重化されたシャッタの動作が提供される。第1の電荷転送経路CTP1は、第1のシャッタースイッチTR(GS1)に加えて第1の蓄積ダイオードSDを含み、蓄積ダイオードSDは光電変換素子11aからの電荷を蓄積する。光電変換素子11aで生成された電荷は、第1及び第2の電荷転送経路CTP1、CTP2のいずれかの経路を介して浮遊半導体領域FDに転送される。この転送を同時に行うことができないので、第1の電荷転送経路CTP1は、光電変換素子11aからの電荷を一時的に蓄積する蓄積ダイオードSDを含む。第1のシャッタースイッチTR(GS2)は、第1の制御信号GS1に応答して光電変換素子11aからの電荷の転送を制御する。第1の転送スイッチTR(T

F1)は、第2の制御信号TX(i)に応答して第1の蓄積ダイオードSDから浮遊半導体領域FDへの電荷転送を制御する。第2のシャッタースイッチTR(GS2)は、第3の制御信号GS2に応答して光電変換素子11aからの電荷の転送を制御する。制御回路7は、画素11を制御するための制御信号GS1、TX(i)、GS2を生成し、これらの制御信号は駆動線12を介して画素11に供給される。光電変換素子11aの一端にはスイッチTR(RPD)が接続され、スイッチTR(RPD)は露光時間を規定するために使用される。

[0026] 本実施例では、画素回路11b内のスイッチは、例えばトランジスタによって構成される。第1の電荷転送経路CTP1では、第1のシャッタースイッチTR(GS1)はトランジスタからなり、光電変換素子11aと第1の蓄積ダイオードSDの一端との間に接続される。第1の転送スイッチTR(TF1)はトランジスタからなり、第1の蓄積ダイオードSDの一端と浮遊半導体領域FDとの間に接続される。第2の電荷転送経路CTP2では、第2のシャッタースイッチTR(GS2)はトランジスタからなり、光電変換素子11aと浮遊半導体領域FDとの間に接続される。これらのトランジスタのゲートは、制御回路7から駆動線12を介して供給される制御信号を受ける。

[0027] 画素11では、リセットトランジスタTR(RS)は浮遊拡散部FDに接続され、浮遊拡散部FDをリセットする。出力部AMPでは、増幅トランジスタTR(AM)は、浮遊拡散部FDからの信号をゲートに受けており、電源線といった基準電位線V_{DD}とカラム線Cとの間に接続されている。スイッチトランジスタTR(SW)は、増幅トランジスタTR(AM)に直列に接続され、また基準電位線V_{DD}とカラム線Cとの間に接続される。画素回路11bは、カラム線Cに接続された電流源に用いて生成された画素信号S(pixel)をカラム線Cに提供する。トランジスタTR(RPD)及びリセットトランジスタTR(RS)の一端(例えばドレイン)は、基準電位線V_{DD}に接続されている。

- [0028] 再び図1を参照すると、カラム線C上の信号は、カラム信号処理部5に供給される。カラム信号処理部5は、所定の処理を画素信号S (pixel) に対して行って撮像信号S (img) を生成する。この処理は、例えば相関二重サンプリング、A/D変換、増幅及びサンプル・ホールド動作の少なくともいずれか一つであることができ、これらの処理は、アナログ又はデジタルの信号処理であることができる。
- [0029] カラム信号処理部5は、画素アレイ2からの第1及び第2の画素信号S1、S2を一フレームにおいて読み出す読出回路15を含む。第1の画素信号S1は、第1の電荷転送経路CTPを介して浮遊半導体領域FDに転送された第1の転送電荷に対応する。第2の画素信号S2は、第2の電荷転送経路CTP2を介して浮遊半導体領域FDに転送された第2の転送電荷に対応する。
- [0030] 信号処理部9は、読出回路15からの信号S (img) を受ける。信号処理部9は読出信号S (OUT) を生成する。好適な実施例では、カラム信号処理部5の信号S (img) は、所定のデジタル形成のデジタル信号であることができる。固体撮像装置1の一例では、カラム毎の信号は、カラムデコーダ回路16により水平信号線17に提供される。
- [0031] この固体撮像装置11によれば、各画素11の画素回路11bは、光電変換素子11aから浮遊半導体領域FDに至る第1及び第2の電荷転送経路CTP1、CTP2を有する。例えば、第1及び第2の電荷転送経路CTP1、CTP2は、それぞれ、第1及び第2のシャッタースイッチを含む。一方の転送経路において、光電変換素子11aからの電荷は第1の蓄積ダイオードSDに一時的に蓄積されることができる。これ故に、個々の転送経路上のシャッタースイッチTR (GS1)、TR (GS2) は、電荷の転送に関して互いに干渉することなく、画素アレイ3において多重化されたグローバルシャッタの動作が可能になる。引き続き説明では、理解を容易にするために、上記スイッチの参照符号を、対応するトランジスタに使用する。
- [0032] また、画素回路11bの出力部AMPは、浮遊半導体領域FDにおける電

位に応じた信号 S_1 、 S_2 を提供する。出力部 AMP は、第 1 の電荷転送経路 CTP1 を介して浮遊半導体領域 FD に転送された第 1 の転送電荷に応答して第 1 の画素信号 S_1 を提供し、第 2 の電荷転送経路 CTP2 を介して浮遊半導体領域 FD に転送された第 2 の転送電荷に応答して第 2 の画素信号 S_2 を提供する。読出回路 15 は第 1 及び第 2 の画素信号 S_1 、 S_2 を受ける。信号処理部 9 は、読出回路 15 からの信号に高機能化のための処理を施す。

[0033] 図 3 は、画素のデバイス構造を示す図面である。図 3 の (a) 部を参照すると、画素 11 の平面レイアウトの一例が示される。図 3 の (a) 部には、出力 AMP 及びリセットトランジスタ以外のトランジスタと 2 つの電荷転送経路とが描かれている。図 3 の (b) 部は、図 3 の (a) 部に示された A-A 線及び B-B 線にそって取られた断面を示す。図 3 の (b) 部には、A-A 断面及び B-B 断面の各々において画素 11 のトランジスタのチャネル部のポテンシャルダイアグラムが示されている。導通状態のポテンシャルは実線で示され、非導通状態のポテンシャルは破線で示される。この実施例では、固体撮像装置 1 の画素 11 は p 型基板に作製される。画素 11 は p 型基板 (p-sub) に形成される。

[0034] フォトダイオード PD は、p 型基板 (p 型ドーパント濃度 p_0) 内に設けられた n 型半導体領域 (n 型ドーパント濃度 n_2) と、p 型基板の表面に設けられた p+ 型半導体領域 (p 型ドーパント濃度 p_0) と、p+ 型半導体領域の側面及び底面に設けられた低濃度 p 型半導体領域 (p 型ドーパント濃度 $p_1 < p_+$ 、 $p_0 < p_1$) とを含む。この p 型半導体領域は、2 つのシャッタートランジスタのチャネル直下の途中まで延在する。これ故に、2 つのシャッタートランジスタのチャネルのポテンシャルは、導通状態及び非導通状態において階段状になる。フォトダイオード PD は、ピニング型構造を有する。

[0035] 蓄積ダイオード SD は、p 型基板内に設けられた n 型半導体領域 (n 型ドーパント濃度 n_2) と、p 型基板の表面に設けられた p+ 型半導体領域 (p 型

ドーパント濃度 p^+) と、 n 型半導体領域の底面に設けられた低濃度 p 型半導体領域 (p 型ドーパント濃度 $p_2 < p^+$ 、 $p_0 < p_2$) とを含む。 n 型半導体領域の周囲は、 p 型半導体領域及び p^+ 型半導体領域によって覆われている。蓄積ダイオード SD は、ピニング型構造を有する。

[0036] フォトダイオード PD の n 型半導体領域における n 型ドーパント濃度 n_2 が、蓄積ダイオード SD の n 型半導体領域における n 型ドーパント濃度 n_2 と異なるので、電荷転送効率を向上できる。蓄積ダイオード SD では、低濃度 p 型半導体領域 (p 型ドーパント濃度 p_2) は、低い寄生的な光感度を提供でき、フォトダイオード PD の電荷による蓄積ダイオード SD へのブルーミングを防ぐことができる。好適な画素の実施例では、蓄積ダイオードでは摂氏 27 度で $119 e^-$ /秒という低い暗電流を実現できた。

[0037] 浮遊半導体領域 FD は、トランジスタのソース及びドレインのために形成される n 型導電性の半導体からなり、この半導体は p ウエル ($p-well$) 及び p 型基板 ($p-sub$) に接している。

[0038] 画素 11 は、2つの動作モードを提供できる。これらは、デュアルシャッターモードと単一シャッターモードとして参照される。単一シャッターモードでは、シャッタートランジスタ $TR(GS2)$ は閉じられており、固体撮像装置 1 は、低ノイズグローバルシャッター動作を提供できる。デュアルシャッターモードでは、蓄積ダイオード SD 及び浮遊半導体領域 FD の両方を電荷蓄積のために用いる。このモードでは、各フレームにおいて、2つのスナップショット画像を取り込むことができる。図 4 は、画素の駆動タイミングの一例を示す図面である。図 4 の (a) 部に示された動作スキームを参照すると、フォトダイオード PD が第 1 の電荷蓄積を行い、この蓄積電荷はシャッタートランジスタ $TR(GS1)$ を介して蓄積ダイオード SD に転送される。次いで、フォトダイオード PD が第 2 の電荷蓄積を行い、この蓄積電荷はシャッタートランジスタ $TR(GS2)$ を介して浮遊半導体領域 FD に転送される。これらの電荷蓄積における個々の露光時間は、トランジスタ $TR(RPD)$ の制御パルス R_{PD} の立ち下がりエッジとシャッタートランジスタの制御パルス

GS 1、GS 2の立ち下がリエッジとの間に期間により規定される。フォトダイオードPDにおける蓄積時間を制御するリセット動作は、トランジスタTR (RPD) によって行われる。画素11からの読み出しは、次のフレームにおける第1の電荷蓄積の期間においてバックグラウンド動作として行われる。

- [0039] 図4の(a)部に示された動作タイミングを参照すると、デュアルシャッタモードでは、まず、浮遊拡散領域FDに記憶された信号を読み出す。この読出の後に、浮遊拡散領域FDの電位をリセットトランジスタTR (RS) を用いてリセットして、浮遊拡散領域FDにリセット電位を生成する。このリセット電位に係る信号を読み出した後に、蓄積ダイオードSDに記録された信号を浮遊拡散領域FDに転送トランジスタTR (TF1) を介して転送する。この転送された信号を読み出す。この動作により、相関二重サンプリング(CDS)動作を利用して、kTCノイズといったノイズをキャンセルできる。また、デュアルシャッタ動作モードでは、広ダイナミックレンジ、動き検出、連続2画像の撮像といったいくつかの機能が提供される。図4の(a)部の動作タイミングにおいて、電荷蓄積と電荷転送のタイミングが重なっているけれども、この重なりはなくても良い。

- [0040] 図5は、本実施の形態に係る固体撮像装置のためのカラム信号処理回路の一例を示す図面である。カラム信号処理回路15は、一又は複数の相関二重サンプリング(「CDS」として参照する)部31を含むことができる。相関二重サンプリング部31は、画素信号S1、S2を読み出す。好適な実施例では、画素信号S1、S2の各々は、リセットレベル及び信号レベルを含む。これらの信号を処理するために、相関二重サンプリング部31は、第1及び第2のCDS回路31a、31bを含むことができる。

- [0041] CDS回路31a、31bの各々は、スイッチ33a、33b、キャパシタ35a、35b、及び演算増幅回路37を含む。演算増幅回路37の一入力(負入力)37aは、直列に接続されたスイッチ33a及びキャパシタ35aを介して入力 V_{IN} からの信号を受け、演算増幅回路37の他入力(正入

力) 37bは共通参照信号(V_{COM})を受ける。演算増幅回路37の一入力37aと演算増幅回路37の出力37cとの間には、スイッチ33b及びキャパシタ35bが並列に接続されている。出力 V_{OUT} は、演算増幅回路37の出力37cからの信号を受ける。スイッチ33aは信号の入力動作を制御し、スイッチ33bはリセット動作を制御する。画素11からリセット電位が出力される時は、スイッチ33a、33bを閉じ、キャパシタ35aにリセットレベル S_1 を取り込む。次に、スイッチ33aを閉じたままスイッチ33bを開き、画素11からの信号レベル S_2 をキャパシタ35aに取り込む。スイッチ33bが開かれているので、演算増幅回路37の出力37cには、リセットレベル S_1 と信号レベル S_2 との差(例えば $S_1 - S_2$)、即ちアナログCDS結果が生成される。

[0042] カラム信号処理回路15は、CDS部31に加えてA/D変換回路41を含むことができる。A/D変換回路41は、CDS回路31からの信号を受ける。A/D変換回路41は、アナログCDS結果をA/D変換して、第1及び第2の画素信号 S_1 、 S_2 にそれぞれ対応した第1及び第2のデジタル信号(デジタル撮像信号) $S(ADC1)$ 、 $S(ADC2)$ を生成する。このA/D変換回路41におけるA/D変換の方式は、例えば、積分型変換、巡回型変換、逐次比較型変換およびそれらを組み合わせた変換方式の少なくともいずれかであることができる。固体撮像装置1に上記の変換方式を適用できる。A/D変換回路41は、一又は複数のA/D変換器を含むことができる。

[0043] 再び図4を参照しながら、駆動タイミング及びCDS動作を説明する。画素11の駆動として第1の電荷蓄積によってフォトダイオードPDに蓄積した第1の信号電荷はシャッタトランジスタTR(GS1)を介して蓄積ダイオードSDへ転送され、蓄積ダイオードSDは、転送された電荷を保持し、この保持電荷を第1蓄積電荷として参照する。この第1電荷蓄積期間は、前フレームにおいてトランジスタTR(RPD)のオフ時刻からシャッタトランジスタTR(GS1)のオフ時刻までの時間となる。次いで、再度フォト

ダイオードPDに電荷の第2の電荷蓄積を行う。この第2蓄積電荷は、シャッタトランジスタTR(GS2)を介して浮遊半導体領域FDへ転送され、浮遊半導体領域FDで一時的に保持される。この保持電荷を第2蓄積電荷として参照する。これらの電荷転送は、全画素一斉に行われるので、第1および第2蓄積電荷ともにグローバルシャッタの動作となる。

[0044] グローバルシャッタの動作における信号は以下のように処理される。

[0045] 垂直走査回路によって、画素11が行ごとに選択される。例えばi行目が選択されて、まず浮遊半導体領域FDに保持されている第2蓄積信号の信号レベルV_{SIG2}(図4における「V_{SIG,2nd}」)がカラムCDS回路31にサンプルされる。信号レベルをサンプルした後に、浮遊半導体領域FDは、i行目のリセット信号によりリセットトランジスタTR(RS)を用いてリセットされる。この時、浮遊半導体領域FDにリセットノイズが重畳する。このリセットレベルV_{RES2}(図4における「V_{RES,2nd}」)をカラムCDS回路31aにサンプルされる。カラムCDS回路31aは、信号レベルV_{SIG2}(図4における「V_{SIG,2nd}」)とリセットレベルV_{RES2}(図4における「V_{RES,2nd}」)の差を示す信号を生成する。これによって、画素に起因する固定パターンノイズがキャンセルされた信号(V_{SIG2}-V_{RES2}、図4における記法で「V_{o,2nd}=V_{SIG,2nd}-V_{RES,2nd}」)が提供される。このシーケンスでは、リセットノイズはキャンセルされない。

[0046] 次に、カラムCDS回路31aがリセットレベルV_{RES2}を読み出した後に、浮遊半導体領域FDはi行目のリセット信号によりリセットトランジスタTR(RS)を用いてリセットされる。このリセットレベルV_{RES1}(図4における「V_{RES,1st}」)を先ほどとは別のカラムCDS回路31bにサンプルされる。既に説明したように、蓄積ダイオードSDは、第1蓄積電荷を一時的に保持している。サンプルの後に、第1蓄積電荷を転送トランジスタTR(TF1)を介して浮遊半導体領域FDに転送し、その信号レベルV_{SIG1}(図4における「V_{SIG,1st}」)をカラムCDS回路31bでサンプルする。そして、カラムCDS回路31bの動作により、このリセットレベルV_{RE}

S1と信号レベル V_{SIG1} の差 ($V_{SIG1} - V_{RES1}$) ($V_{o,1st} = V_{RES,1st} - V_{SIG,1st}$) が生成されて、リセットノイズおよび固定パターンノイズがキャンセルされる。

[0047] これらの手順を行うことにより、浮遊半導体領域FDに直接に転送された電荷に係るFD保持信号と、浮遊半導体領域FDに蓄積ダイオードを介して転送された電荷に係るSD保持信号との2つの画像信号が毎フレームに得られる。この2つの画像信号の時間差は最小でフォトダイオードPDから蓄積ダイオードSDへの電荷転送の時間にまで短くでき、この典型的な値は、例えば数マイクロ秒～数10マイクロ秒程度である。この特長によって、本件実施の形態に係る固体撮像装置1を「グローバルシャッタかつ線形応答の広ダイナミックレンジ撮像」、「差分画像による動き検出」、「連続2枚、超高速撮像や手ぶれ補正」等の処理に適用可能である。

[0048] 図6は、本実施の形態に係る固体撮像装置を半導体集積素子として実現した半導体チップを示す図面である。図7は、プロトタイプ・グローバル・シャッタCMOSイメージセンサの特性を示す図面である。このプロトタイプ・グローバル・シャッタCMOSイメージセンサのブロック配置が示される。このイメージセンサは、 600×480 の有効画素を含む画素アレイを有しており、個々の画素のサイズは $7.5 \mu m \times 7.5 \mu m$ である。画素アレイは、カラムCDS回路及びプログラマブル利得増幅器(PGA)を含むカラム回路部の間に設けられている。プログラマブル利得増幅器は、信号制御により利得を変更でき、該イメージセンサでは、1倍又は15倍の利得を提供できる。デュアルシャッタモードでは、例えば上側カラム回路部及び下側カラム回路部は、それぞれ、浮遊半導体領域FDに直接に転送された電荷に係るFD信号及び蓄積ダイオードSDを介して浮遊半導体領域FDに転送された電荷に係るSD信号を読み出すことができる。

[0049] 図8は、イメージセンサに採用された画素の特性を示す図面である。図7では、当該イメージセンサに照射した光の照度(ルクス)を示し、縦軸は、当該イメージセンサから得られた信号値(ミリボルト)を示す。測定では、

グローバルシャッタTR (GS1)を開いた(シャッタオン)特性、及びグローバルシャッタTR (GS1)を閉じた(シャッタオフ)特性を示す。感度の測定値に関しては、オン値及びオフ値は、それぞれ、 $8.0\text{ V/lux}\cdot\text{sec}$ 及び $0.022\text{ V/lux}\cdot\text{sec}$ であった。寄生光感度(parasitic photo-sensitivity)が0.3パーセントと低く、シャッタ効率 99.7 パーセントと高い。

[0050] 暗時間ノイズ(dark temporal noise)は、蓄積ダイオードを用いる画素信号(SD信号)を生成では、増幅器PGAの利得1及び15において、それぞれ、 $2.7e^{-}$ 及び $14.3e^{-}$ であった。この低ノイズは、読み出し回路の動作が低ノイズであることに加えて、完全CDS動作によりkTCノイズをキャンセルできることに基づく。また、暗時間ノイズ(dark temporal noise)は、蓄積ダイオードを用いない画素信号(FD信号)の生成では、増幅器PGAの利得15において $32.8e^{-}$ であった。これは、kTCノイズが時間ノイズに支配的であることを示している。これらの測定から、本実施における画素におけるノイズは非常に小さいことが示され、従来の5Tr型グローバルシャッタ型動作に比べて約十分の一である。

[0051] 図9は、SD信号及びFD信号に係る画像を示す図面である。図9の(a)部及び(b)部には、イメージセンサにおける2段階転送により得られた画像を示す。2段階転送では、転送経路上の蓄積ダイオードを利用する。図9の(c)部及び(d)部には、イメージセンサにおける一段階転送により得られた画像を示す。一段階転送では、フォトダイオードから直接に浮遊半導体領域にフォト電荷が転送される。図9の(a)部~(d)部の画像の生成では、カラム回路におけるアナログ利得は15であり、デジタル利得は10であり、シャッタ時間は1ミリ秒である。図9の(e)部は、33ヘルツで回転する扇風機の像を15ミリ秒のシャッタ時間で取り込んだ画像を示す。図9の(a)部~(d)部の画像を図9の(e)部の画像と比べると、扇風機の回転する羽の像に違いが示される。

[0052] 引き続き、本実施の形態に係る固体撮像装置によって提供される機能、例えば「グローバルシャッタかつ線形応答の広ダイナミックレンジ撮像」、「差分画像による動き検出」、「連続2枚、超高速撮像や手ぶれ補正」等を説明する。

[0053] (1) グローバルシャッタかつ線形応答の広ダイナミックレンジ撮像。
第1の電荷転送経路CTP1を介して転送される電荷を蓄積するための第1蓄積期間を第2の電荷転送経路CTP2を介して転送される電荷を蓄積するための第2蓄積期間より長くする。信号処理部5は、第1及び第2の画像信号S1、S2から合成画像信号を合成する信号合成部を含むことができる。この合成画像信号は、第1及び第2の画像信号S1、S2の各々におけるダイナミックレンジよりも広いダイナミックレンジを有する。例えば、蓄積ダイオードSDを含む転送経路CTP1に係る電荷を低照度領域のための信号に割り当てることができ、これ故に、長時間露光を行う。また、これとは別の転送経路CTP2に係る電荷を高照度領域のための信号に割り当てることができ、これ故に、短時間露光を行う。これら2つの画素信号を用いて、線形で広いダイナミックレンジの画像信号を合成できる。また、それぞれの転送経路(CTP1およびCTP2)の電荷は等しい光感度で生成され、等しい変換利得で電圧に変換される。これ故に、優れた線形応答を示す。同じフォトダイオードで光電変換され、同じ浮遊拡散層で電荷電圧変換され、同じ画素読み出し回路で出力されるので、等しい光感度と等しい変換利得、電圧利得の信号が得られる。本実施の形態における好適なCMOSイメージセンサは、グローバルシャッタを有し92dBのダイナミックレンジを実証できた。高照度の下でも1パーセント未満の線形性を実装できた。この値は、発明者が知るこれまでの値10パーセントに比べて良好な線形性を示す。また、99.7パーセントの高いシャッタ効率を実証できた。

[0054] 第1蓄積電荷に係る信号を低照度領域に適用して長時間露光でSD保持信号を生成すると共に、第2蓄積電荷に係る信号を高照度領域に適用して、短時間露光でFD保持信号を生成する。これ故に、蓄積時間比を利用した広ダ

イナミックレンジの撮像が可能となる。また、SD保持信号内のリセットノイズはキャンセルされており、これは、低照度側にダイナミックレンジを拡大することに好適である。FD保持信号内のリセットノイズはキャンセルできないので、FD保持信号のランダムノイズは大きい。しかしながら、高照度領域の撮像では、ランダムノイズよりもショットノイズが支配的であるので、画像信号に対するランダムノイズの影響は小さくできる。この組み合わせにより、効果的なダイナミックレンジの拡大が可能である。2回のシャッタ動作の時間間隔が、発明者が知るこれまでの複数回露光方式では、2回露光間の蓄積時間のずれが大きいので、撮像の時刻差に起因した画像の歪み発生等が合成画像に生じていた。しかしながら、本実施の形態におけるデュアルシャッタ方式では、画像信号の時間軸上の時間差はわずか数マイクロ秒～数10マイクロ秒程度と短いので、合成画像における画像歪みはほぼ無視できる程度に低い。このように、グローバルシャッタの実現かつ線形応答の広ダイナミックレンジ撮像方式の実現が可能なCMOSイメージセンサが提供される。

[0055] 図10は、グローバルシャッタかつ線形応答の広ダイナミックレンジ撮像による合成画像を示す図面である。図10の(a)部は、二段階転送により生成されたSD信号からの画像(SD画像)を示す。この画像の生成において、露光時間(トランジスタTR(EP)のターンオフからシャッタトランジスタTR(GS1)のターンオフまでの時間)は1ミリ秒である。図10の(b)部は、一段階転送により生成されたFD信号からの画像(FD画像)を示す。この画像の生成において、露光時間は0.167ミリ秒である。図10の(c)部は、SD画像及びFD画像から合成された画像である。

[0056] (2) ハイスピード撮像。

同一フレームにおいて、画素アレイ3は、第1及び第2の画像信号S1、S2を取得できる。これにより、非常に近い複数の時刻において取得された連続的な撮像された画像信号を提供できる。同一フレーム内における時間間隔は、数マイクロ秒～数10マイクロ秒程度であることができる。また、同一

フレーム内における複数の時刻での複数の撮像によるハイスピード撮像を可能にする画像信号を提供できる。

[0057] (3) 差分画像による手ぶれ補正。

本実施の形態では、第1及び第2の画像信号S1、S2の一方を第1及び第2の画像信号S1、S2の他方と比較して、第1及び第2の画像信号S1、S2の比較結果を示す比較信号を提供できる。比較結果を生成するための比較部を信号処理部に設けることによって、差分画像による動き検出に係る機能を提供できる。同一フレームにおいて、画素アレイ3は、第1及び第2の画像信号S1、S2を取得できる。画像信号S1、S2は、それぞれ異なる時刻で取得されるが、この時刻間隔は当該デバイスの性能の範囲で非常に短くできる。近接した画像を示す画像信号S1、S2の比較によって、近接した画像間の変化・違い等を検出できる。この検出は、例えば手ぶれ補正等の検知に利用可能である。

[0058] (4) 差分画像による動き検出。

本実施の形態では、画素信号S1、S2との差分に対応する信号を生成することができる。このための差分生成部を信号処理部に設けることによって、第1の画素信号S1と第2の画素信号S2との差分の検出の機能を提供できる。フレーム内の複数の時刻において取得された画像信号S1、S2の差分を生成するので、高速の撮像における差分画像を生成できる。差分画像の利用により、例えば動き検出等の機能を提供できる。

[0059] 例えば、光電変換素子11aから蓄積ダイオードSDへ転送される電荷を生成するための第1の蓄積期間は光電変換素子11aから浮遊半導体領域FDへ転送される電荷を生成するための第2の蓄積期間に実質的に等しくするとき、差分画像の生成による動き検出を簡単に提供できる。画像間の時間差は2つのシャッタに係る蓄積時間の間隔を調整して設定される。この値を短くするとき高速な被写体に対して正確な動き検出を提供できる。

[0060] 図11は、動き検出のための画像の一例を示す図面である。図11の(a)部、(c)部及び(e)部がSD画像を示し、図11の(b)部、(d)

部及び（f）部がSD画像に係る差分画像を示す。図11の（b）部、（d）部及び（f）部における差分は、それぞれ、図11の（a）部、（c）部及び（e）部における画像のキャプチャ時における対象範囲内の移動物体のエッジを示している。

[0061] フレーム内における複数画像の生成の応用例の一つは、画像間の時間差を最小にした場合、フレームレートに依存しない2枚の超高速撮像を提供できることにある。必要に応じて、第1蓄積期間と第2蓄積期間を等しく設定し、或いは異なるように設定してもよい。差分生成の応用例の別の一つは、高速移動する被写体の速度解析に適用できる。また、2つの画像間の時間差を設定できることから、既知の時間差を用いて2つの画像を比較して、手ぶれ補正を行うことができる。

[0062] これらの処理は、例えば信号処理部9を用いてハードウェア処理として、ソフトウェア処理として、或いはこれらの組み合わせとして実現できる。

[0063] 再び図2を参照すると、画素11は、受けた光Lから電気信号を生成する光電変換素子11aと、光電変換素子11aからの電荷を蓄積する浮遊半導体領域FDと、光電変換素子11aから浮遊半導体領域FDに至る第1の電荷転送経路CTP1と、第1の電荷転送経路CTP1と異なり光電変換素子11aから浮遊半導体領域FDに至る第2の電荷転送経路CTP2と、浮遊半導体領域FDにおける電位に応じた信号を提供する出力部AMPとを含む。第1の電荷転送経路CTP1は、光電変換素子11aからの電荷の転送を制御する第1のシャッタースイッチTR（GS1）と、光電変換素子11aからの電荷を蓄積する第1の蓄積ダイオードSDと、第1の蓄積ダイオードSDから浮遊半導体領域FDへの電荷転送を制御する第1の転送スイッチTR（TF1）とを含む。

[0064] 図12は、高精度デュアルシャッターの一例を示す図面である。図12の（a）部を参照すると、この画素12aは、第2の電荷転送経路CTP2が、第2の蓄積ダイオードSD2と、第2の転送スイッチTR（TF2）とを含む。引き続き説明では、第1の蓄積ダイオードを「SD1」として参照する

。第2の蓄積ダイオードSD2が光電変換素子11aからの電荷を蓄積すると共に、第2の転送スイッチTR(TF2)が第2の蓄積ダイオードSD2から浮遊半導体領域FDへの電荷転送を制御する。例えば、第2のシャッタースイッチTR(GS2)は光電変換素子11aと第2の蓄積ダイオードSD2の一端との間に接続され、第2の転送スイッチTR(TF2)は、浮遊半導体領域FDと第2の蓄積ダイオードSD2の一端との間に接続される。多重化されたシャッタの動作が提供されると共に、蓄積ダイオードSD1、SD2を用いて低雑音の2つの画素信号が得られる。これ故に、例えば低照度においても正確な差分画像や2枚の超高速画像の取得が可能になる。

[0065] 複数の蓄積ダイオードSD1、SD2を利用して、複数のグローバルシャッタ機能を提供できる。この構造によれば、個々の画像信号の生成に際してリセットノイズをキャンセルできる。これ故に、画素12aは、低雑音グローバルシャッタの画像を提供でき、画像の差分生成、特に等しい蓄積時間の2画像の差分生成を高精度に行うことが可能である。

[0066] また、パイプライン処理の適用により高速撮像において倍速撮像が可能である。図12の(b)部を参照すると、倍速撮像のためのパイプライン処理が示される。2つの電荷転送経路CTP1、CTP2の各々における電荷の一時的な保持を浮遊半導体領域FDと独立して行うことができる。これ故に、フォトダイオードPDから蓄積ダイオードSD1(SD2)への転送/保持を、蓄積ダイオードSD2(SD1)から浮遊半導体領域FDへの保持/転送を並列化できる。複数の転送経路に電荷を振り分けて、これら電荷量を示す画素信号をカラムの読み出し回路を用いて行毎に読み出す際に、一方の転送経路に係る信号の読み出しにカラム線を使用しているとき、他方の転送経路に係る信号をフォトダイオードから蓄積ダイオードに転送している。これ故に、一方の転送経路に係る信号の読み出しが完了した後に、他方の転送経路に係る信号の読み出しにカラム線を使用できる。したがって、カラムの方向に縦に延在する信号線を増やさずに倍速で読み出すことができる。

[0067] 図13は、トリプルシャッタを有する画素の一例を示す図面である。この

画素 1 2 b は、第 1 及び第 2 の電荷転送経路 C T P 1、C T P 2 に加えて、第 3 の電荷転送経路 C T P 3 を含む。第 3 の電荷転送経路 C T P 3 は、画素 1 1 における第 2 の電荷転送経路 C T P 2 と同様の構造を含む。第 3 の電荷転送経路 C T P 3 は、光電変換素子 1 1 a からの電荷を浮遊半導体領域 F D に転送するシャッタスイッチ T R (G S 3) を含む。第 3 の電荷転送経路 C T P 3 では、例えばスイッチ T R (G S 3) ためのシャッタトランジスタが光電変換素子 1 1 a と浮遊半導体領域 F D との間に接続されている。

[0068] 等価回路上では、高精度デュアルシャッタ用の画素に浮遊半導体領域 F D へ直接に電荷転送を可能にするゲート T R (G S 3) が追加されている。したがって、3 枚のグローバルシャッタ画像が取得可能である。3 つの蓄積時間の個々に比率を設定するとによって、ダイナミックレンジをさらに拡大できる。

[0069] 図 1 4 は、画素アレイ内の複数の画素から画素信号を読み出す方法における主要なステップを示す図面である。画素アレイ内の画素は、全画素同時シャッタに関するものなので、制御信号 G S 1、G S 2、R_{PD}による電荷転送は全画素同時に行われる。フォトダイオードによる電荷の蓄積も同様に、全画素同時に行われる。制御信号 G S 1、G S 2 によるこれらの電荷転送は画素の選択が行われていない期間に行われ、その後、画素選択が始まりそれらの信号の読み出しが開始される。引き続き説明は、画素アレイ 3 のある行内の画素について行われる。読み出し方法では、ステップ S 1 0 1 では、画素アレイ 3 における画素 1 1 (1 2 a、1 2 b) の各々における光電変換素子 1 1 a を用いてフレーム期間内の第 i の蓄積期間に第 i の電荷蓄積を行う (「 i 」 は例えば自然数であり、最初の読み出しは「 1 」である)。ステップ S 1 0 2 では、この電荷蓄積における電荷を画素 1 1 における第 i の電荷転送経路を介して画素 1 1 の浮遊半導体領域 F D に転送するために、該電荷を第 i の電荷転送経路内の蓄積ダイオード S D i に一時的に蓄積する。

[0070] 必要な場合には、つまり更に別の電荷転送経路があるとき、ステップ S 1 0 3 において光電変換素子 1 1 a を用いて同一のフレーム期間内の第 (i +

1) の蓄積期間に第 $(i + 1)$ の電荷蓄積を行い、この後に、この電荷蓄積における電荷を画素 11 における第 $(i + 1)$ の電荷転送経路を介して浮遊半導体領域 FD に転送するために、該電荷を第 $(i + 1)$ の電荷転送経路内の蓄積ダイオード SD $(i + 1)$ に一時的に蓄積する。

[0071] 必要でないときには、ステップ S 102 の次にステップ S 104 を行うことができる。例えば、画素 11 が 2 つの転送経路を含むとき、繰り返しはなしであり、画素 11 が 3 つの転送経路を含むとき、繰り返しを行う。必要に応じてこれらの手順を繰り返すことができるけれども、本実施例では、電荷転送繰り返しはなしである。

[0072] ステップ S 104 では、画素 11 の各々における光電変換素子 11a を用いて同一フレーム期間内の第 j の蓄積期間に第 j の電荷蓄積を行う（本実施例では、 $j = 2$ ）。次いで、ステップ S 105 では、画素 11 の第 j の電荷転送経路を介して第 j の電荷蓄積における電荷を画素 11 における浮遊半導体領域 FD に転送する。ステップ S 106 において画素アレイ 3 のある行を選択する。浮遊半導体領域 FD における転送電荷量に応じた画素信号 S 1 をカラム線 C に提供する。ステップ S 107 では、当該選択行に対して読み出し動作を行って、カラム線上の画素信号 S 1 を読み出す。

[0073] ステップ S 108 では、蓄積ダイオード SD i に一時的に蓄積された電荷を浮遊半導体領域 FD に転送すると共に、浮遊半導体領域 FD における該転送電荷量に応じた画素信号 S 2 をカラム線に提供する。ステップ S 109 では、カラム線上の画素信号 S 2 を読み出す。ステップ S 111 では、電荷転送経路の数が 2 であるとき、画素信号 S 1 及び S 2 を処理する。ステップ S 112 では、画素アレイの次の行を選択する。読み出し動作は、所望の画素行の数だけ繰り返される。

[0074] 2 つの転送経路を用いる読み出し方法によれば、画素 11 は、一フレーム内の第 1 及び第 2 の蓄積期間にそれぞれ第 1 及び第 2 の電荷蓄積を行う。第 1 の電荷蓄積における電荷を浮遊半導体領域 FD に転送する前に、該電荷を蓄積ダイオード SD 1 に一時的に蓄積する。この蓄積期間中に、第 2 の電荷

転送経路CTP2を介して第2の電荷蓄積における電荷を浮遊半導体領域FDに転送すると共に、該転送電荷量に応じた浮遊半導体領域FDの電位を表す画素信号S1をカラム線に提供する。この後に、蓄積ダイオードSD1に一時的に蓄積された電荷を浮遊半導体領域FDに転送すると共に、該転送電荷量に応じた浮遊半導体領域FDの電位を表す画素信号S2をカラム線に提供する。これらの転送において、一方の転送経路を用いる転送の際に、光電変換素子11aからの電荷は蓄積ダイオードSD1に一時的に蓄積される。一時的な蓄積により、他方の転送経路を用いて電荷転送を行う。これ故に、第1及び第2の蓄積期間にそれぞれ第1及び第2の電荷蓄積は、電荷の転送に関して互いに干渉することなく、画素アレイ3において多重化されたグローバルシャッタの動作を可能にする。また、時分割でカラム線上に提供される画素信号S1及びS2を読み出して、これらの読出された信号に高機能化のための処理を適用できる。

[0075] 電荷転送経路の数が3以上であるとき、蓄積ダイオードへの蓄積を繰り返すを行う。また、ステップS107の後にステップ108では、第iの蓄積ダイオードに保持された電荷を浮遊半導体領域FDに転送すると共に、カラム線Cに画素信号S3を提供する。ステップS109では、カラム線C上の画素信号S3を読み出す。ステップS110では、未だ読み出しを行っていない蓄積ダイオードの電荷を浮遊半導体領域FDに転送すると共に、この電荷に対応する画素信号をカラム線Cに提供すること、カラム線上の該画素信号を読み出すこと、を必要な回数だけ繰り返す。

[0076] 例えば、高精度のデュアルシャッタを含む画素12aを用いるとき、第1及び第2の転送経路の各々に蓄積ダイオードが設けられている。この実施例ではj=2である。第2の蓄積期間に第2の電荷蓄積を行った後に、画素12aの第1の電荷転送経路を介して第1の電荷蓄積における電荷を浮遊半導体領域FDに転送すると共に、浮遊半導体領域FDにおける転送電荷量に応じた画素信号S1をカラム線に提供する。その後、S110において、画素12aの第2の電荷転送経路を介して第2の電荷蓄積における電荷を浮遊半導

体領域FDに転送すると共に、浮遊半導体領域FDにおける転送電荷量に応じた画素信号S2をカラム線に提供する。高精度デュアルシャッタの場合には、蓄積ダイオードSD1及びSD2に電荷を蓄積した後に、画素の読み出しを行う。フォトダイオードPDから浮遊半導体領域FDへ直接の電荷転送は行わない。各転送経路に蓄積ダイオードを用いるので、リセットノイズ（kTCノイズ）がキャンセルされた低雑音の2つ信号を得られる。

[0077] 例えば、トリプルシャッタを含む画素12bを用いるとき、第1及び第2の転送経路の各々に蓄積ダイオードが設けられている。ステップS103において、光電変換素子11aを用いてフレーム期間内の第2の蓄積期間に第2の電荷蓄積を行うこと、第2の電荷蓄積における電荷を画素12bにおける第2の電荷転送経路CTP2を介して浮遊半導体領域FDに転送するために該電荷を第2の電荷転送経路内の第2の蓄積ダイオードSD2に一時的に蓄積すること、を行う。また、ステップS110においては、第2の蓄積ダイオードSD2に一時的に蓄積された電荷を浮遊半導体領域FDに転送すると共に、浮遊半導体領域FDにおける転送電荷量に応じた画素信号をカラム線Cに提供すること、カラム線C上の画素信号を読み出すこと、を行う。ステップS111では、読み出された3つの画素信号を処理する。これらのステップにより、第3の蓄積ダイオードを用いた第3の電荷蓄積が可能になり、トリプルシャッタを提供できる。

[0078] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、本実施の形態に開示された特定の構成に限定されるものではない。

[0079] 上記の側面に係る発明では、前記画素は、前記浮遊半導体領域をリセットするリセットスイッチを含むことができる。前記制御回路は、前記リセットスイッチを制御するリセット信号を生成する。前記第1の画素信号は、前記第1の転送電荷に対応した第1信号レベルと、前記リセットスイッチによりリセットされた前記浮遊半導体領域の電位に対応した第1リセットレベルとを含むことができる。前記第2の画素信号は、前記第2の転送電荷に対応した第2信号レベルと、前記リセットスイッチによりリセットされた前記浮遊

半導体領域の電位に対応した第2リセットレベルとを含むことができる。前記読出回路は、前記第1及び第2の画素信号をそれぞれ標本化するための第1及び第2の相関二重サンプリング回路を含むことができる。

[0080] 当該側面によれば、第1及び第2の相関二重サンプリング回路を用いてそれぞれ第1及び第2の画像信号を標本化するので、画素の固定パターンノイズの除去が可能にある。

[0081] 上記の側面に係る発明では、前記第1の電荷転送経路を介して転送される電荷の蓄積のための第1蓄積期間が前記第2の電荷転送経路を介して転送される電荷の蓄積のための第2蓄積期間より長い。前記信号処理部は、前記第1及び第2の画像信号を合成して合成画像信号を生成する信号合成部を含む。前記合成画像信号は、前記第1及び第2の画像信号の各々におけるダイナミックレンジよりも広いダイナミックレンジを有する。

[0082] 例えば、蓄積ダイオードを含む転送経路に係る蓄積電荷を低照度領域のための信号に割り当てでき、この電荷蓄積のために長時間露光を行う。これとは別の転送経路に係る蓄積電荷を高照度領域のための信号に割り当てでき、この電荷蓄積のために短時間露光を行う。これら2つの画素信号を用いて線形の広ダイナミックレンジの画像信号を生成できる。

[0083] 上記の側面に係る発明では、前記信号処理部は、前記第1及び第2の画像信号の一方を前記第1及び第2の画像信号の他方と比較して、前記第1及び第2の画像信号の比較結果を示す比較信号を提供する比較部を含むことができる。

[0084] 上記の発明によれば、同一フレームにおいて、画素アレイは、第1及び第2の画像信号を取得できる。これらの画像信号は、それぞれ異なる時刻で取得されるが、これらの時刻の間隔は、当該デバイスの性能の範囲で非常に短くできる。近接した画像を示す画像信号の比較を行うことによって、近接した画像間の変化・違い等を検出できる。この検出は、例えば手ぶれ補正等の検知に利用可能である。

[0085] 上記の発明では、比較を行わなければ、近接した複数の時刻において取得

された連続撮像された画像信号を提供できる。或いは、比較を行わなければ、近接した複数の時刻の撮像によるハイスピード撮像を可能にする画像信号を提供できる。

[0086] 上記の側面に係る発明では、前記信号処理部は、前記第1の画素信号と前記第2の画素信号との差分を示す信号を生成する差分生成部を含むことができる。上記の発明によれば、近接した複数の時刻において取得された画像信号の差分を生成するので、差分画像を生成できる。差分画像の利用により、例えば動き検出等の機能を提供できる。

[0087] また、上記の側面に係る発明では、前記光電変換素子から前記第1の蓄積ダイオードへ転送される電荷を生成するための第1の蓄積期間は、前記光電変換素子から前記浮遊半導体領域へ転送される電荷を生成するための第2の蓄積期間に実質的に等しくするとき、差分画像の生成が容易になる。

[0088] 上記の側面に係る発明では、前記第1及び第2の電荷転送経路の他方は、前記光電変換素子からの電荷を蓄積する第2の蓄積ダイオードと、第4の制御信号に応答して前記第2の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第2の転送スイッチと、を含むことができる。前記第1のシャッタースイッチは、前記光電変換素子と前記第1の蓄積ダイオードの一端との間に接続され、前記第1の転送スイッチは、前記第1の蓄積ダイオードの前記一端と前記浮遊半導体領域との間に接続される。前記第2の転送スイッチは、前記浮遊半導体領域と前記第2の蓄積ダイオードの一端との間に接続され、前記第2のシャッタースイッチは、前記光電変換素子と前記第2の蓄積ダイオードの前記一端との間に接続される。

[0089] 上記の発明では、第1及び第2のシャッタースイッチは、それぞれ、光電変換素子から第1及び第2の蓄積ダイオードへの電荷転送を制御する。これらの制御に結果、それぞれの転送電荷は、第1及び第2の蓄積ダイオードに一時的に蓄積される。固体撮像装置では、これらの蓄積ダイオードが埋め込み構造のpnダイオードを提供できる。高い蓄積性能が提供される。この高性能化により、電荷転送に関して高精度の多重シャッター（例えばデュアルシャ

ッタ)を提供できる。

[0090] 上記の側面に係る発明では、前記画素は、前記第1及び第2の電荷転送経路と異なり前記光電変換素子から前記浮遊半導体領域に至る第3の電荷転送経路を更に備えることができる。前記第3の電荷転送経路は、第5の制御信号にตอบสนองして前記光電変換素子からの電荷転送を制御する第3のシャッタースイッチと、前記光電変換素子からの電荷を蓄積する第3の蓄積ダイオードと、第6の制御信号にตอบสนองして前記第3の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第3の転送スイッチと、を含み、前記信号処理回路は、前記画素アレイからの第3の画素信号を読み出し、前記第3の画素信号は、前記第3の電荷転送経路を介して前記浮遊半導体領域に転送された電荷に対応する。上記の発明では、第3の電荷転送経路の提供と第3の電荷転送経路の第3の蓄積ダイオードとにより、トリプルシャッターを提供できる。

[0091] この画素回路の一例では、第3のシャッタースイッチは、光電変換素子と第3の蓄積ダイオードの一端との間に接続され、第3の転送スイッチは、第3の蓄積ダイオードの一端と浮遊半導体領域との間に接続される。

産業上の利用可能性

[0092] 本発明は、固体撮像装置、画素信号を読み出す方法、画素を使用用途とし、多重化されたグローバルシャッターの動作が可能な固体撮像装置、アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法、或いは、多重化されたシャッターの動作が可能な画素を提供することができるものである。

符号の説明

[0093] 1…固体撮像装置、3…画素アレイ、11、12a、12b…画素、11a…光電変換素子、11b…画素回路、S1、S2、S(pixel)…画素信号、C…カラム線、5…カラム信号処理部、15…カラム信号処理回路、9…信号処理部、CTP1、CTP2、CTP3…電荷転送経路、SD、SD1、SD23…蓄積ダイオード。

請求の範囲

[請求項1]

固体撮像装置であって、
アレイ状に配列された複数の画素を含む画素アレイと、
前記画素を制御するための第1、第2、第3の制御信号を生成する制御回路と、
前記画素アレイからの第1及び第2の画素信号を一フレームにおいて読み出す読出回路と、
前記読出回路からの信号を処理する信号処理部と、
を備え、
各画素は、
受けた光から電気信号を生成する光電変換素子と、
前記光電変換素子からの電荷を蓄積する浮遊半導体領域と、
前記光電変換素子から前記浮遊半導体領域に至る第1の電荷転送経路と、
前記光電変換素子から前記浮遊半導体領域に至る第2の電荷転送経路と、
前記浮遊半導体領域における電位に応じた信号を提供する出力部と、
を含み、
前記第1及び第2の電荷転送経路の一方は、前記第1の制御信号に
応答して前記光電変換素子からの電荷の転送を制御する第1のシャ
ッタースイッチと、前記光電変換素子からの電荷を蓄積する第1の蓄
積ダイオードと、前記第2の制御信号に応答して前記第1の蓄積ダイ
オードから前記浮遊半導体領域への電荷転送を制御する第1の転送ス
イッチと、
を含み、
前記第1及び第2の電荷転送経路の他方は、前記第3の制御信号
に応答して前記光電変換素子からの電荷の転送を制御する第2のシャ

ッタースイッチを含み、

前記第 1 の画素信号は、前記第 1 の電荷転送経路を介して前記浮遊半導体領域に転送された第 1 の転送電荷に対応し、

前記第 2 の画素信号は、前記第 2 の電荷転送経路を介して前記浮遊半導体領域に転送された第 2 の転送電荷に対応する、ことを特徴とする固体撮像装置。

[請求項2]

前記画素は、前記浮遊半導体領域をリセットするリセットスイッチを含み、

前記制御回路は、前記リセットスイッチを制御するリセット信号を生成し、

前記第 1 の画素信号は、前記第 1 の転送電荷に対応した第 1 信号レベルと、前記リセットスイッチによりリセットされた前記浮遊半導体領域の電位に対応した第 1 リセットレベルとを含み、

前記第 2 の画素信号は、前記第 2 の転送電荷に対応した第 2 信号レベルと、前記リセットスイッチによりリセットされた前記浮遊半導体領域の電位に対応した第 2 リセットレベルとを含み、

前記読出回路は、前記第 1 及び第 2 の画素信号をそれぞれ標本化するための第 1 及び第 2 の相関二重サンプリング回路を含む、ことを特徴とする請求項 1 に記載された固体撮像装置。

[請求項3]

前記第 1 の電荷転送経路を介して転送される電荷の蓄積のための第 1 蓄積期間は、前記第 2 の電荷転送経路を介して転送される電荷の蓄積のための第 2 蓄積期間より長い、

前記信号処理部の前記出力信号は、前記第 1 及び第 2 の画像信号から合成画像信号を合成する信号合成部を含み、

前記合成画像信号は、前記第 1 及び第 2 の画像信号の各々におけるダイナミックレンジよりも広いダイナミックレンジを有する、ことを特徴とする請求項 1 又は請求項 2 に記載された固体撮像装置。

[請求項4]

前記信号処理部は、前記第 1 及び第 2 の画像信号の一方を前記第 1

及び第2の画像信号の他方と比較して、前記第1及び第2の画像信号の比較結果を示す比較信号を提供する比較部を含む、ことを特徴とする請求項1又は請求項2に記載された固体撮像装置。

[請求項5]

前記光電変換素子から前記第1の蓄積ダイオードへ転送される電荷を生成するための第1の蓄積期間は、前記光電変換素子から前記浮遊半導体領域へ転送される電荷を生成するための第2の蓄積期間に実質的に等しく、

前記信号処理部は、前記第1の画素信号と前記第2の画素信号との差分に対応する信号を生成する差分生成部を含む、ことを特徴とする請求項1～請求項4のいずれか一項に記載された固体撮像装置。

[請求項6]

前記第1及び第2の電荷転送経路の他方は、前記光電変換素子からの電荷を蓄積する第2の蓄積ダイオードと、第4の制御信号に応答して前記第2の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第2の転送スイッチと、を含み、

前記第2の転送スイッチは、前記浮遊半導体領域と前記第2の蓄積ダイオードの一端との間に接続され、

前記第2のシャッタースイッチは、前記光電変換素子と前記第2の蓄積ダイオードの前記一端との間に接続され、

前記第1のシャッタースイッチは、前記光電変換素子と前記第1の蓄積ダイオードの一端との間に接続され、

前記第1の転送スイッチは、前記第1の蓄積ダイオードの前記一端と前記浮遊半導体領域との間に接続される、ことを特徴とする請求項1～請求項5のいずれか一項に記載された固体撮像装置。

[請求項7]

前記画素は前記光電変換素子から前記浮遊半導体領域に至る第3の電荷転送経路を更に備え、

前記第3の電荷転送経路は、第5の制御信号に応答して前記光電変換素子からの電荷転送を制御する第3のシャッタースイッチと、前記光電変換素子からの電荷を蓄積する第3の蓄積ダイオードと、第6の

制御信号に応答して前記第3の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第3の転送スイッチと、を含み、

前記信号処理部は、前記画素アレイからの第3の画素信号を読み出し、

前記第3の画素信号は、前記第3の電荷転送経路を介して前記浮遊半導体領域に転送された電荷に対応する、ことを特徴とする請求項1～請求項6のいずれか一項に記載された固体撮像装置。

[請求項8]

アレイ状に配列された複数の画素を含む画素アレイから画素信号を読み出す方法であって、当該方法は、

前記画素アレイにおける画素の各々における光電変換素子を用いてフレーム期間内の第1の蓄積期間に第1の電荷蓄積を行うステップと、

前記第1の電荷蓄積における電荷を前記画素における第1の電荷転送経路を介して前記画素における浮遊半導体領域に転送するために、該電荷を前記第1の電荷転送経路内の第1の蓄積ダイオードに一時的に蓄積するステップと、

前記光電変換素子を用いて前記フレーム期間内の第2の蓄積期間に第2の電荷蓄積を行うステップと、

前記画素の第2の電荷転送経路を介して前記第2の電荷蓄積における電荷を前記浮遊半導体領域に転送すると共に、前記浮遊半導体領域における転送電荷量に応じた画素信号をカラム線に提供するステップと、

前記カラム線上の前記画素信号を読み出すステップと、

前記第1の蓄積ダイオードに一時的に蓄積された電荷を前記浮遊半導体領域に転送すると共に、前記浮遊半導体領域における転送電荷量に応じた別の画素信号をカラム線に提供するステップと、

前記カラム線上の前記別の画素信号を読み出すステップと、

前記画素信号及び前記別の画素信号を処理するステップと、

を備えることを特徴とする、画素信号を読み出す方法。

[請求項9]

固体撮像装置のための画素であって、

受けた光から電気信号を生成する光電変換素子と、

前記光電変換素子からの電荷を蓄積する浮遊半導体領域と、

前記光電変換素子から前記浮遊半導体領域に至る第1の電荷転送経路と、

前記第1の電荷転送経路と異なり前記光電変換素子から前記浮遊半導体領域に至る第2の電荷転送経路と、

前記浮遊半導体領域における電位に応じた信号を提供する出力部と

、

を含み、

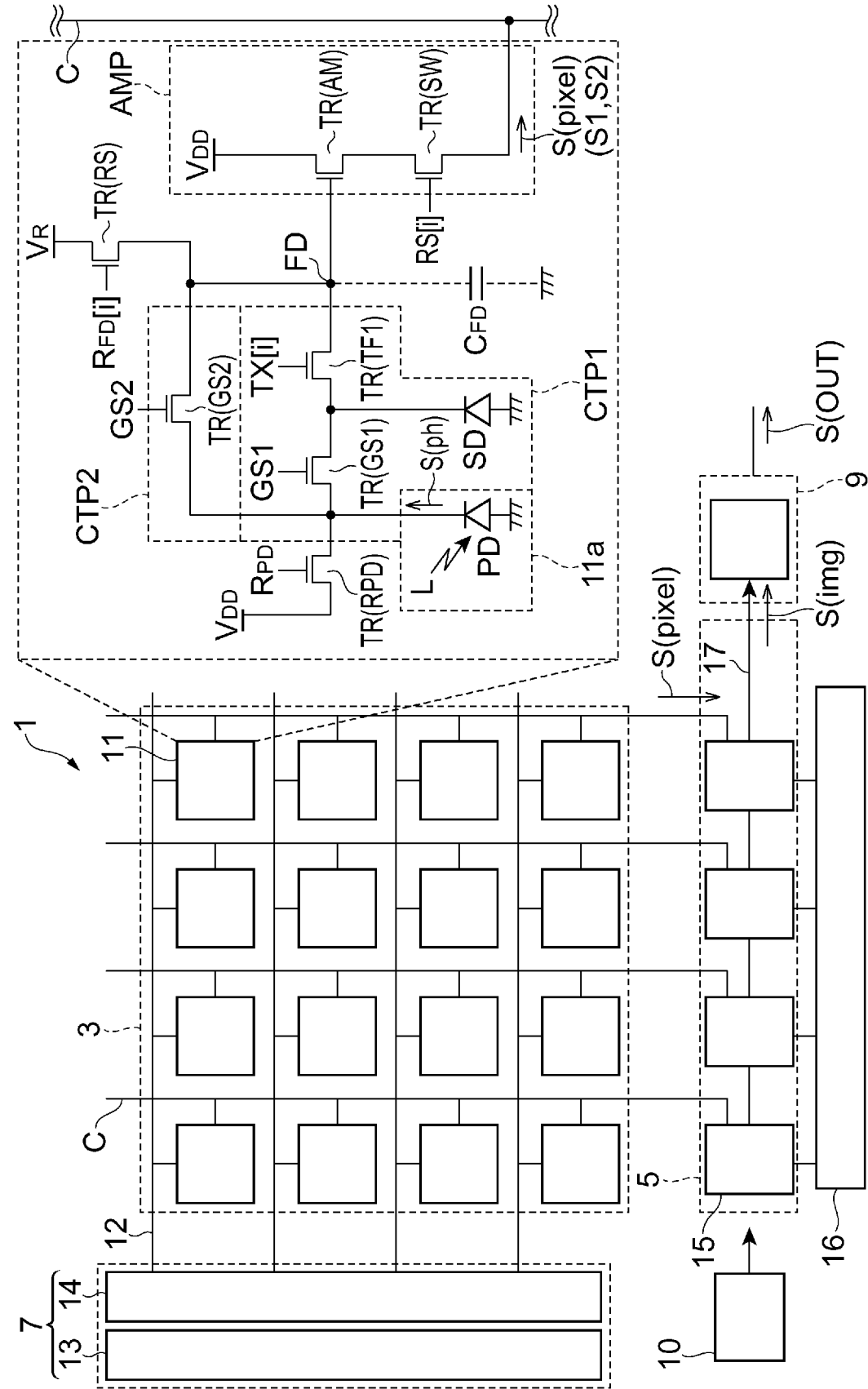
前記第1の電荷転送経路は、前記光電変換素子からの電荷の転送を制御する第1のシャッタースイッチと、前記光電変換素子からの電荷を蓄積する第1の蓄積ダイオードと、前記第1の蓄積ダイオードから前記浮遊半導体領域への電荷転送を制御する第1の転送スイッチと、を含み、

前記第2の電荷転送経路は、前記光電変換素子からの電荷の転送を制御する第2のシャッタースイッチを含み、

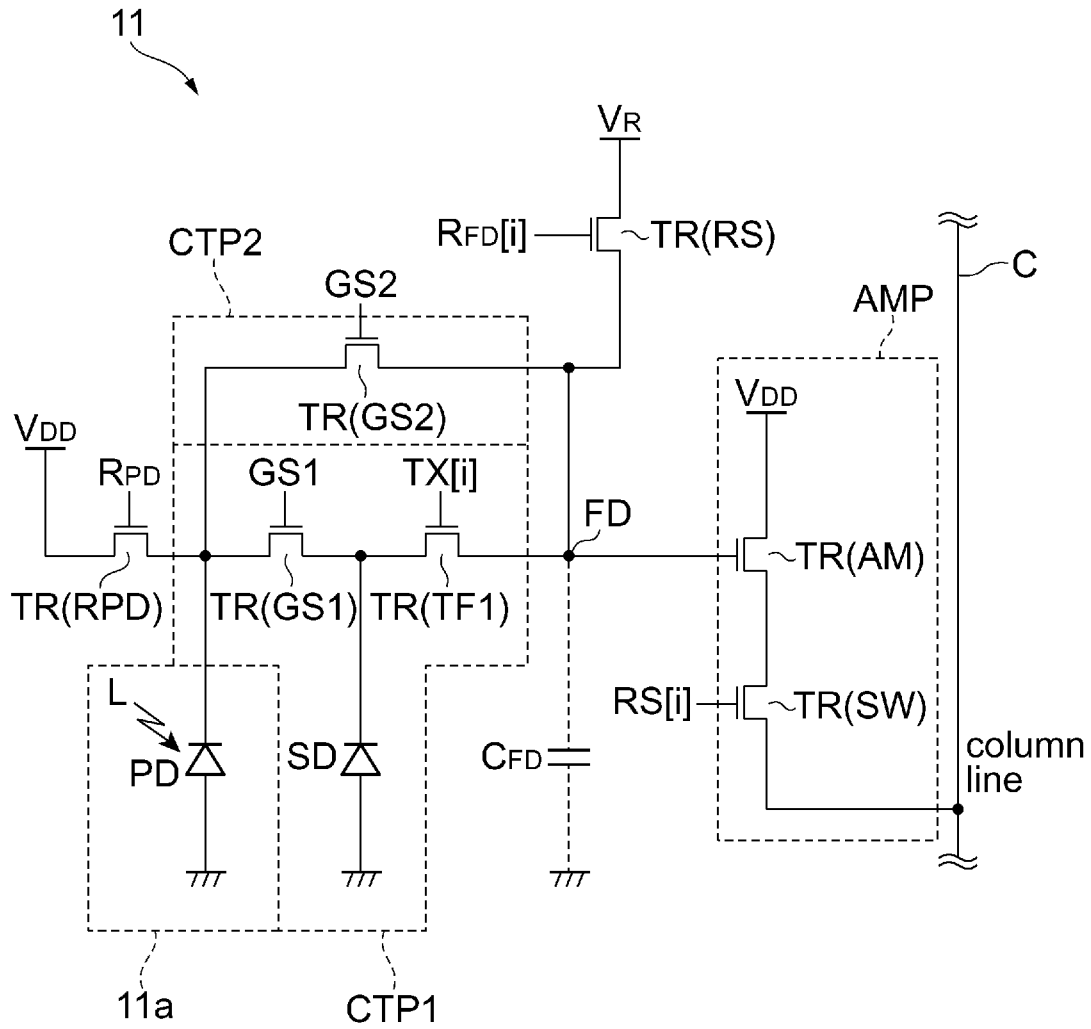
前記第1のシャッタースイッチは、前記光電変換素子と前記第1の蓄積ダイオードの一端との間に接続され、

前記第1の転送スイッチは、前記第1の蓄積ダイオードの前記一端と前記浮遊半導体領域との間に接続される、ことを特徴とする画素。

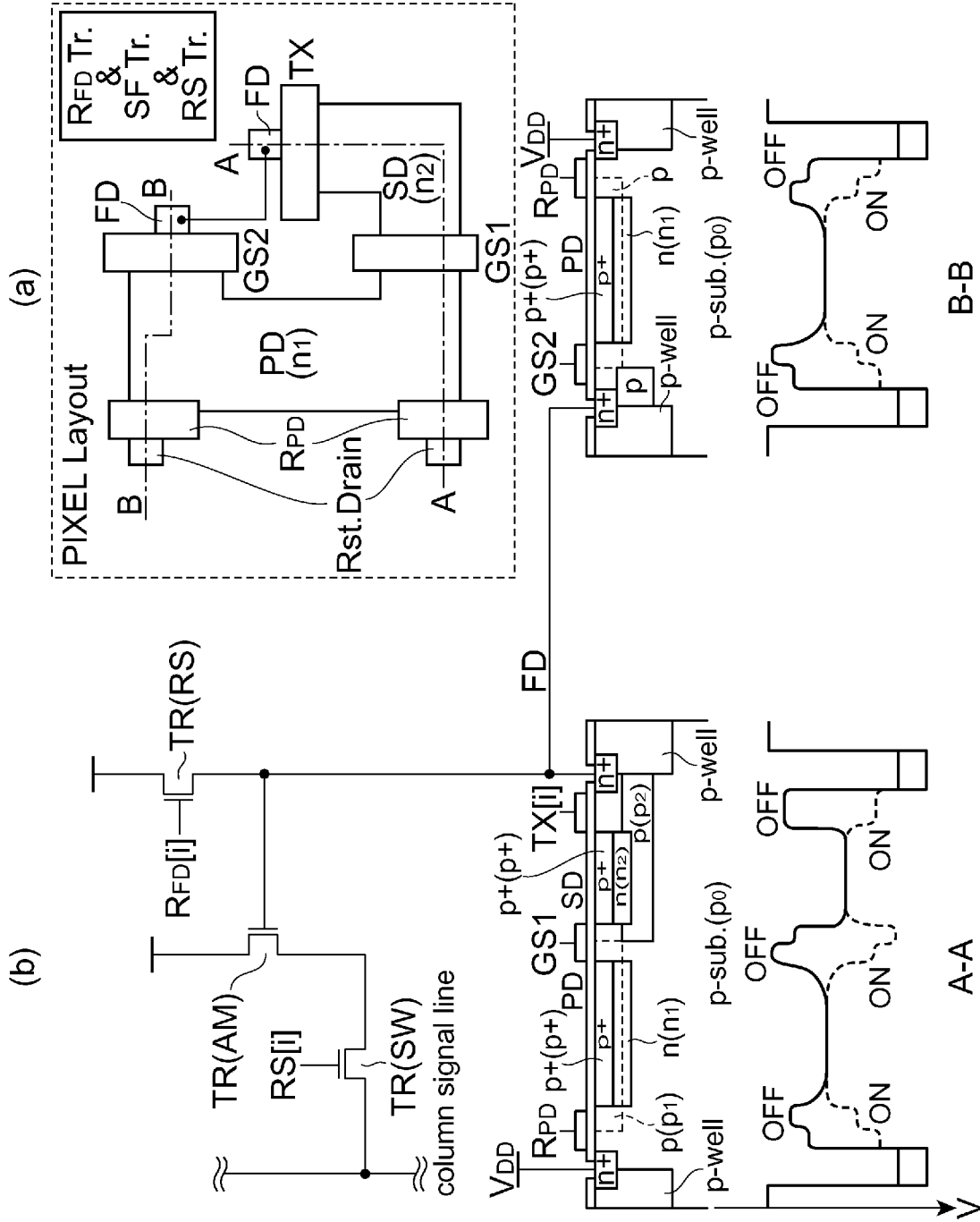
[図1]



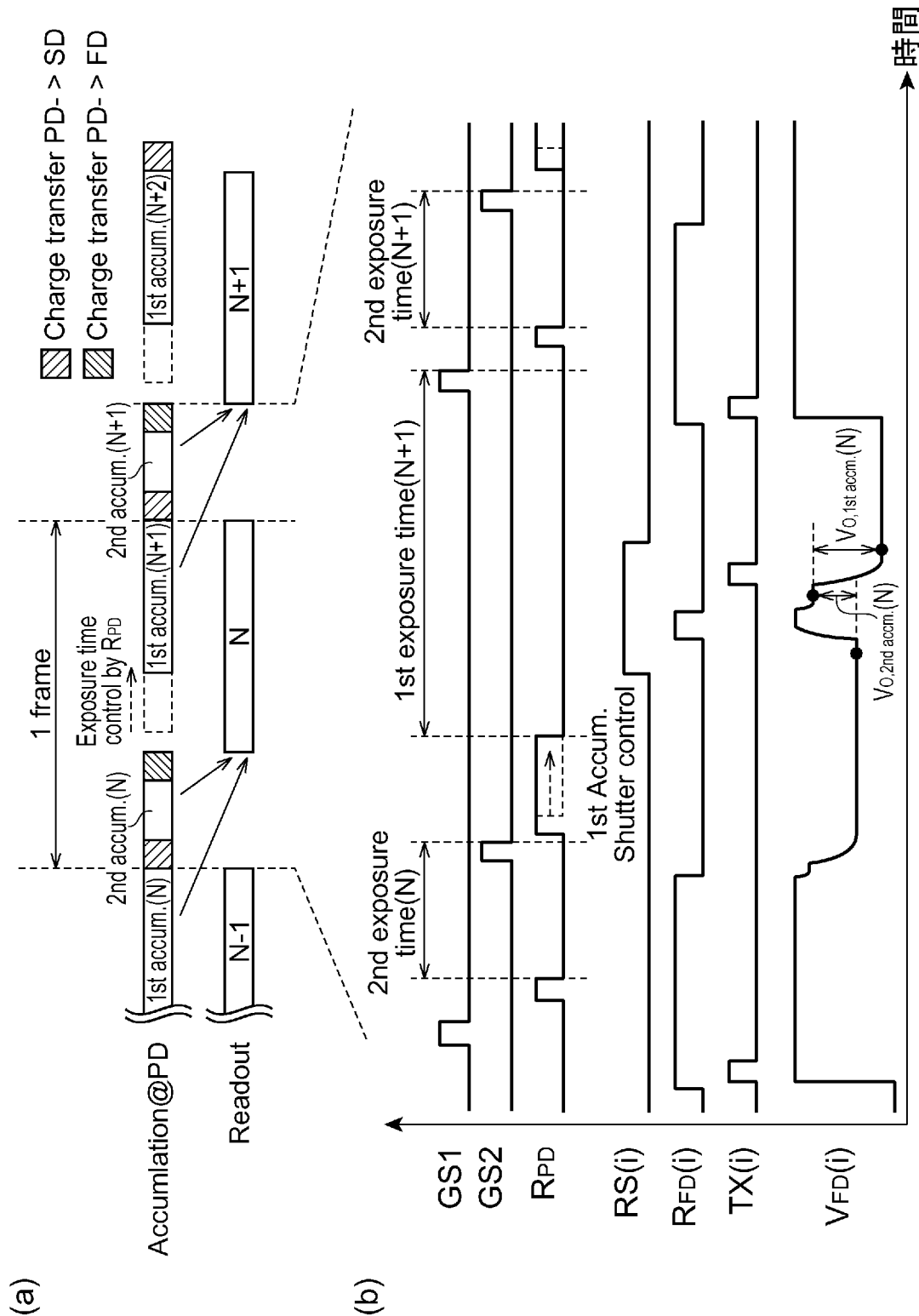
[図2]



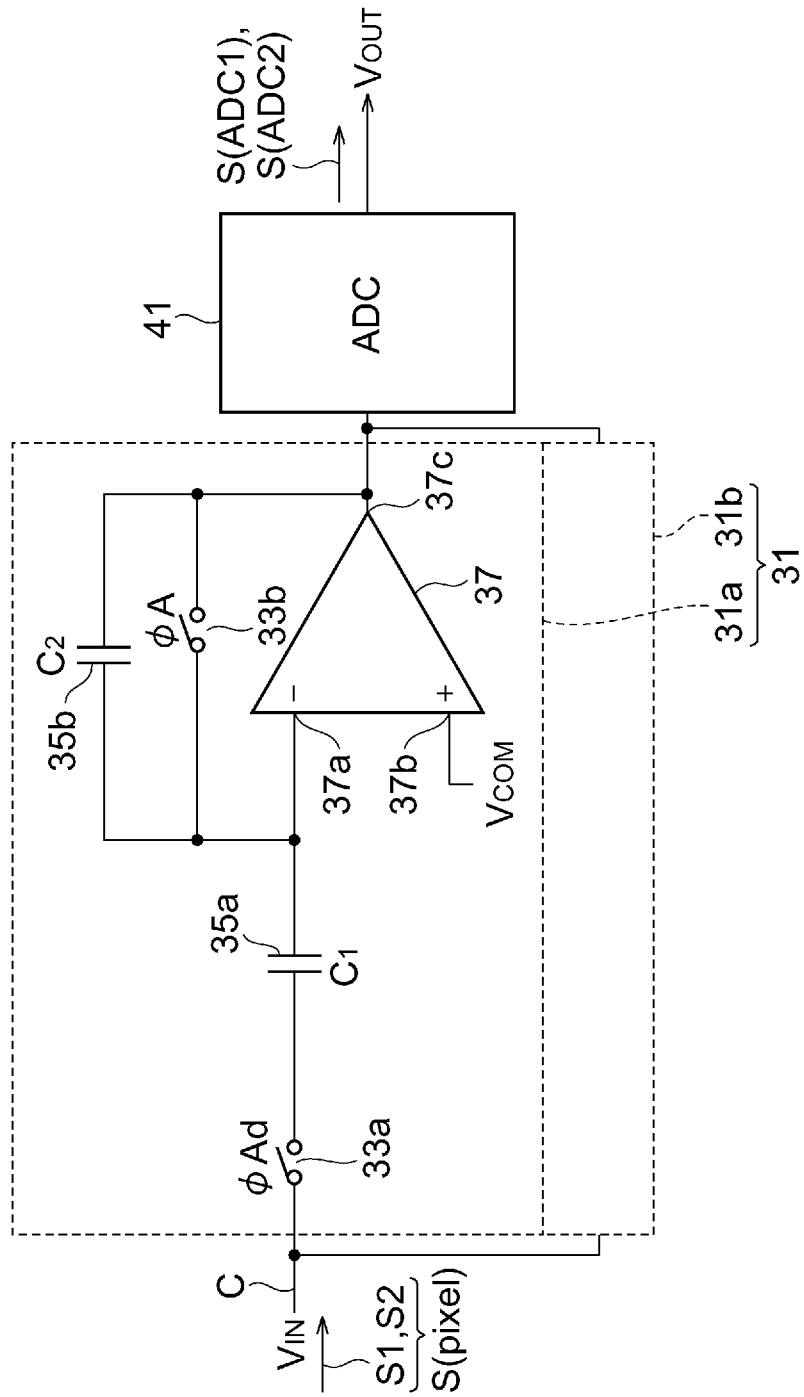
[3]



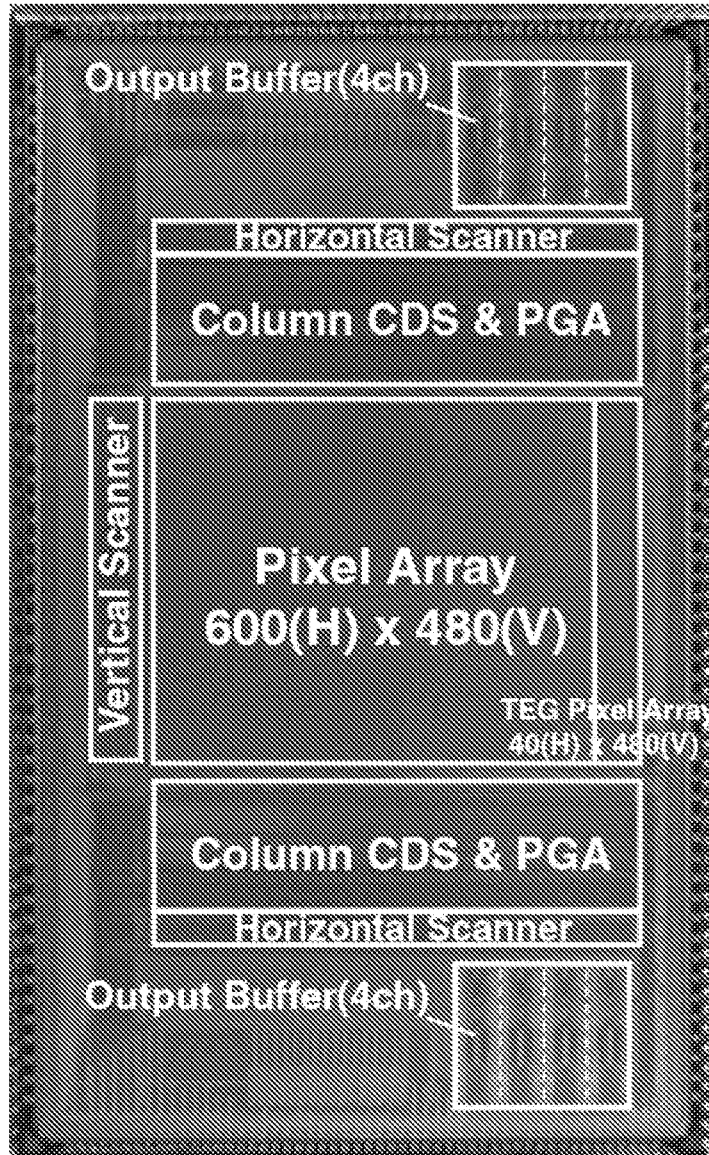
[図4]



[図5]



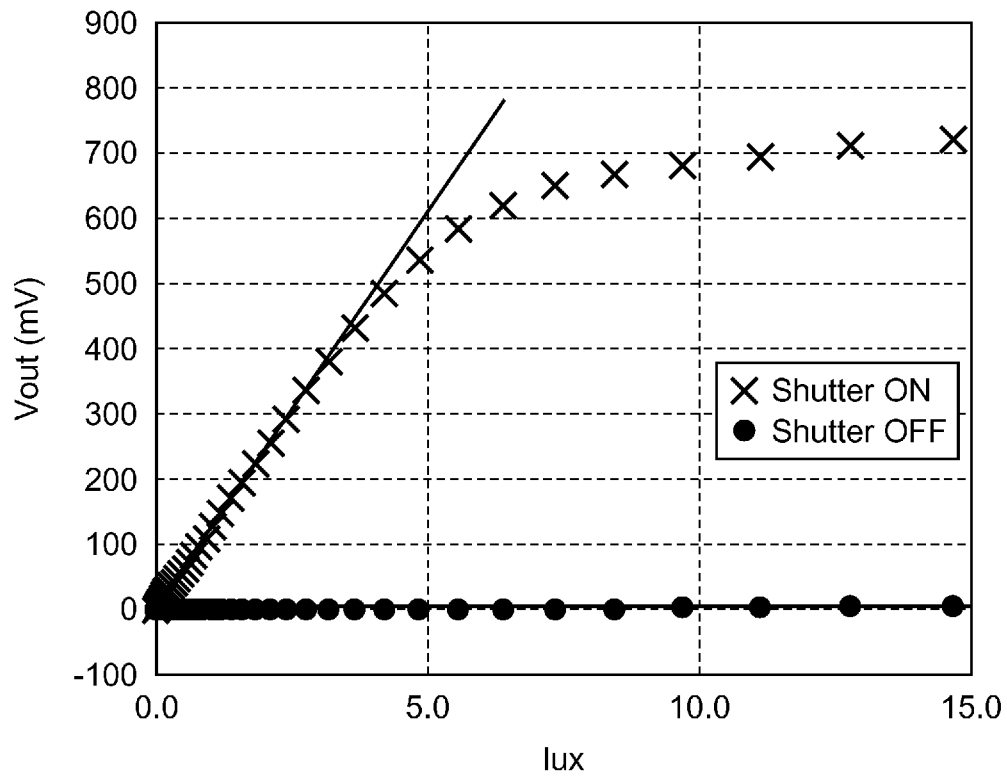
[図6]



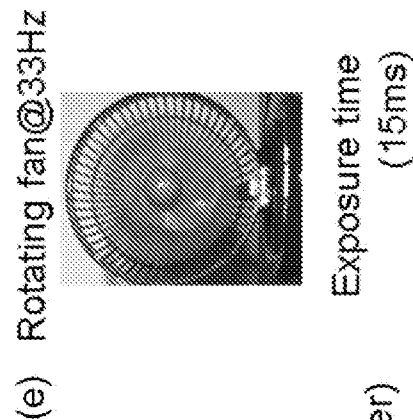
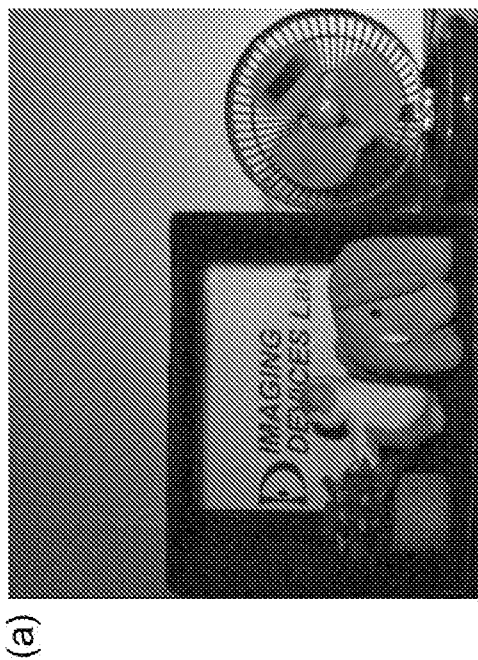
[図7]

Parameter		Value
Effective pixels		600(H) × 480(V)
Pixel size		7.5 μ m × 7.5 μ m
Frame rate (Single shutter mode / Dual shutter mode)		120fps / 60 fps
Fill factor (without microlens)		25 %
Sensitivity		8.0 V/lux·s
Conversion Gain		38 μ V/e-
Dynamic Range (Single global shutter)		57 dB
Dynamic Range (Dual global shutter)		92 dB
Full Well Capacity (Linearity)		10000 e- (<1%)
		14000 e- (<2%)
Temporal noise (Analog Gain 15x/ 1x)	SD memory signal	2.7 e _{rms} / 14.3 e _{rms}
	FD memory signal	32.8 e _{rms} / 35.7 e _{rms}
Shutter efficiency	SD memory signal	99.7 %
	FD memory signal	99.9 %
Mean dark current @ 27°C	SD memory signal	119 e-/s
	FD memory signal	1221 e-/s

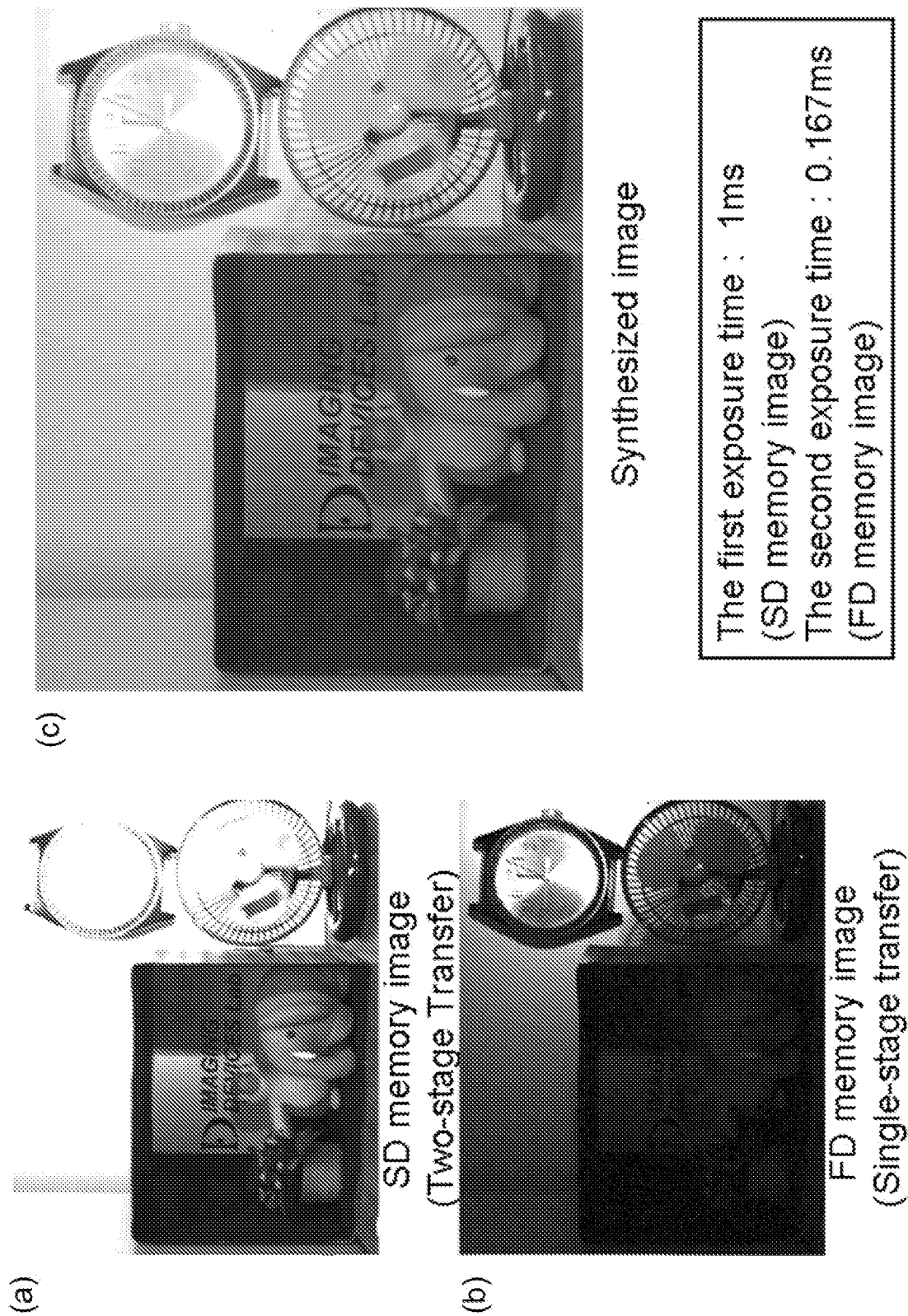
[図8]



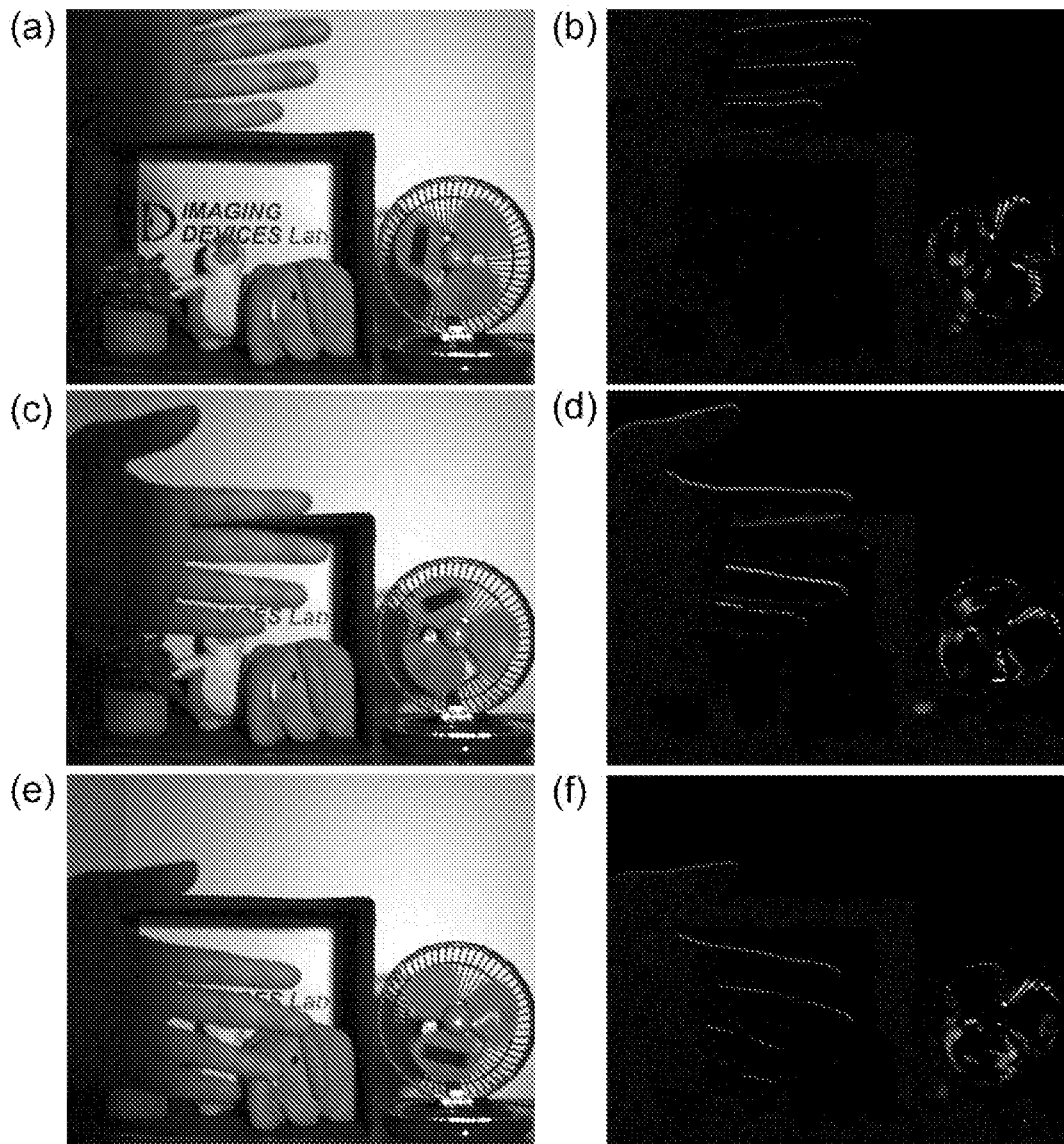
[図9]



[図10]

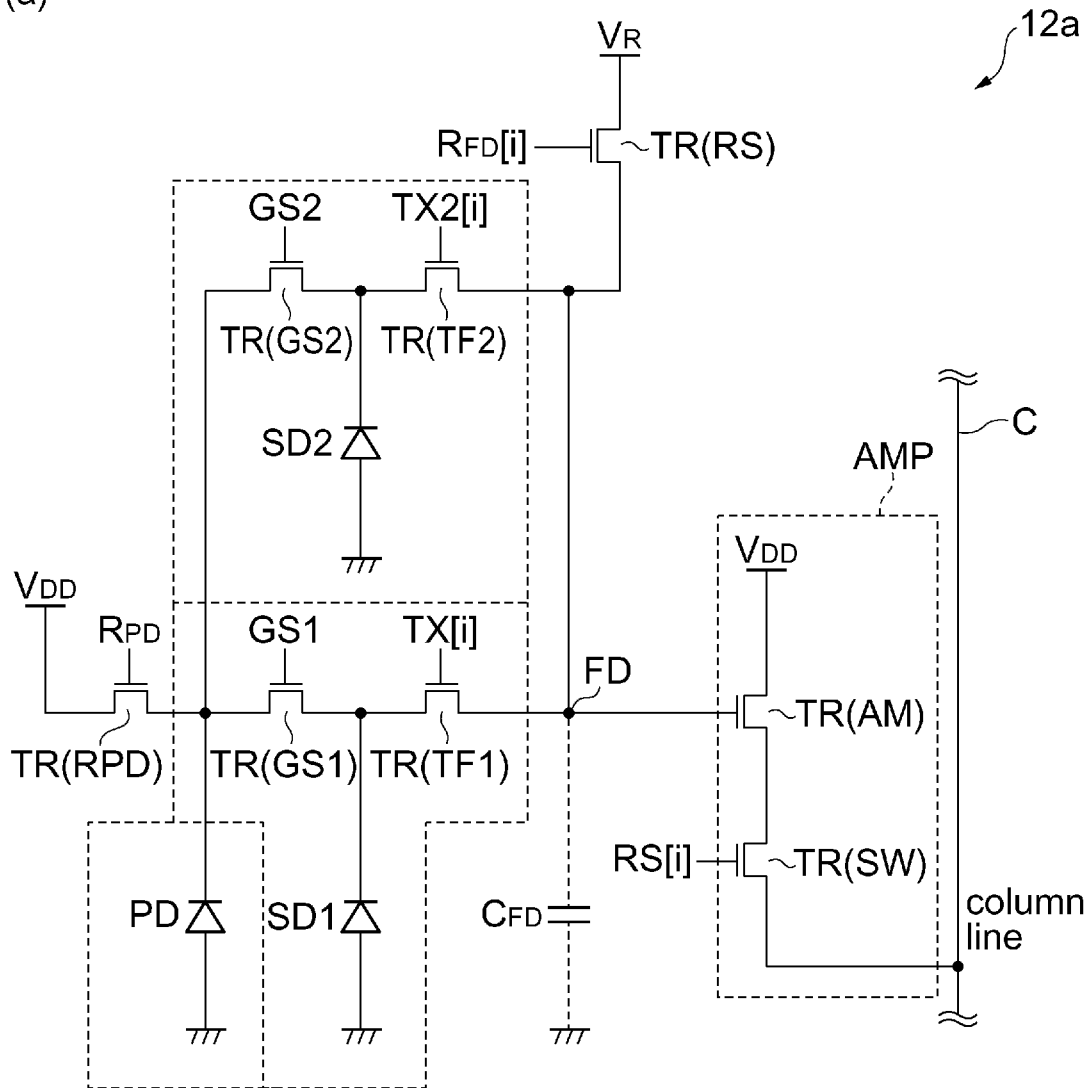


[図11]

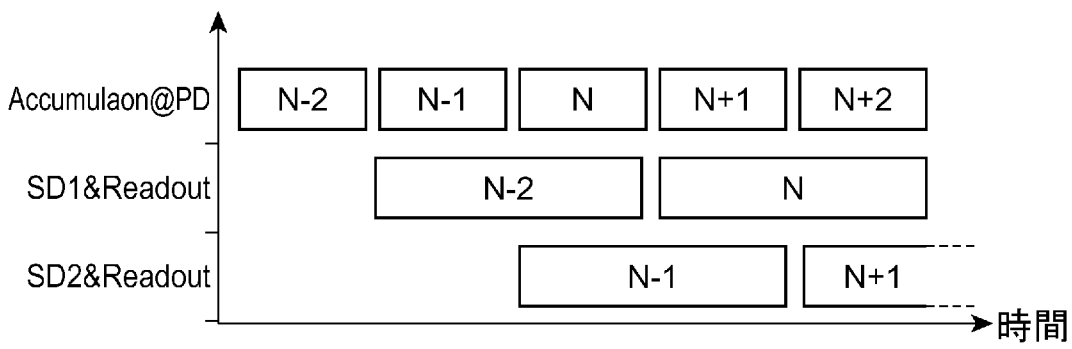


[図12]

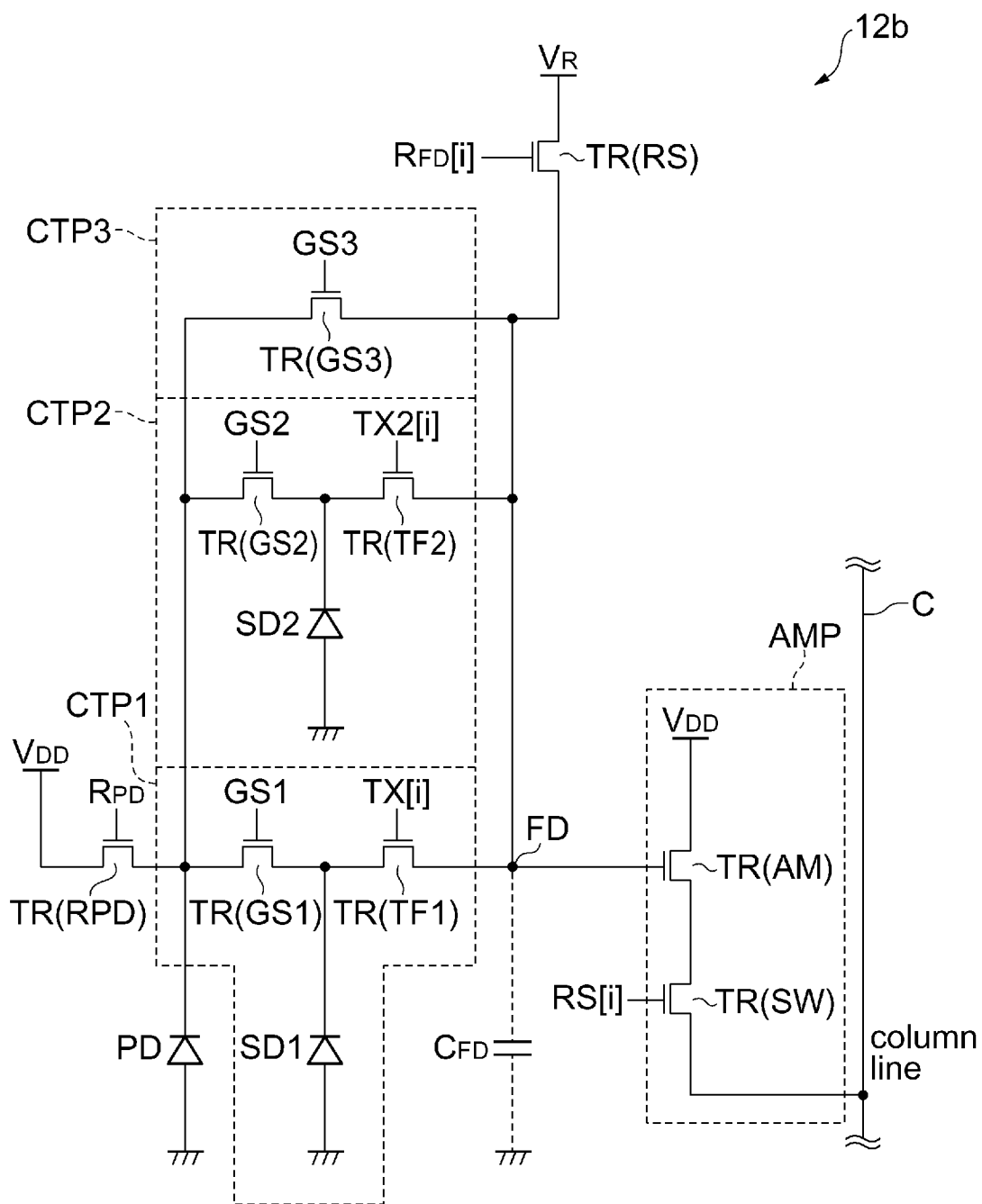
(a)



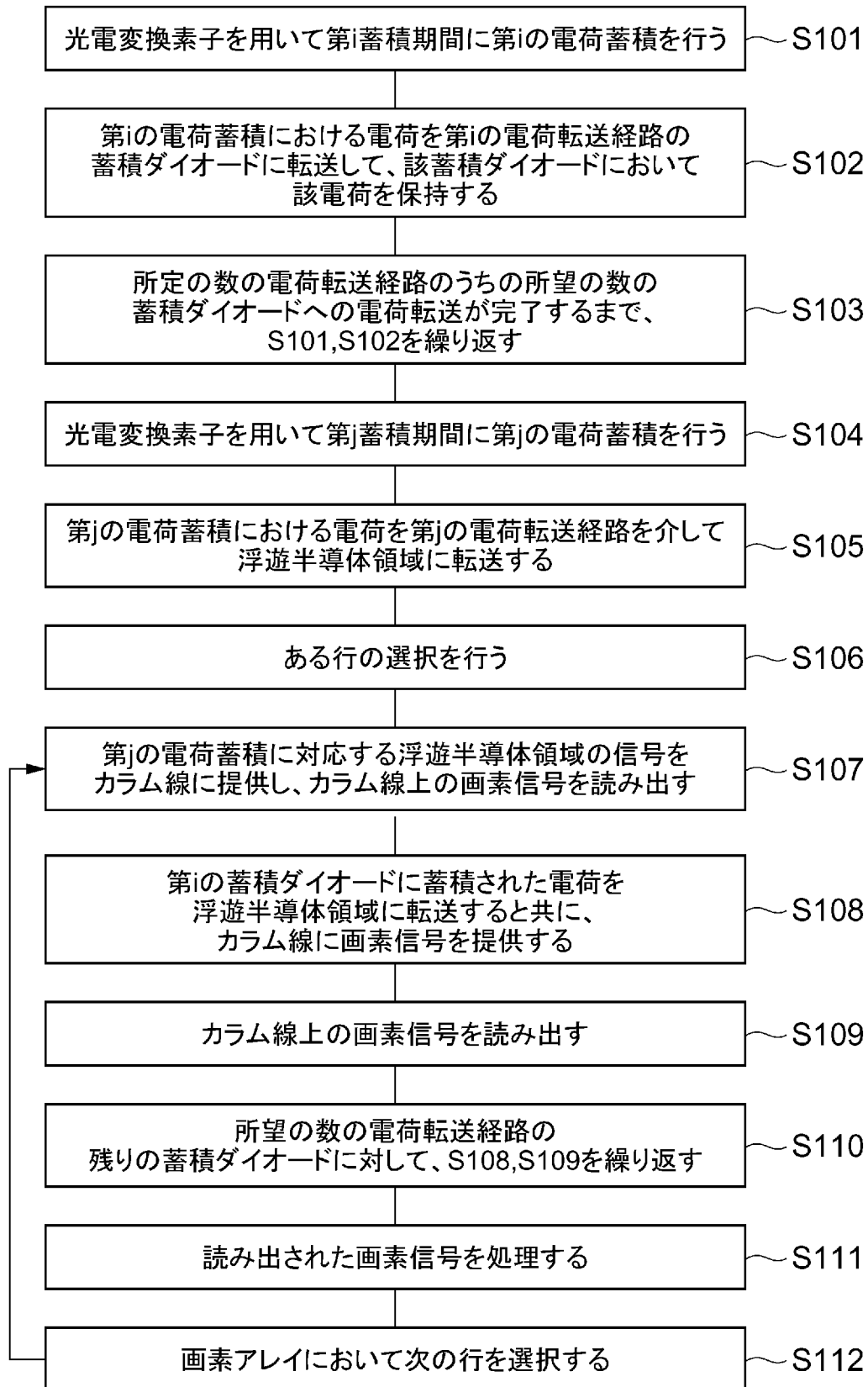
(b)



[圖13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051813

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/355(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H01L27/146, H04N5/355

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-103647 A (National University Corporation Shizuoka University), 01 May 2008 (01.05.2008), paragraphs [0014] to [0016]; fig. 1 to 3 (Family: none)	1-9
Y	JP 2009-268083 A (Sony Corp.), 12 November 2009 (12.11.2009), paragraphs [0076] to [0077]; fig. 8 & US 2009/0251582 A1 & EP 2107610 A2 & CN 101562707 A	1-9
Y	JP 2009-296574 A (Canon Inc.), 17 December 2009 (17.12.2009), paragraphs [0059] to [0068]; fig. 8 & WO 2009/133967 A2	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 February, 2011 (10.02.11)

Date of mailing of the international search report
22 February, 2011 (22.02.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051813

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-271686 A (Olympus Optical Co., Ltd.), 20 September 2002 (20.09.2002), paragraph [0039] & US 7349119 B2	3
Y	JP 2000-253316 A (Kawasaki Steel Corp.), 14 September 2000 (14.09.2000), paragraph [0028] (Family: none)	4-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/355(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/374, H01L27/146, H04N5/355

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-103647 A (国立大学法人静岡大学) 2008.05.01, 段落【0014】 - 【0016】, 図 1-3 (ファミリーなし)	1-9
Y	JP 2009-268083 A (ソニー株式会社) 2009.11.12, 段落【0076】 - 【0077】, 図 8 & US 2009/0251582 A1 & EP 2107610 A2 & CN 101562707 A	1-9
Y	JP 2009-296574 A (キヤノン株式会社) 2009.12.17, 段落【0059】 - 【0068】, 図 8 & WO 2009/133967 A2	1-9

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 10.02.2011	国際調査報告の発送日 22.02.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 肇 5P 9847 電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-271686 A (オリンパス光学工業株式会社) 2002. 09. 20, 段落【0039】 & US 7349119 B2	3
Y	JP 2000-253316 A (川崎製鉄株式会社) 2000. 09. 14, 段落【0028】 (ファミリーなし)	4-5