

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2011/096549 A1

(43) 国際公開日

2011年8月11日(11.08.2011)

PCT

- (51) 国際特許分類:  
H01L 27/14 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2011/052447
- (22) 国際出願日: 2011年2月4日(04.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-024791 2010年2月5日(05.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(National University Corporation Shizuoka University) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 鈴木 壮兵衛(SUZUKI, Sohbe); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

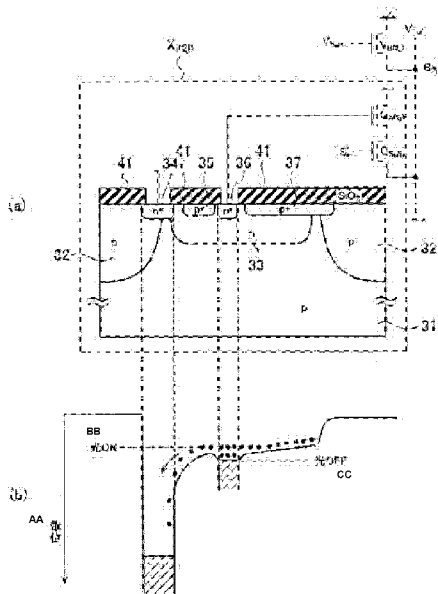
— 国際調査報告 (条約第 21 条(3))

[続葉有]

(54) Title: OPTICAL INFORMATION ACQUIRING ELEMENT, OPTICAL INFORMATION ACQUIRING ELEMENT ARRAY, AND HYBRID SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 光情報取得素子、光情報取得素子アレイ及びハイブリッド型固体撮像装置

[図4]



AA POTENTIAL  
BB LIGHT TURNED ON  
CC LIGHT TURNED OFF

(57) Abstract: Disclosed is an optical information acquiring element which is provided with: a p-type semiconductor layer (31); an n-type surface embedded region (33), which is embedded in the semiconductor layer (31) so as to configure a photodiode with the semiconductor layer (31); an n-type charge accumulating region (36), which is embedded in the surface embedded region (33), and which accumulates charges generated by the photodiode; a p-type barrier forming region, which is embedded in the surface embedded region (33), and which forms a potential barrier by sandwiching the surface embedded region (33) with the semiconductor layer (31); and an n-type charge discharging region (34), which is embedded in the semiconductor layer (31), and which stores and discharges excessive charges flowed out from the charge accumulating region (36) over the potential barrier. The optical information acquiring element transfers, at a high speed, electrons generated by light by receiving optical communication signals and taking out the change of the potential of the charge accumulating region (36) as signals. An optical information acquiring element array, and a hybrid solid-state image pickup device, which performs, at a high speed, image acquisition and information acquisition by means of optical communication, are also provided.

(57) 要約:

[続葉有]

WO 2011/096549 A1



---

p型の半導体層(31)と、半導体層(31)とフォトダイオードを構成するように、半導体層(31)に埋め込まれたn型の表面埋込領域(33)と、表面埋込領域(33)に埋め込まれ、フォトダイオードが生成した電荷を蓄積するn型の電荷蓄積領域(36)と、表面埋込領域(33)に埋め込まれ、半導体層(31)と共に表面埋込領域(33)を挟むことにより電位障壁を形成するp型の障壁形成領域と、半導体層(31)に埋め込まれ、電位障壁を越えて電荷蓄積領域(36)から流出した過剰の電荷を収納し吐き出すn型の電荷吐出領域(34)とを備え、光通信信号を受信して、電荷蓄積領域(36)の電位の変化を信号として取り出すことにより、光が生成した電子を高速に転送する光情報取得素子、光情報取得素子アレイ、高速に画像取得と光通信による情報取得を行うハイブリッド型固体撮像装置を提供する。

## 明 細 書

発明の名称：

光情報取得素子、光情報取得素子アレイ及びハイブリッド型固体撮像装置

### 技術分野

[0001] 本発明は、光通信信号として受信した光が生成した電子を転送、蓄積する機能を持った光情報取得素子、及びこの光情報取得素子を1次元又は2次元に周期的に配列した光情報取得素子アレイ、及び光情報取得素子と画像信号用の画素とを同一半導体チップ上に配列したハイブリッド型固体撮像装置に関する。

### 背景技術

[0002] 信号機や自動車のテールランプにLEDが使用されるようになってきたことから、LEDアレイを光源とし、光による空間無線通信により道路情報や、自動車が安全に走行するための情報を、信号機と自動車間（路車間）及び自動車間（車車間）でやり取りすることのできるシステムの実現に大きな期待が寄せられている。

[0003] 例えば、図12(a)に示すような、p型の半導体層31と、半導体層31の上に配置されたn型の表面埋込領域33とでフォトダイオード(33, 31)を構成した光情報取得素子が提案されている(非特許文献1参照)。信号電荷を生成するフォトダイオードの接合容量は、フォトダイオードに並列に接続され、光電変換によって生成された電荷を蓄積する電荷蓄積用コンデンサとして機能する。表面埋込領域(受光カソード領域)33の上部には、接地電位(低位電源)GNDに接続されたp型のピニング層37が配置されている。更に、図12(a)の右側に示すように、半導体層31の表面には、表面埋込領域33と離間して浮遊拡散領域となるn型の電荷蓄積領域36が配置され、電荷蓄積領域36と離間して、リセットトランジスタのn型のリセットドレイン領域39が配置されている。電荷蓄積領域36は、リセットトランジスタのリセットソース領域としても機能する。電荷蓄積領域

36とリセットドレイン領域39の間の半導体層31の上には第1のゲート絶縁膜が形成され、表面埋込領域33と電荷蓄積領域36の間の半導体層31の上には第2のゲート絶縁膜が形成されている。第1のゲート絶縁膜上には、リセットゲート電極が配置され、電荷蓄積領域36、リセットゲート電極及びリセットドレイン領域39とでリセットトランジスタとしてのnMOSFETを構成し、第2のゲート絶縁膜上には、バリアゲート電極が配置され、半導体層31をソース領域とし、バリアゲート電極及びドレイン領域となる電荷蓄積領域36とでバリアトランジスタとしてのnMOSFETを構成している。

[0004] 図12(b)は、バリアゲート電極にハイレベルの電圧が印加され、バリアトランジスタが導通状態になり、同時に、リセットゲート電極にハイレベルの電圧が印加され、リセットトランジスタが導通状態になっているときの、半導体層31の表面部における伝導帯の電位レベルを示す。電荷生成領域(受光アノード領域)で生成されたキャリア(電子)は、表面埋込領域33よりもポテンシャルレベルの低い電荷蓄積領域36に注入される。表面埋込領域33の不純物密度を電荷蓄積領域36の不純物密度よりも低く設定することにより、フォトダイオードを完全空乏化電位で動作させ、そのキャパシタンスの大きさが電荷蓄積領域36での応答とは無関係にし、寄生容量 $C_{FD}$ を小さくすることができる。このため、フォトダイオードの面積を十分に確保しながら、光通信信号に対して高速で応答することが可能になる。

## 先行技術文献

## 非特許文献

[0005] 非特許文献1：伊藤真也、他7名、「車車間・路車間光通信システムへのCMOSイメージセンサ技術の応用と光受信画素回路の特性評価」、映像情報メディア学会、情報センシング研究会、2009年3月19日

## 発明の概要

## 発明が解決しようとする課題

[0006] しかしながら、路車間及び車車間でやり取りすることのできる光通信システムの本格的な検討は、殆ど進んでいない。例えば、非特許文献1に記載された構造において、光情報取得素子を高速応答をさせるためには、時定数 $\tau$ を小さくする必要があり、検出部の容量を小さくする必要があるが、リセットトランジスタが存在するため、そのゲート容量等の寄生容量を小さくすることができないので、高速応答には難がある。

[0007] 本発明は、CMOSイメージセンサの機能性に着目した路車間・車車間通信機能を備えたイメージセンサに関するものである。特に1つのイメージセンサにおいて、画像取得と光通信による情報取得を同時に行うことができる機能を持たせ、光信号の送信位置を画像によってトラッキングしながら、通信を行う知的な機能を持たせる。

[0008] 本発明は、路車間・車車間通信を光通信で行う場合等において、光通信信号として受信した光が生成した電子を高速に転送、蓄積する機能を持った光情報取得素子、更には、この光情報取得素子を1次元又は2次元に周期的に配列した応答速度の速い光情報取得素子アレイ、及び、CMOSイメージセンサの機能性に着目して、光情報取得素子と画像信号用の画素とを同一半導体チップ上に配列し、1つの固体撮像装置において、高速に画像取得と光通信による情報取得を同時に行い、光信号の送信位置を画像によってトラッキングしながら、通信を行う知的な機能を有するハイブリッド型固体撮像装置を提供することを目的とする。

### 課題を解決するための手段

[0009] 上記目的を達成するために、本発明の第1の態様は、第1導電型の半導体層と、半導体層とフォトダイオードを構成するように、半導体層の上部の一部に埋め込まれた第2導電型の表面埋込領域と、表面埋込領域の上部の一部に埋め込まれ、フォトダイオードが生成した電荷の一部を蓄積する第2導電型の電荷蓄積領域と、表面埋込領域の上部の一部に電荷蓄積領域に隣接して埋め込まれ、半導体層と共に表面埋込領域を挟むことにより、電荷蓄積領域に蓄積された電荷の流出に対する電位障壁を形成する第1導電型の障壁形成

領域と、半導体層の上部の他の一部に表面埋込領域に隣接して埋め込まれ、電位障壁を越えて電荷蓄積領域から流出した過剰の電荷を収納し吐き出す第2導電型の電荷吐出領域とを備える光情報取得素子であることを要旨とする。この第1の態様に係る光情報取得素子においては、光通信信号のオン・オフに伴い、電位障壁の高さに依拠して電荷蓄積領域に蓄積される電荷で決まる電荷蓄積領域の電位の変化を信号として取り出すことを特徴とする。

[0010] 本発明の第2の態様は、第1の態様に係る光情報取得素子を複数個、同一の半導体チップ上に配列した光情報取得素子アレイであることを要旨とする。この第2の態様に係る光情報取得素子アレイにおいては、光通信信号のオン・オフに伴い、電位障壁の高さに依拠して電荷蓄積領域に蓄積される電荷で決まる電荷蓄積領域の電位の変化を、複数個の光情報取得素子のそれぞれから信号として取り出すことを特徴とする。

[0011] 本発明の第3の態様は、第1の態様に係る光情報取得素子を複数個の画像信号用の画素とともに複数個、同一の半導体チップ上に混載して配列したハイブリッド型固体撮像装置であることを要旨とする。この第3の態様に係るハイブリッド型固体撮像装置においては、光通信信号のオン・オフに伴い、電位障壁の高さに依拠して電荷蓄積領域に蓄積される電荷で決まる電荷蓄積領域の電位の変化を、複数個の光情報取得素子のそれぞれから信号として取り出し、複数個の画像信号用の画素からそれぞれ画像信号を取り出すことを特徴とする。

### 発明の効果

[0012] 本発明によれば、光通信において、光通信信号として受信した光が生成した電子を高速に転送、蓄積することの可能な光情報取得素子、この光情報取得素子を1次元又は2次元に周期的に配列した応答速度の速い光情報取得素子アレイ、及び、光情報取得素子と画像信号用の画素とを同一半導体チップ上に配列して、高速に画像取得と光通信による情報取得を同時に行い、光信号の送信位置を画像によってトラッキングしながら、通信を行うことが可能なハイブリッド型固体撮像装置を提供することができる。

## 図面の簡単な説明

[0013] [図1]本発明の実施の形態に係るハイブリッド型固体撮像装置（２次元イメージセンサ）の半導体チップ上のレイアウトと、半導体チップに接続され、主に光通信信号を処理する外部システムとを含む全体構成を説明する模式的平面図である。

[図2]図 1 に示した半導体チップ上に配列される画素アレイ部のレイアウトの一例を示す拡大図である。

[図3]図 1 に示した外部システムの構成の概略を説明する例示的なブロック図である。

[図4]図 4（a）は、本発明の実施の形態に係るハイブリッド型固体撮像装置の光通信信号用の画素となる光情報取得素子の構成の概略の一部を説明する模式的な断面図である。図 4（b）は、下方向を電位（ポテンシャル）の正方向として表現した、図 4（a）に対応する、電荷（電子）に対するポテンシャル図である。

[図5]本発明の実施の形態に係る光情報取得素子の電荷蓄積領域と電荷吐出領域との間に設けられる電位障壁の高さを決める完全空乏化電位を説明する図である。

[図6]本発明の実施の形態に係る光情報取得素子の動作を説明するタイミング図である。

[図7]本発明の実施の形態に係る光情報取得素子に入射するLED光源の強度を変化させたときの、電荷蓄積領域の電位の振幅の周波数依存性を示す図である。

[図8]図 8（a）は、図 3 に示した外部システムにおいて、パルス等化器（イコライザ）を使用する前の光通信信号用の画素からの光信号の出力パルスの波形を連続的に重ね合わせて表示したアイ・ダイアグラムで、図 8（b）は、パルス等化器を使用することにより、パルスの質が改善されることを説明するアイ・ダイアグラムである。

[図9]本発明の実施の形態に係る半導体チップの画像信号用の画素Xによって

撮像された灰色画像を示す図である。

[図10] 図10(a)は、光通信信号の送信側において、QVGA解像度のCMOSカメラによって撮影された画像であり、図10(b)は、図10(a)の画像を10×10の赤外線LEDアレイによって、5MHzの搬送周波数で送信された光信号を、光通信信号用の画素によって受信し、再生した画像を示す図である。

[図11] LED光源を追尾したときの、本発明の実施の形態に係るハイブリッド型固体撮像装置の応答特性を示す図である。

[図12] 図12(a)は、本発明の前提となった先行技術に係る光情報取得素子の構成を説明する模式的な断面図である。図12(b)は、下方向を電位の正方向として示した、図12(a)に対応する、電荷(電子)に対するポテンシャル図である。

### 発明を実施するための形態

[0014] 次に、図面を参照して、本発明の前提となった図12に示された非特許文献1に記載された構造について検討し、その後、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0015] (先行技術の検討)

図12に示す先行技術に係る光情報取得素子は、サブスレシヨルド領域で動作するMOSトランジスタに、フォトダイオードで発生した光パルスによる電流を流すことで、不完全蓄積モードで動作させることにより、十分な応答速度と感度の両立を図るものである。図12に示す先行技術に係る光情報取得素子のバリアトランジスタのゲート電極にはパルス波の読み出し信号が印加される。バリアトランジスタのゲートに入力する電圧は、フォトダイオ



ードで発生した全ての電子が電荷蓄積領域 3 6 に流れ込むことができる電位に設定されている。電荷蓄積領域 3 6 には、図 1 2 (a) に示すように、増幅回路  $A_{ij}$  を構成する読み出しトランジスタ（図示省略）のゲート電極が接続されている。読み出しトランジスタのドレイン電極は高位電源  $V_{DD}$  に接続され、ソース電極は、選択トランジスタ（図示省略）を介して垂直信号線  $B_j$  に接続されている。バリアトランジスタのゲート電極にパルス波の読み出し信号が印加されると、電荷蓄積領域 3 6 に転送された電荷量に対応した電位として入力電圧  $V_{FD}$  が増幅回路  $A_{ij}$  の読み出しトランジスタのゲート電極に印加され、電荷蓄積領域 3 6 の電位に対応する電流が増幅回路  $A_{ij}$  の読み出しトランジスタで増幅されて垂直信号線  $B_j$  に読み出される。

[0016] 図 1 2 に示す先行技術に係る光情報取得素子は、電流アンプ回路を利用していないので、素子面積の小型化、消費電力の低減化、ノイズの抑制が可能である。特に、小型化された構造で、画像情報と光通信信号情報の双方を取得し、処理することが可能な光情報取得素子が期待できる。特に、先行技術に係る光情報取得素子において、光通信信号を受信時にリセットトランジスタをサブスレシヨルド領域（より一般的には「弱反転状態」）で動作させるようにすれば、不完全蓄積モードで動作し、微弱な光通信信号を受信した場合であっても、リセットトランジスタに流れるドレイン電流  $I_d$  が大きな値に増幅され、増幅回路  $A_{ij}$  への入力電圧  $V_{FD}$  が大きくなるように設計できるので、より高感度な光通信信号の検出が可能となる。

[0017] 更に、フォトダイオードと増幅回路  $A_{ij}$  の間に、バリアトランジスタを接続した構成を採用すれば、表面埋込領域 3 3 の不純物密度を電荷蓄積領域 3 6 の不純物密度よりも低く設定する構造設計が容易になる。このため、先行技術に係る光情報取得素子によれば、フォトダイオードを完全空乏化電位で動作させ、そのキャパシタンスの大きさが電荷蓄積領域 3 6 での応答とは無関係にすることが可能になるので、寄生容量  $C_{FD}$  を小さくすることができる。よって、先行技術に係る光情報取得素子によれば、フォトダイオードの面積を十分に確保して高感度を維持しながら、光通信信号に対して高速で応答す

ることが可能な光情報取得素子が期待できる。

[0018] フォトダイオード（33, 31）が無負荷状態では、光通信信号に応じて光電流  $I_{ph}$  もハイとローを繰り返す。所定のタイミングで光通信信号がローからハイに変化すると、フォトダイオード（33, 31）で電荷が生成され、光電流  $I_{ph}$  もローからハイに変化する。光通信信号情報を取得する光情報取得素子では、フォトダイオード（33, 31）に接続されたリセットトランジスタのゲートに  $V_{gs} < V_{th}$  のゲート電圧  $V_{gs}$  が印加され、弱反転状態で拡散電流が流れるように設定されているので、光電流  $I_{ph}$  に呼応してドレイン電流  $I_d$  も流れる。 $V_{gs} < V_{th}$  のサブスレッショルド領域では、リセットトランジスタのドレイン電流は微少であるので、フォトダイオード（33, 31）で生成した電荷は、フォトダイオード（33, 31）の接合容量（電荷蓄積用コンデンサ）に蓄積される（フォトダイオードの接合容量は、フォトダイオードに並列に接続され、光電変換によって生成された電荷を蓄積する電荷蓄積用コンデンサとして機能している。）。これにより、リセットトランジスタのソース電極の電位が低下する。サブスレッショルド領域におけるリセットトランジスタのドレイン電流  $I_d$  は：

$$I_d = I_{so} \exp(q V_{gs} / n k T) \{1 - \exp(-q V_{ds} / k T)\} \quad \dots (1)$$

のようになる。ここで  $I_{so}$  は構造に依存した常数、 $q$  は素電荷、 $k$  はボルツマン定数、 $T$  は絶対温度、 $n$  は理想化定数である。リセットトランジスタのソース・ドレイン間電圧  $V_{ds}$  は  $k T / q = V_T$  を熱抵抗として、 $V_{ds} \gg V_T$  であるので、式(1)は、

$$I_d = I_{so} \exp(q V_{gs} / n k T) \quad \dots (2)$$

となる。実際には、フォトダイオード（33, 31）を電源に接続する直列回路（図示省略）には、抵抗成分  $R$  と容量成分  $C$  とによる時定数  $\tau = RC$  が存在する。リセットトランジスタの弱反転状態における動作抵抗  $R_{op}$  は、式(2)をゲートソース間電圧  $V_{gs}$  で微分して：

$$R_{op} = n V_T / I_p \quad \dots (3)$$

となる。リセットトランジスタのバルクの抵抗等、他の内部抵抗成分を無視

すれば、フォトダイオード（33, 31）を電源に接続する直列回路の時定数  $\tau$  は、増幅回路  $A_{ij}$  の入力側の配線の寄生容量を  $C_{FD}$  とすると：

$$\tau = nC_{FD} V_T / I_p \quad \dots (4)$$

となる。よって、光電流  $I_{ph}$  がハイレベルの時のドレイン電流  $I_d$  の大きさは：

$$I_d = I_p / \{ 1 + (I_p / I_{dM} - 1) \exp(-t / \tau) \} \quad \dots (5)$$

で表す立ち上がり特性で示すことができる。  $I_p$  はドレイン電流  $I_d$  及び光電流  $I_{ph}$  の最大値であり、  $I_{dM}$  はドレイン電流  $I_d$  の最小値である。リセットトランジスタのソース電極の電位の低下に応じてドレイン電流  $I_d$  が流れると、リセットトランジスタのサブスレッショルド領域における内部抵抗分の電圧降下により、増幅回路  $A_{ij}$  の入力電圧  $V_{FD}$  も変動する。

[0019] 一定時間経過後の一定時間経過後のタイミングで光通信信号がハイからローに変化すると、フォトダイオード（33, 31）で電荷の生成が停止する。しかし、リセットトランジスタが弱反転状態に設定されているので、ドレイン電流  $I_d$  は時定数  $\tau$  で減衰しながら、電荷蓄積用コンデンサ（フォトダイオードの接合容量）に向けて流れ続ける。即ち、光電流  $I_{ph}$  がローレベルの時のドレイン電流  $I_d$  の大きさは：

$$I_d = (I_p - I_{dM}) \exp(-t / \tau) + I_{dM} \quad \dots (6)$$

で表すことができる。  $I_p \gg I_{dM}$ , 且つ  $t \gg \tau$  の条件では、式（6）は：

$$I_d = I_p / (1 + t / \tau) \quad \dots (7)$$

で近似できる。即ち、電荷蓄積用コンデンサ（フォトダイオードの接合容量）に蓄積されていた電荷がリセットトランジスタを介し、時定数  $\tau$  で放電され、図12に示す増幅回路  $A_{ij}$  の入力電圧  $V_{FD}$  が増加する。これにより、増幅回路  $A_{ij}$  の入力電圧  $V_{FD}$  は、光電流  $I_{ph}$  がローとハイの間で変化するのに応じて脈動する。この脈動する増幅回路  $A_{ij}$  の入力電圧  $V_{FD}$  は、増幅回路  $A_{ij}$  を介して出力信号線  $B_j$  に読み出される。図示を省略した直流成分除去回路によって、脈動する入力電圧  $V_{FD}$  に応じたデジタル信号を生成すれば、このデジタル信号は、光通信信号に応じた変動を示す。この様にして、光情報取得素子は、光通信信号情報を取得することができる。式（4）～（7）に示す

ように、寄生容量  $C_{FD}$  を十分に小さくすれば、微小な光電流振幅  $I_p$  に対して高速に応答させることが可能になることが分かる。

[0020] 光情報取得素子を高速応答をさせるためには、時定数  $\tau$  を小さくする必要があり、検出部の容量を小さくする必要がある。これは、フォトダイオード (33, 31) あるいは検出ノードとなる電荷蓄積領域 36 の接合容量、増幅回路  $A_{ij}$  を構成する読み出しトランジスタのゲート容量等に加えて、リセットトランジスタのゲートの容量が加わる。電荷蓄積領域 36 の接合容量は十分小さくすることは可能であり、読み出しトランジスタのゲート容量についてもソースフォロワ回路の特性上、ゲート容量に対して、 $1 - G_{SF}$  ( $G_{SF}$  はソースフォロワ回路のゲイン) 倍に見える効果により、十分小さくすることができる。

[0021] したがって読み出しトランジスタやリセットトランジスタのゲート容量等の寄生容量を小さくすることができれば、高速応答に適した光情報取得素子の実現できる。以下に示す本発明の実施の形態は、上記の先行技術をふまえて、寄生容量を小さくするための素子構造やその固体撮像装置への応用例を例示する技術的思想を提供するものである。又、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでなく、本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0022] (本発明の実施の形態)

本発明の実施の形態に係るハイブリッド型固体撮像装置 (2次元イメージセンサ) は、図1に示すように、画素アレイ部 11 と周辺回路部 (12, 13, 14, ..., 18, 19) とを集積化した半導体チップ 1 と、半導体チップ 1 と通信し、主に光通信信号を処理する外部システム 2 とを備え、画像取得と光通信による情報取得を同時に行うことができる機能を有する。

[0023] 画像取得と光通信による情報取得を同時に行い、光信号の送信位置を画像によってトラッキングしながら、通信を行う知的な機能を持たせるために、半導体チップ 1 の上に集積化された画素アレイ部 11 には、図2の拡大図に

示すように、2次元マトリクスの奇数列に画像信号用の画素 $X_{i(2j-1)}$ を、偶数列に光通信信号用の画素 $X_{i(2j)}$  ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)を混載して配列している。画像信号用の画素 $X_{i(2j-1)}$ と光通信信号用の画素 $X_{i(2j)}$ とを交互に周期的に配列した平面パターンは、例示に過ぎないので、図2に示すトポロジーに限定されるものではない。例えば、画像信号用の画素列を2列連続的に配列した後、3列目に光通信信号用の画素列を混載して配列するような周期的配列でもよく、画像信号用の画素列を3列連続的に配列した後、4列目に光通信信号用の画素列を配列するような周期的配列でもよい。又、画像信号用の画素と光通信信号用の画素とを、市松模様(チェック)状に交互に周期的に混載して配列しても構わない。画像信号用の画素 $X_{i(2j-1)}$ と光通信信号用の画素 $X_{i(2j)}$ は、それぞれ、例えば、方形状の撮像領域を構成している。

[0024] 画素アレイ部11の下辺部には、画素行 $X_{11} \sim X_{1m}$ ; ……;  $X_{i1} \sim X_{im}$ ; ……;  $X_{(n-2)1} \sim X_{(n-2)m}$ ;  $X_{(n-1)1} \sim X_{(n-1)m}$ ;  $X_{n1} \sim X_{nm}$ 方向に沿って、画像信号生成用の比較器/ラッチ回路14、相関二重サンプリング(CDS)回路15、水平読み出し回路16が設けられ、画素アレイ部11の上辺部には、光通信信号処理用のXアドレス生成回路17とバンドパス増幅器18が設けられている。画素アレイ部の左辺部には画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}$ ;  $X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}$ ;  $X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}$ ; ……;  $X_{1(2j-1)}, \dots, X_{i(2j-1)}, \dots, X_{(n-2)(2j-1)}, X_{(n-1)(2j-1)}, X_{n(2j-1)}$ ; ……;  $X_{1(2j)}, \dots, X_{i(2j)}, \dots, X_{(n-2)(2j)}, X_{(n-1)(2j)}, X_{n(2j)}$ ; ……;  $X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 方向に沿って、画像信号生成用の行ドライバ12が設けられ、画素アレイ部の右辺部には光通信信号処理用のYアドレス生成回路13が設けられている。行ドライバ12及び水平読み出し回路16には、図示を省略したタイミング発生回路が接続されている。Yアドレス生成回路13とXアドレス生成回路17とはアドレス信号分配回路19により、互いに接続されている。

[0025] バンドパス増幅器18、アドレス信号分配回路19、比較器/ラッチ回路

14は、それぞれ外部システム2に接続され、外部システム2によって光通信信号が処理される。水平読み出し回路16及び行ドライバ12によって画素アレイ部11内の単位画素 $X_{i(2j-1)}$ 、 $X_{i(2j)}$ が順次走査され、画素信号の読み出しや画像信号の処理が実行され、奇数列の垂直信号線 $B_1, B_3, \dots, B_{(2j-1)}$ 、 $\dots$ を介して、比較器／ラッチ回路14と相関二重サンプリング回路15から外部システム2を経由して灰色画像出力が取り出され、偶数列の垂直信号線 $B_2, B_4, \dots, B_{(2j)}, \dots$ によって光通信信号が読み出される。

[0026] 即ち、本発明の実施の形態に係るハイブリッド型固体撮像装置では、画素アレイ部11を各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ の画素信号を各奇数列の画素 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1(2j-1)}, \dots, X_{i(2j-1)}, \dots, X_{(n-2)(2j-1)}, X_{(n-1)(2j-1)}, X_{n(2j-1)}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 毎に設けられた奇数列の垂直信号線 $B_1, B_3, \dots, B_{(2j-1)}, \dots$ によって画像用の画素信号を読み出し、各偶数列の画素 $X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{14}, \dots, X_{i4}, \dots, X_{(n-2)4}, X_{(n-1)4}, X_{n4}; \dots; X_{1(2j)}, \dots, X_{i(2j)}, \dots, X_{(n-2)(2j)}, X_{(n-1)(2j)}, X_{n(2j)}; \dots$ 毎に設けられた偶数列の垂直信号線 $B_2, B_4, \dots, B_{(2j)}, \dots$ によって光通信信号を読み出す構成となっている。各奇数列の垂直信号線 $B_1, B_3, \dots, B_{(2j-1)}, \dots$ から読み出された画素信号は、相関二重サンプリング回路15において信号処理された後、相関二重サンプリング回路15中のアンプを介して、灰色画像信号として、外部システム2を経由して出力される。

[0027] 偶数列の垂直信号線 $B_2, B_4, \dots, B_{(2j)}, \dots$ からは $3 \times 3$ ブロック毎の光通信信号が $9 \times 2$ チャンネルのバンドパス増幅器18に読み出され、外部システム2によって光通信信号が処理される。

[0028] 外部システム2は、例えばアナログ/デジタル・コンバータ(ADC)やフィールド・プログラマブル・ゲート・アレイ(FPGA)等で構成すれば

よい。例えば、図3に示すように、第1の入出力ノードI/O<sub>1</sub>を介して、バンドパス増幅器18から第1の3×3ブロックの光通信信号S<sub>CM1</sub>を入力する第1のADコンバータ23と、第2の入出力ノードI/O<sub>2</sub>を介して、バンドパス増幅器18から第2の3×3ブロックの光通信信号S<sub>CM2</sub>を入力する第2のADコンバータ22と、第1のADコンバータ23がAD変換した9チャンネルのデジタル信号を合成する第1の加算器25と、第2のADコンバータ22がAD変換した9チャンネルのデジタル信号を合成する第2の加算器24と、第1の加算器25の出力パルスと第2の加算器24の出力パルスを等化するパルス等化器26と、パルス等化器26の出力パルスを復調して2値のデータとして光通信信号を出力ノードO<sub>3</sub>及びO<sub>4</sub>から出力する復調器27を備える。

[0029] 図8は、10Mbpsで測定した半導体チップ1の偶数列の光通信信号用の画素X<sub>i(2j)</sub>から出力されたパルスの質を評価するアイ・ダイアグラムである。半導体チップ1のバンドパス増幅器18から出力されたアナログ出力S<sub>CM1</sub>、S<sub>CM2</sub>は、外部システム2のA/Dコンバータ22、23で10ビット80MHzを伴うデジタル化される、そして、デジタル領域において、第1の加算器25及び第2の加算器24により合成され、モニタされる。光通信信号用の画素X<sub>i(2j)</sub>が光信号のオン・オフに対して、非対称の応答するため、パルス等化器26を通過する前の、第1の加算器25及び第2の加算器24からの生の出力パルスの波形を連続的に重ね合わせて表示すると、図8(a)に示すように波形トレースの開口部（アイパターン）のアイ高さ及びアイ幅が小さく、方形波からずれた劣った特性を有する。図8(b)に示すように、パルス等化器26を使用することにより、波形トレースの開口部が広くなり、理想の方形波に近くなり、特性が非常に改善されることが分かる。そして、結果として生じるビット誤り率は、パルス等化器26を使用することにより、 $8.2 \times 10^{-2}$ から $6.5 \times 10^{-6}$ まで減少する。

[0030] 外部システム2は、更に、比較器／ラッチ回路14から第4の入出力ノードI/O<sub>4</sub>を介して、1ビットのフラグ像信号S<sub>Fl</sub>を得て、光信号の信号源を追

尾するためのX-Yアドレスを決定し、アドレス帰還信号 $S_{AF}$ として、第3の入出力ノードI/O<sub>3</sub>を介してアドレス信号分配回路19に出力する座標生成回路21を備える。アドレス信号分配回路19は、座標生成回路21が決定したXアドレスをXアドレス生成回路17に、YアドレスをYアドレス生成回路13に分配し、各偶数列の画素 $X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{14}, \dots, X_{i4}, \dots, X_{(n-2)4}, X_{(n-1)4}, X_{n4}; \dots; X_{1(2j)}, \dots, X_{i(2j)}, \dots, X_{(n-2)(2j)}, X_{(n-1)(2j)}, X_{n(2j)}; \dots$ の内から所望の3×3ブロックを決定して、光信号の信号源を追尾する。比較器/ラッチ回路14から第4の入出力ノードI/O<sub>4</sub>を介して入力された1ビットのフラグ像信号 $S_{F1}$ と、相関二重サンプリング回路15から第5の入出力ノードI/O<sub>5</sub>を介してそれぞれ入力された画像信号は、外部システム2をそのまま伝搬し、それぞれ出力ノードO<sub>2</sub>及び出力ノードO<sub>1</sub>から、灰色画像として出力する。

[0031] 図9は、本発明の実施の形態に係る半導体チップ1の画像信号用の画素 $X_{i(2j-1)}$ によって撮像された灰色画像を示し、図10は320×240ピクセルのQVGA解像度のカメラによって撮像された像を光信号としてLED光源側から送信し、本発明の実施の形態に係る半導体チップ1の光通信信号用の画素 $X_{i(2j)}$ によって、信号処理され再生された画像を示す。図10(a)は、QVGA解像度のCMOSカメラによって撮影された画像であり、図10(b)は、図10(a)の画像を10×10の赤外線LEDアレイ(波長870nm)によって、5MHzの搬送周波数で送信された光信号を、光通信信号用の画素 $X_{i(2j)}$ によって再生した画像である。光信号のLED光源の場所は、比較器/ラッチ回路14から出力される1ビットのフラグ像信号 $S_{F1}$ を使用して座標生成回路21がX-Yアドレスを決定する。座標生成回路21が決定したX-Yアドレスは、Xアドレス生成回路17及びYアドレス生成回路13によって、半導体チップ1上の所定の光通信信号用の画素 $X_{i(2j)}$ を駆動し、光通信信号用の画素 $X_{i(2j)}$ からの出力信号が復調器27を用いて復調され、図10(b)のように再生される。図10(b)の画像が再生された光通信の距離は、70mである。図9及び図10は、本発明の実施の形態に係る固体



撮影装置及びLED光源を使用して、50メートル以上の長距離の光通信が可能であり、映像信号を送るための十分なデータ信号速度において本発明の実施の形態に係る固体撮影装置が動作可能であることを示している。

[0032] 図11は、本発明の実施の形態に係るハイブリッド型固体撮像装置の、LED光源に対する追尾性能を示す応答特性である。LED光源の像が照射されている、候補となる光通信信号用の画素 $X_{i(2j)}$ を、座標生成回路21が見つけた後、その5 $\mu$ 秒以内に安定した信号が得られることが分かる。これは、自動車への応用において、路車間・車車間における光通信光源の切れ目のないリアルタイム追跡に十分な性能である。

[0033] ー光情報取得素子ー

本発明の実施の形態に係るハイブリッド型固体撮像装置の画素アレイ部11の奇数列の画像信号用の画素 $X_{11}$ , …… $X_{i1}$ , …… $X_{(n-2)1}$ ,  $X_{(n-1)1}$ ,  $X_{n1}$ ;  $X_{13}$ , …… $X_{i3}$ , …… $X_{(n-2)3}$ ,  $X_{(n-1)3}$ ,  $X_{n3}$ ; ……;  $X_{1(2j-1)}$ , …… $X_{i(2j-1)}$ , …… $X_{(n-2)(2j-1)}$ ,  $X_{(n-1)(2j-1)}$ ,  $X_{n(2j-1)}$ ; ……;  $X_{1m}$ , …… $X_{im}$ , …… $X_{(n-2)m}$ ,  $X_{(n-1)m}$ ,  $X_{nm}$ のそれぞれは、通常のCMOSイメージセンサに用いられている画素構造で構わないので、本明細書では説明しない。一方、偶数列の光通信信号用の画素 $X_{12}$ , …… $X_{i2}$ , …… $X_{(n-2)2}$ ,  $X_{(n-1)2}$ ,  $X_{n2}$ ;  $X_{14}$ , …… $X_{i4}$ , …… $X_{(n-2)4}$ ,  $X_{(n-1)4}$ ,  $X_{n4}$ ; ……;  $X_{1(2j)}$ , …… $X_{i(2j)}$ , …… $X_{(n-2)(2j)}$ ,  $X_{(n-1)(2j)}$ ,  $X_{n(2j)}$ ; ……として機能する光情報取得素子の断面構造の一例を図4(a)に示す。図4(a)に示すように、本発明の実施の形態に係る光情報取得素子 $X_{i(2j)}$ は、第1導電型(p型)の半導体層31と、半導体層31の上に配置された第2導電型(n型)の表面埋込領域33を備える。表面埋込領域33は受光カソード領域(電荷生成領域)として機能し、表面埋込領域(受光カソード領域)33の直下の半導体層31が受光アノード領域として機能することにより、表面埋込領域33と半導体層31でフォトダイオード(33, 31)を構成している。表面埋込領域(受光カソード領域)33は、半導体層31の上に配置された第1導電型のウェル(pウェル)32により、その周囲を囲まれている。図4(a)の断面図上ではpウェル32は

、あたかも左右に分配されているかのように示されているが、紙面の手前と奥でそれぞれ一体となるように接続され、実際の平面パターンでは環状のパターンである。表面埋込領域 33 の上部には、接地電位（低位電源）GND に接続された第 1 導電型（ $p^+$ 型）のピニング層 37、ピニング層 37 よりも底部が深く、浮遊拡散領域となる第 2 導電型（ $n^+$ 型）の電荷蓄積領域 36、電荷蓄積領域 36 よりも底部が浅く、電荷蓄積領域 36 に蓄積された電荷の流出に対する電位障壁を形成する第 1 導電型（ $p^+$ 型）の障壁形成領域 35、障壁形成領域 35 よりも底部が深く、電位障壁を越えて電荷蓄積領域 36 から流出した電荷を収納し吐き出す第 2 導電型（ $n^+$ 型）の電荷吐出領域 34 が、順に配置されている。ピニング層 37 は、ダーク時の表面でのキャリアの生成を抑制する層であり、電荷吐出領域 34 は正電源電位（高位電源） $V_{DD}$  に接続され、電荷吐出領域 34 に収納された電荷（電子）が正電源電位（高位電源） $V_{DD}$  に向かって吐き出される。即ち、図示を省略した平面図（上面図）では、半導体層 31 の上に環状に配置された p ウェル 32 のパターンの内部に、ピニング層 37、電荷蓄積領域 36、障壁形成領域 35、電荷吐出領域 34 が互いに隣接して配置されている。図 4（a）の断面図上では、ピニング層 37、電荷蓄積領域 36、障壁形成領域 35、電荷吐出領域 34 が右側から左側に向かって順に配置されているが、これに限定されるわけではなく、ピニング層 37、電荷蓄積領域 36、障壁形成領域 35、電荷吐出領域 34 が左側から右側に向かって順に配置されるトポロジーでもよく、ピニング層 37、電荷蓄積領域 36、障壁形成領域 35、電荷吐出領域 34 の配列は必ずしも、一直線上になくてもよい。

[0034] 図 4（a）では「第 1 導電型の基体領域」として、第 1 導電型（ $p$ 型）の半導体層 31 を用いる場合を例示しているが、半導体層 31 の代わりに、不純物密度  $4 \times 10^{17} \text{ cm}^{-3}$  程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$  程度以下の第 1 導電型（ $p^+$ 型）の半導体基板と、半導体基板の上に配置され、半導体基板より不純物密度の方が低い第 1 導電型（ $p$ 型）のエピタキシャル成長層の 2 層構造を形成し、第 1 導電型のエピタキシャル成長層を「第 1 導電型の半導体領域」と

して採用してもよく、第2導電型（n型）の半導体基板上に、第1導電型（p型）のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体からなる半導体層31として採用してもよい。第2導電型（n型）の半導体基板上に、pn接合を形成するように、第1導電型（p型）のエピタキシャル成長層を形成すれば、長い波長の場合光が、第2導電型の半導体基板深くまで浸入するが、第2導電型の半導体基板で発生した光によるキャリアは、pn接合のビルトインポテンシャルによる電位障壁のため第1導電型のエピタキシャル成長層まで入って来られないので、第2導電型の半導体基板深くで発生したキャリアを積極的に捨てることができる。これによって、深い位置で発生したキャリアが拡散で戻ってきて、隣の画素に漏れ込むのを防ぐことが可能になる。これは特に、RGBのカラーフィルタが搭載された単板カラーのイメージセンサの場合に、色の混合を起こさないようにできる効果を奏する。

[0035] 半導体層31の上には、ピング層37及び障壁形成領域35の表面を覆うように絶縁膜41が形成されている。電荷蓄積領域36及び電荷吐出領域34の上には、絶縁膜41に設けられたコンタクト窓が設けられ、電荷蓄積領域36及び電荷吐出領域34に対して表面配線が可能になっている。絶縁膜41としては、シリコン酸化膜（SiO<sub>2</sub>膜）が好適であるが、シリコン酸化膜（SiO<sub>2</sub>膜）以外の種々の絶縁膜、例えば、シリコン酸化膜（SiO<sub>2</sub>膜）／シリコン窒化膜（Si<sub>3</sub>N<sub>4</sub>膜）／シリコン酸化膜（SiO<sub>2</sub>膜）の3層積層膜からなるONO膜でもよい。更には、ストロンチウム（Sr）、アルミニウム（Al）、マグネシウム（Mg）、イットリウム（Y）、ハフニウム（Hf）、ジルコニウム（Zr）、タンタル（Ta）、ビスマス（Bi）のいずれか1つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等が絶縁膜41として使用可能である。

[0036] 電荷蓄積領域36には、図4（a）の右側上方に等価回路を示す増幅回路15を構成する読み出しトランジスタQ<sub>A(2j)</sub>のゲート電極が、絶縁膜41中に設けられたコンタクト窓を介して接続されている。読み出しトランジスタQ<sub>A(2</sub>

$j$ のドレイン電極は高位電源  $V_{DD}$  に接続され、ソース電極は選択トランジスタ  $Q_{S(2j)}$  のドレイン電極に接続されている。図4 (a) に示した断面構造において、半導体層31を不純物密度  $6 \times 10^{11} \text{ cm}^{-3}$  程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$  程度以下のシリコン基板とすれば、通常のCMOSプロセスが採用できる。

[0037] 本発明の実施の形態に係る光情報取得素子は、フォトダイオード(33, 31)として、図4 (a) に示すように、n型の表面埋込領域33をp型の半導体層31と障壁形成領域35とで上下方向に両側から挟む構造にし、表面埋込領域33の大部分が空乏化するようにしている。埋め込み構造のフォトダイオード(33, 31)の一部に、表面から電荷蓄積領域36を形成し、電荷蓄積領域36を通して、フォトダイオード(33, 31)の電位を、ソースフォロワ用読み出しトランジスタ  $Q_{A(2j)}$  のゲートに与えて、その電位を垂直信号線  $B_{2j}$  を介して外部に読み出す。電荷蓄積領域36の左側には、フォトダイオード(33, 31)の空乏化電位を丘とする電位障壁が形成され、その先には、正電源電位(高位電源)  $V_{DD}$  に接続された電荷吐出領域34がある。電荷蓄積領域36と電荷吐出領域34との間に設けられる電位障壁は、丁度、n型の表面埋込領域33をチャンネル領域、p型の半導体層31と障壁形成領域35をゲート領域、n型の電荷蓄積領域36をソース領域、n型の電荷吐出領域34をドレイン領域としたときのノーマリオフ特性の接合型静電誘導トランジスタ(SIT)のチャンネル中に設けられる電位障壁と同様な原理で考えることが可能である。

[0038] 図4 (b) は、半導体層31の表面部における伝導帯の電位レベルを示す。即ち、図4 (b) は、図4 (a) の断面図において、ピニング層37、障壁形成領域35の直下の表面埋込領域33を、電荷蓄積領域36及び電荷吐出領域34の底部が含まれる水平レベルの水平面で切った断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。本発明の実施の形態に係る光情報取得素子の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる電荷が電子である場合を例示的に説明している。このため、図4 (b) に示すポテンシャル図において、図の下方向

(深さ方向)が、電位(ポテンシャル)の正方向として表現しており、下方がフォトダイオード(33, 31)が生成した電荷を移動させる場の方向である。したがって、第1導電型をn型、第2導電型をp型として、電気的な極性を反対とする場合においては、処理される電荷が正孔となるが、正孔に対しては、光情報取得素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状等は、図の下方向(深さ方向)を、電位の負方向として表現される。しかし、電荷が正孔の場合も、ポテンシャル(電位)的には逆となるが、図4(b)の下方向がフォトダイオードが生成した電荷(正孔)を移動させる場の方向である。

[0039] 電荷蓄積領域36及び電荷吐出領域34の位置に生成されたポテンシャル井戸において、右上がりのハッチングをした部分が電子が充満したポテンシャルレベルで、この右上がりのハッチングをした部分の上端がフェルミレベルの位置である。よって、右上がりのハッチングをした部分の上端の位置が、電荷蓄積領域36及び電荷吐出領域34のそれぞれがなすポテンシャル井戸の底の位置(電位レベル)に相当する。図4(b)に示すように、表面埋込領域33の完全空乏化したときの電位障壁の高さが、電荷蓄積領域36がなすポテンシャル井戸の底の位置(電位レベル)よりも浅くなるようにするためには、例えば、表面埋込領域33、障壁形成領域35、電荷蓄積領域36の不純物密度を選べばよい。

[0040] 本発明の実施の形態に係る光情報取得素子の表面埋込領域33の大部分が空乏化するように構成しているので、図4(b)に示すように、電荷吐出領域34と電荷蓄積領域36との間に設けられる電位障壁の高さを制御すれば、その電位障壁を越えて、電荷吐出領域34に所望の過剰電流が流出するように設計できる。

[0041] 電荷蓄積領域36と電荷吐出領域34との間に設けられる電位障壁の高さは、完全空乏化電位 $V_0$ から決めることができる。例えば、図5(a)に示すように、表面が酸化膜で覆われたn型の表面埋込領域33の、表面埋込領域33の下面に設けられたp型の半導体層31による表面埋込領域33中に形

成される完全空乏化電位 $V_d$ は、空乏層近似を用い、 $n$ 型、 $p$ 型の空乏層領域に対しポアソンの方程式と、図5(a)に示す半導体全体での中性条件：

$$x_n N_d = x_{dp} N_a \quad \dots (8)$$

を用いれば、以下の様に求められる：

$$V_d = (q/2 \epsilon_s) (x_n^2 N_d + x_{dp}^2 N_a) = (q/2 \epsilon_s) x_n^2 N_d (1 + N_d/N_a) \dots (9)$$

ここで、 $x_n$ は図5(a)に示す $n$ 型領域の幅、 $x_{dp}$ は $n$ 型領域が完全に空乏化したときの $p$ 型領域の空乏層の幅、 $N_a$ はアクセプタ濃度、 $N_d$ はドナー濃度である。図5(b)に示すように、完全空乏化電位 $V_d$ の大きさは、熱平衡状態における $p-n$ 接合のビルトインポテンシャル $V_{bi}$ の大きさよりも大きくなる。

[0042] 図4(a)に示す本発明の実施の形態に係る光情報取得素子は、図5(a)とは異なり、 $n$ 型の表面埋込領域33を $p$ 型の半導体層31と障壁形成領域35とで上下方向に両側から挟む $p-n-p$ 構造であるので、ノーマリオフ型SITのチャンネル中に設けられる鞍部点としての電位障壁と同様な設計で決めることができる。即ち、電荷蓄積領域36と電荷吐出領域34との間に設けられる電位障壁の高さは、表面埋込領域33、半導体層31、障壁形成領域35、電荷蓄積領域36、電荷吐出領域34のそれぞれの不純物密度、半導体層31と障壁形成領域35との間の距離、電荷蓄積領域36と電荷吐出領域34との間の距離、電荷吐出領域34に印加される電圧の大きさによって設計可能であることは、ノーマリオフ型SITと同様である。

[0043] 図6(a)に示すように、フォトダイオード(33, 31)に光パルスが与えられると(光パルスがオンになると)、発生した電子が表面埋込領域33の中央の電荷蓄積領域36に集まり、電荷蓄積領域36に蓄積する。これによって電荷蓄積領域36の電位が下降する。電荷蓄積領域36と電荷吐出領域34との間の電位障壁を越えて電荷吐出領域34に流れる電流 $I_d$ は：

$$I_d = I_{d0} \exp(-q \Phi_B / k T) \quad \dots (10)$$

と表すことができるので、表面埋込領域33の左側において高い電圧が与えられた電荷吐出領域34に過剰な電子が流れ込みながら、電子が電荷蓄積領域36に蓄積し、電子は不完全蓄積となる。電荷蓄積領域36に流入する光

電流と、電荷蓄積領域 36 から流出する電流がバランスしたところで、フォトダイオード (33, 31) の電位の変化は止まる。電荷蓄積領域 36 の電位を  $V_{FD}$  とすれば：

$$I_d = I_{do} \exp(-q(V_{FD} - \Phi_{B0})/kT) = I_{do} \exp(-qV_{FD}/kT) \dots (11)$$

となる。

- [0044] 光パルスがオフになると、光電流の供給が絶たれ、電荷吐出領域 34 に電子が流出して、図 6 (b) に示すように、フォトダイオード (33, 31) の電位は上昇する。その流出電流は電荷吐出領域 34 への電位障壁の高さに対する指数関数であり、電荷吐出領域 34 への電荷の流出が進むにしたがって電位障壁が高くなり、流出電流は次第に減少する。これは、図 6 (b) に示すように、次の光パルスが与えるまで続く。図 6 (a) に示すように、光パルスが再び与えられると、図 6 (b) に示すように、電荷蓄積領域 36 の電位は再び下降する。電荷蓄積領域 36 の寄生容量を  $C_{FD}$  とし、フォトダイオード (33, 31) から電荷蓄積領域 36 に流入する光電流を  $I_p$  とすると、光パルスが照射されているときは：

$$I_{do} \exp(-qV_{FD}/kT) + C_{FD} dV_{FD}/dt = I_p \dots (12)$$

で表すことができるので、図 6 (b) に示す光応答が理解できる。この様にして、電荷蓄積領域 36 の電位は、光パルスのオン、オフに応答し、光パルス受信回路として機能する。

- [0045] 本発明の実施の形態に係る光情報取得素子の応答を高速化するためには、寄生容量を  $C_{FD}$  等の光情報取得素子の等価的な容量を小さくする必要がある。このため、フォトダイオード (33, 31) 部は、図 4 (b) に示すように、その完全空乏化電位  $V_d$  に傾斜が生じて、電荷蓄積領域 36 に対して、電子が電界で加速されるような形状とすることが望ましい。又、電荷蓄積領域 36 から電荷吐出領域 34 への流路も、その完全空乏化電位  $V_d$  の傾斜によって電界ができるような形状とすることが望ましい。これらによって光情報取得素子のフォトダイオード (33, 31) 部の寄生容量は、完全空乏化電位  $V_d$  によって電位傾斜が形成される領域には発生せず、電荷蓄積領域 36 近傍に

において電子が蓄積する、限られた領域のキャパシタンスだけとなるため、光情報取得素子の高速応答が期待できる。

[0046] 図7は、図4に示した本発明の実施の形態に係る光情報取得素子に入射するLED光源の強度を変化させ、フォトダイオード(33, 31)に生成される光電流の強度を10nA, 5nA, 2nA, 1nA, 0.5nA, 0.2nA, 0.1nAと変化させて、測定した結果であり、パルスの周波数に対する電荷蓄積領域36の電位の振幅を示している。10nAの光電流のパルスに対して、10MHzで約9mVの振幅が電荷蓄積領域36から得られることが分かる。

[0047] 図4(a)に示す本発明の実施の形態に係る光情報取得素子の構造によって、図12に示した先行技術に用いられていたリセットトランジスタ(36, 39)を排除し、素子数の削減、回路構成の単純化を図るとともに、光情報取得素子の寄生容量を低減し、光情報取得素子を高速応答をさせることができる。

[0048] (その他の実施の形態)

上記のように、本発明は本発明の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0049] 既に述べた本発明の実施の形態の説明では、第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。本発明の実施の形態の説明では、転送、蓄積等の処理がされる電荷を電子とし、ポテンシャル図において、図の下方方向(深さ方向)が、電位(ポテンシャル)の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、光情報取得素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方方向(深さ方向)が、電位の負方向として表現される。



- [0050] 又、既に述べた本発明の実施の形態の説明においては、光情報取得素子と画像信号用の画素とを混載して2次元に配列したハイブリッド型固体撮像装置（エリアセンサ）を例示的に説明したが、本発明の光情報取得素子は2次元配列のハイブリッド型固体撮像装置の画素のみに適用されるように限定して解釈すべきではない。例えば、図1に示した2次元マトリクスにおいて、 $i = n = 1$ とした1次元配列のハイブリッド型固体撮像装置（ラインセンサ）の画素として複数の光情報取得素子と画像信号用の画素とを混載して1次元に配列してもよいことは、上記開示の内容から、容易に理解できるはずである。
- [0051] 更に、既に述べた本発明の実施の形態の説明においては、光情報取得素子と画像信号用の画素とを同一半導体チップ上に配列したハイブリッド型固体撮像装置について例示したが、画像信号用の画素を省略して、光通信用の光情報取得素子を2次元又は1次元に配列して、光源を追尾するように構成してもよいことは、上記開示の内容から、容易に理解できるはずである。
- [0052] 更に、図4(a)においては、n型の表面埋込領域33をp型の半導体層31と障壁形成領域35とで上下方向に両側から挟むp-n-p構造によって、電荷蓄積領域36と電荷吐出領域34との間に電位障壁を形成する場合を示したが、例示に過ぎない。例えば、電荷蓄積領域36と電荷吐出領域34との間の電位障壁を、n型の表面埋込領域33に周期的にp型の障壁形成領域35をストライプ状に一定の深さまで埋め込んで、ストライプ状の障壁形成領域35と障壁形成領域35との間に電位障壁を形成することも可能である。又、切り込みゲート型SITのように、n型の表面埋込領域33に周期的に設けられたストライプ状の溝部の底部、又は側壁にp型の障壁形成領域35を形成して、ストライプ状の障壁形成領域35と障壁形成領域35との間に電位障壁を形成してもよい。即ち、ノーマリオフ型SITに種々の構造があるように、電荷蓄積領域36と電荷吐出領域34との間に電位障壁を形成する構造は、種々のものがある。
- [0053] この様に、本発明はここでは記載していない様々な実施の形態等を含むこ

とは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

### 産業上の利用可能性

- [0054] 光による空間無線通信により道路情報や、自動車が安全に走行するための情報を、信号機と自動車間（路車間）及び自動車間（車車間）でやり取りすることのできるシステム等の技術分野に利用可能である。

### 符号の説明

- [0055] 1…半導体チップ  
2…外部システム  
1 1…画素アレイ部  
1 2…行ドライバ  
1 3…Yアドレス生成回路  
1 4…比較器／ラッチ回路  
1 5…増幅回路  
1 5…相関二重サンプリング回路  
1 6…水平読み出し回路  
1 7…Xアドレス生成回路  
1 8…バンドパス増幅器  
1 9…アドレス信号分配回路  
2 1…座標生成回路  
2 2…第2のADコンバータ  
2 3…第1のADコンバータ  
2 4…第2の加算器  
2 5…第1の加算器  
2 6…パルス等化器  
2 7…復調器  
3 1…半導体層  
3 2…pウェル

- 3 3…表面埋込領域
- 3 4…電荷吐出領域
- 3 5…障壁形成領域
- 3 6…電荷蓄積領域
- 3 7…ピンニング層
- 3 9…リセットドレイン領域

## 請求の範囲

[請求項1]

第1導電型の半導体層と、  
前記半導体層とフォトダイオードを構成するように、前記半導体層の上部の一部に埋め込まれた第2導電型の表面埋込領域と、  
前記表面埋込領域の上部の一部に埋め込まれ、前記フォトダイオードが生成した電荷の一部を蓄積する第2導電型の電荷蓄積領域と、  
前記表面埋込領域の上部の一部に前記電荷蓄積領域に隣接して埋め込まれ、前記半導体層と共に前記表面埋込領域を挟むことにより、前記電荷蓄積領域に蓄積された電荷の流出に対する電位障壁を形成する第1導電型の障壁形成領域と、  
前記半導体層の上部の他の一部に前記表面埋込領域に隣接して埋め込まれ、前記電位障壁を越えて前記電荷蓄積領域から流出した過剰の電荷を収納し吐き出す第2導電型の電荷吐出領域  
とを備え、光通信信号のオン・オフに伴い、前記電位障壁の高さに依拠して前記電荷蓄積領域に蓄積される電荷で決まる前記電荷蓄積領域の電位の変化を信号として取り出すことを特徴とする光情報取得素子。

[請求項2]

第1導電型の半導体層と、  
前記半導体層とフォトダイオードを構成するように、前記半導体層の上部の一部に埋め込まれた第2導電型の表面埋込領域と、  
前記表面埋込領域の上部の一部に埋め込まれ、前記フォトダイオードが生成した電荷の一部を蓄積する第2導電型の電荷蓄積領域と、  
前記表面埋込領域の上部の一部に前記電荷蓄積領域に隣接して埋め込まれ、前記半導体層と共に前記表面埋込領域を挟むことにより、前記電荷蓄積領域に蓄積された電荷の流出に対する電位障壁を形成する第1導電型の障壁形成領域と、  
前記半導体層の上部の他の一部に前記表面埋込領域に隣接して埋め込まれ、前記電位障壁を越えて前記電荷蓄積領域から流出した過剰の

電荷を収納し吐き出す第2導電型の電荷吐出領域

とを備える光情報取得素子を複数個、同一の半導体チップ上に配列し、

光通信信号のオン・オフに伴い、前記電位障壁の高さに依拠して前記電荷蓄積領域に蓄積される電荷で決まる前記電荷蓄積領域の電位の変化を、複数個の前記光情報取得素子のそれぞれから信号として取り出すことを特徴とする光情報取得素子アレイ。

[請求項3]

第1導電型の半導体層と、

前記半導体層とフォトダイオードを構成するように、前記半導体層の上部の一部に埋め込まれた第2導電型の表面埋込領域と、

前記表面埋込領域の上部の一部に埋め込まれ、前記フォトダイオードが生成した電荷の一部を蓄積する第2導電型の電荷蓄積領域と、

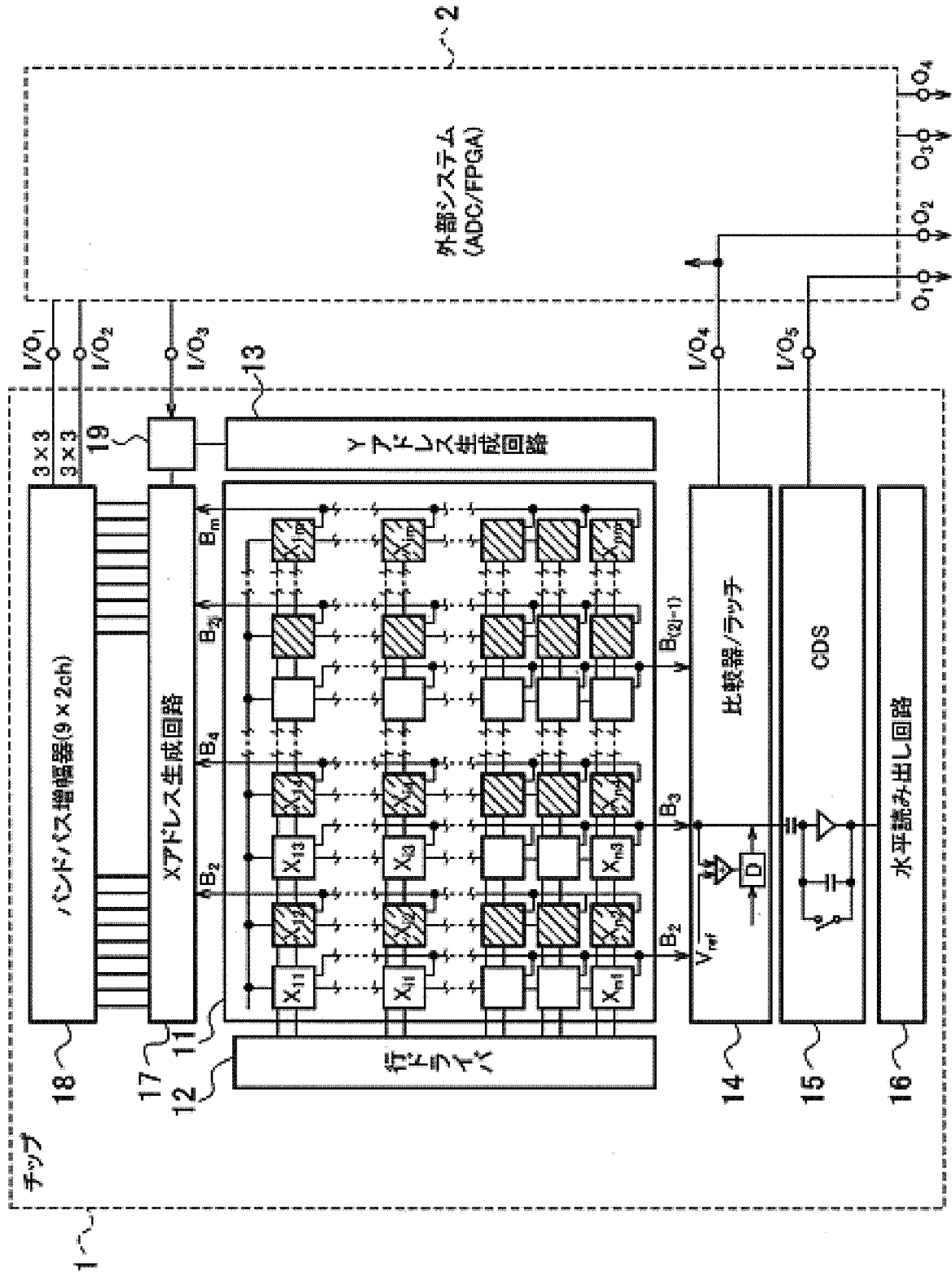
前記表面埋込領域の上部の一部に前記電荷蓄積領域に隣接して埋め込まれ、前記半導体層と共に前記表面埋込領域を挟むことにより、前記電荷蓄積領域に蓄積された電荷の流出に対する電位障壁を形成する第1導電型の障壁形成領域と、

前記半導体層の上部の他の一部に前記表面埋込領域に隣接して埋め込まれ、前記電位障壁を越えて前記電荷蓄積領域から流出した過剰の電荷を収納し吐き出す第2導電型の電荷吐出領域

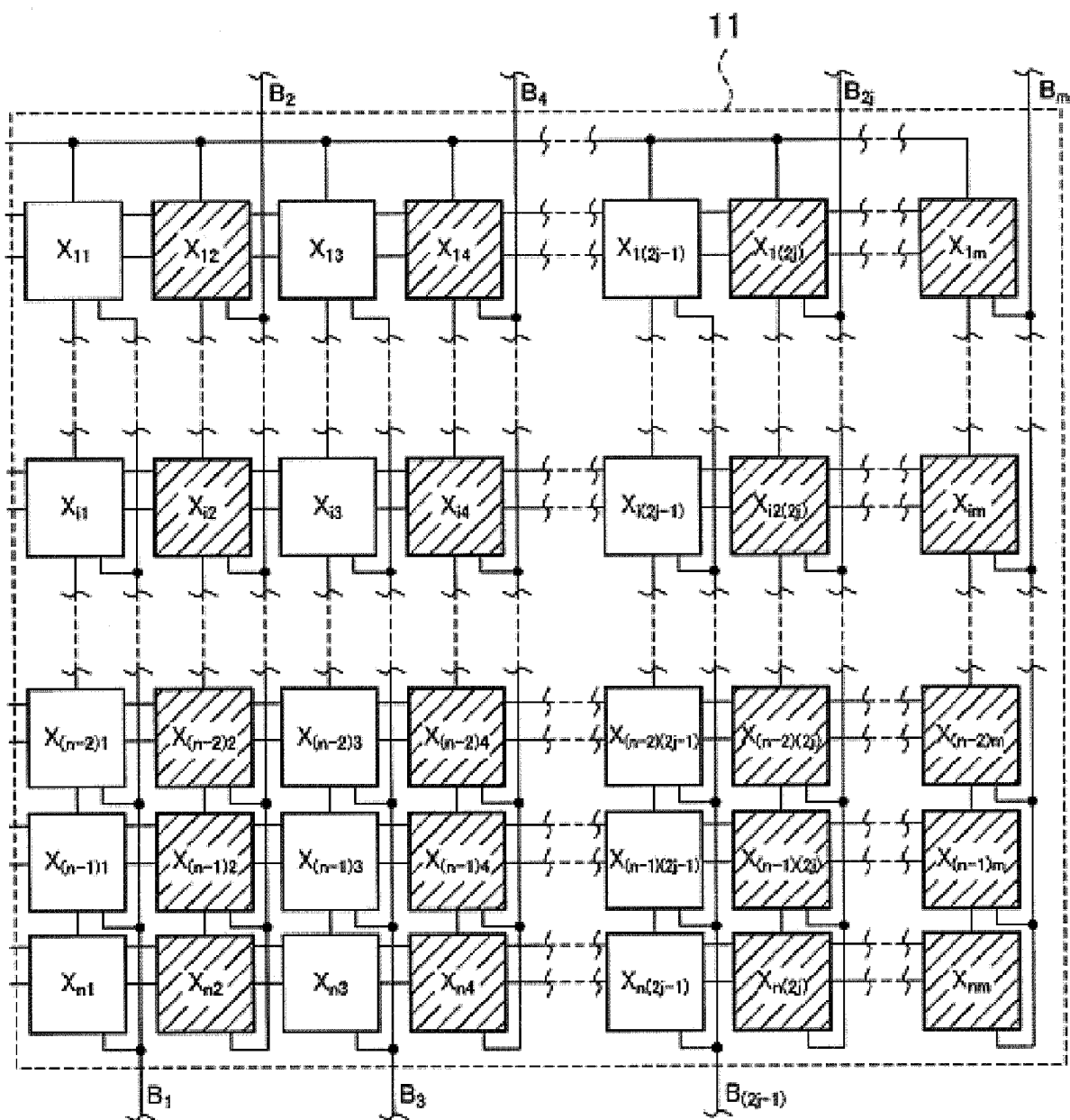
とを備える光情報取得素子を、複数個の画像信号用の画素とともに複数個、同一の半導体チップ上に混載して配列し、

光通信信号のオン・オフに伴い、前記電位障壁の高さに依拠して前記電荷蓄積領域に蓄積される電荷で決まる前記電荷蓄積領域の電位の変化を、複数個の前記光情報取得素子のそれぞれから信号として取り出し、複数個の前記画像信号用の画素からそれぞれ画像信号を取り出すことを特徴とするハイブリッド型固体撮像装置。

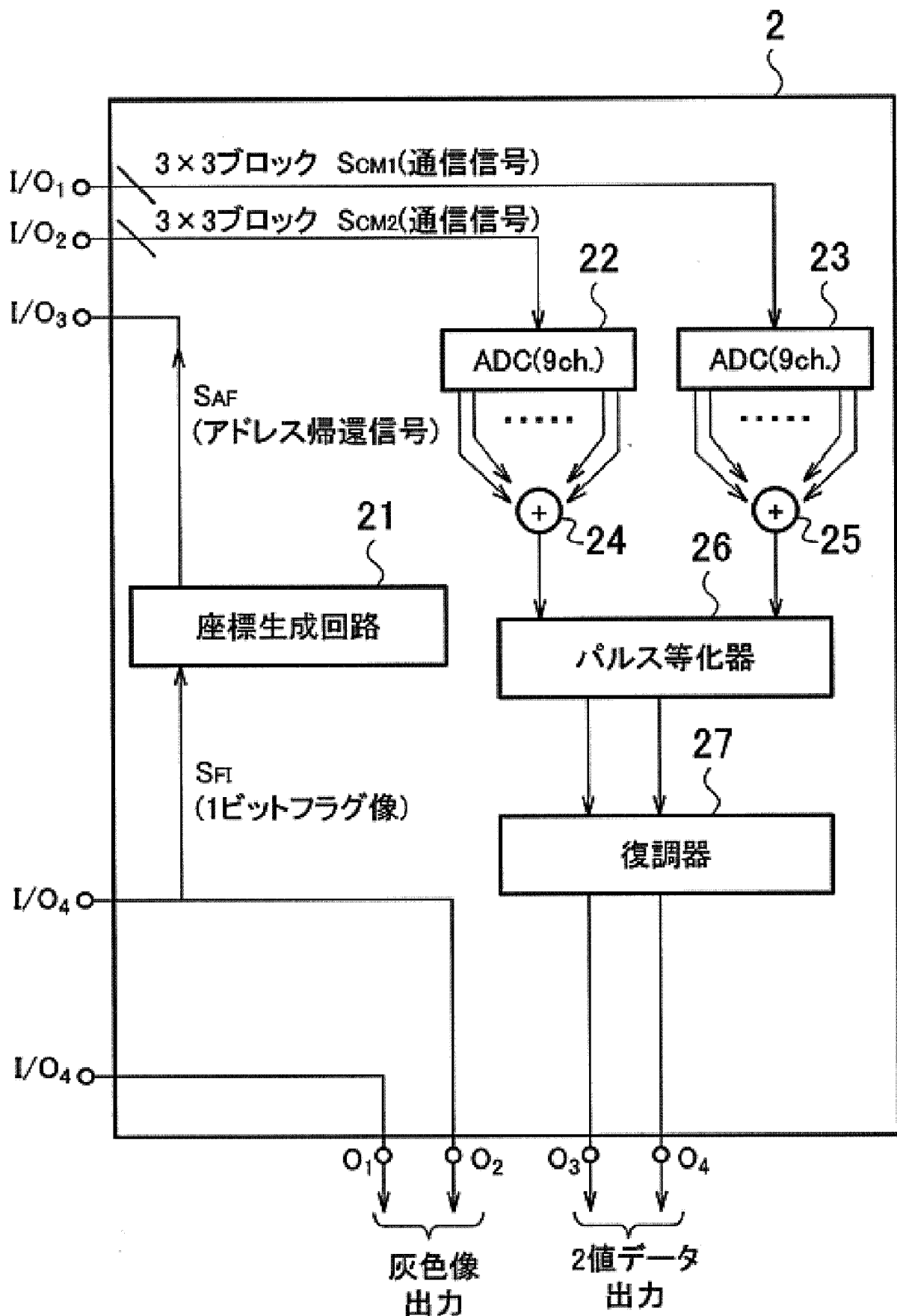
[図1]



[図2]

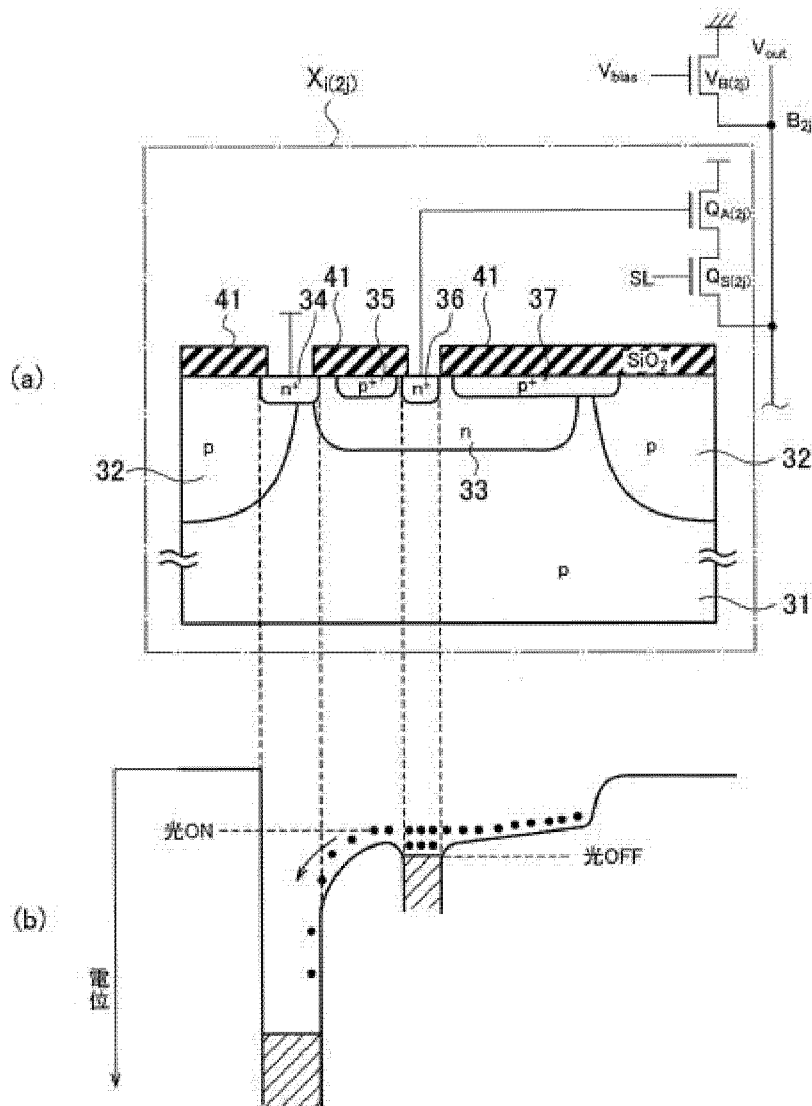


[図3]



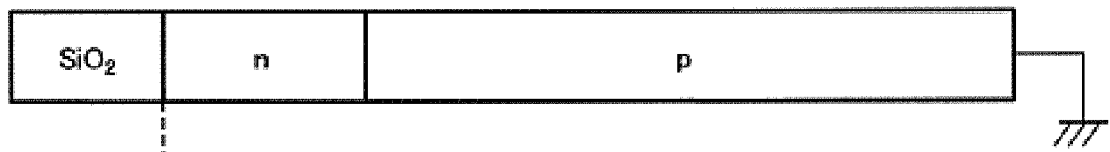


[図4]

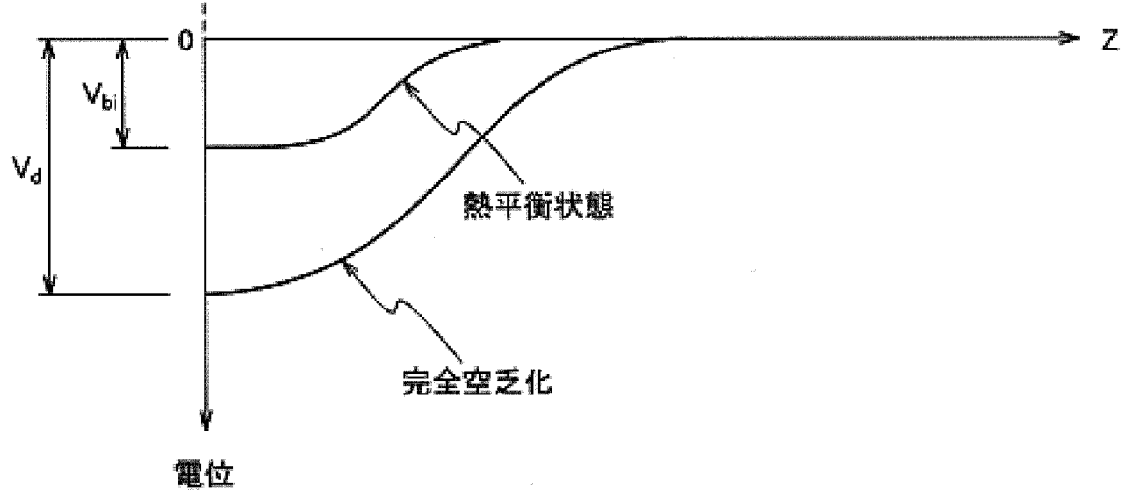


[圖5]

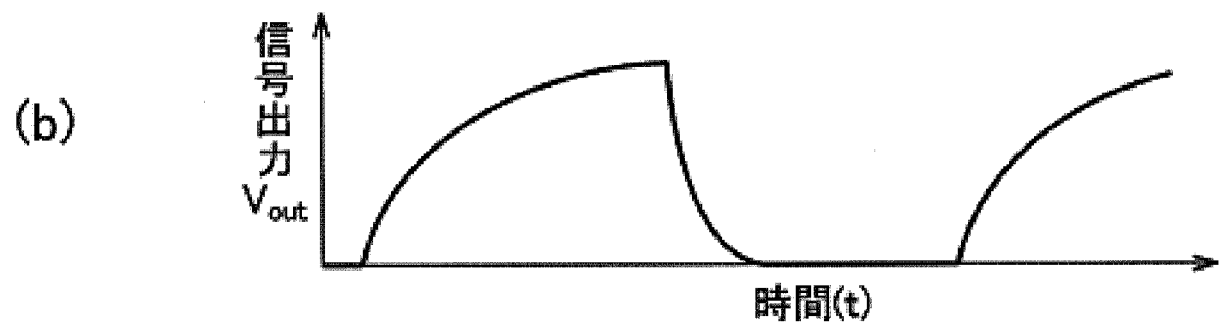
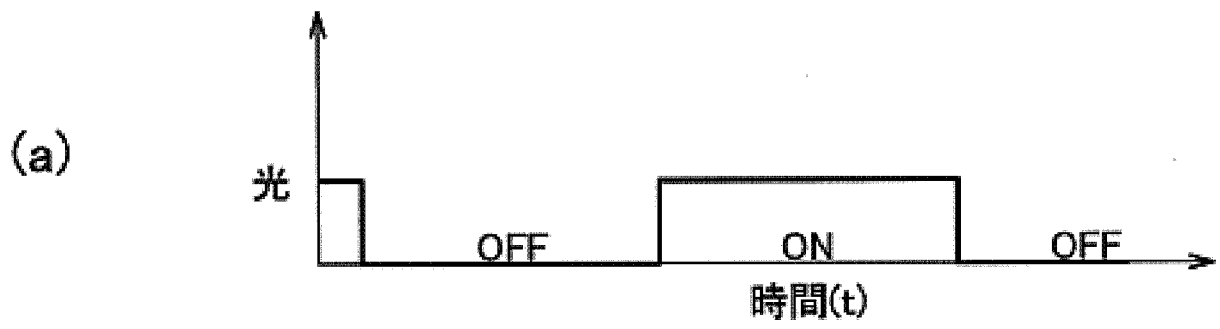
(a)



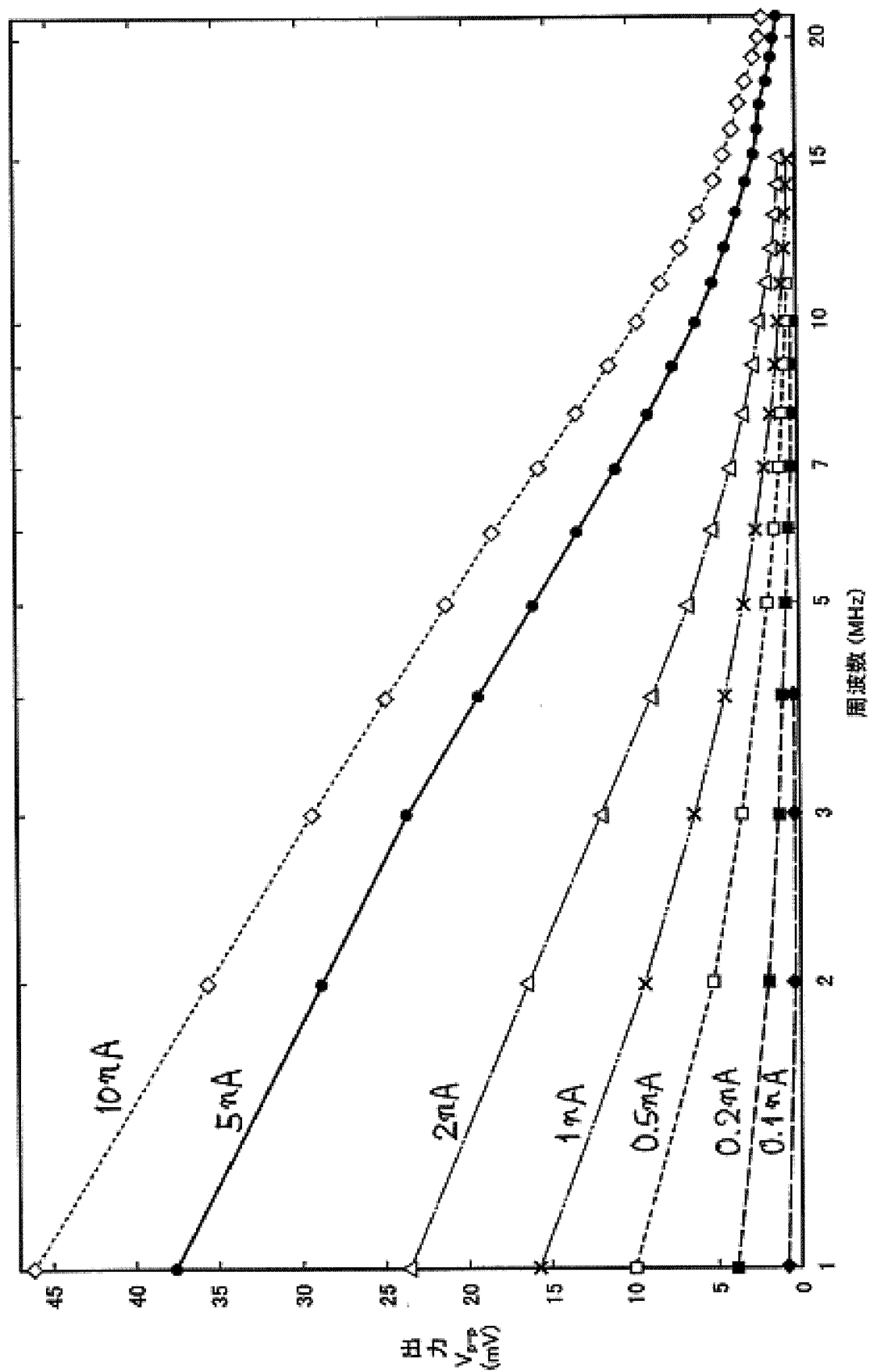
(b)



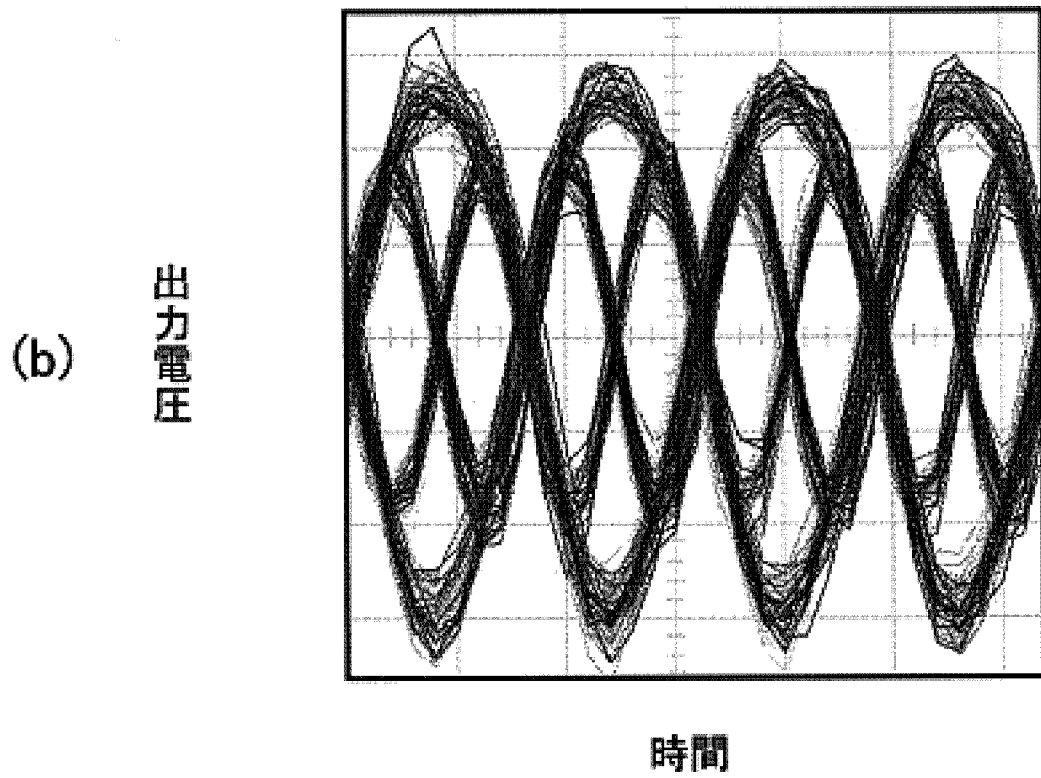
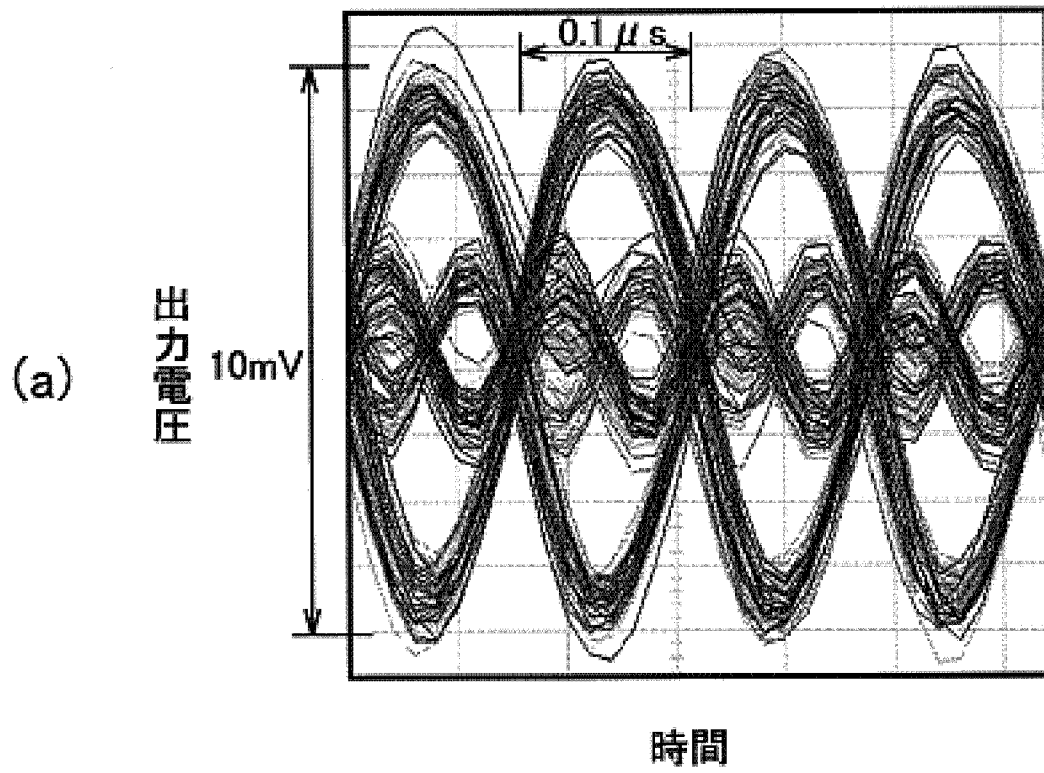
[図6]



[図7]



[図8]

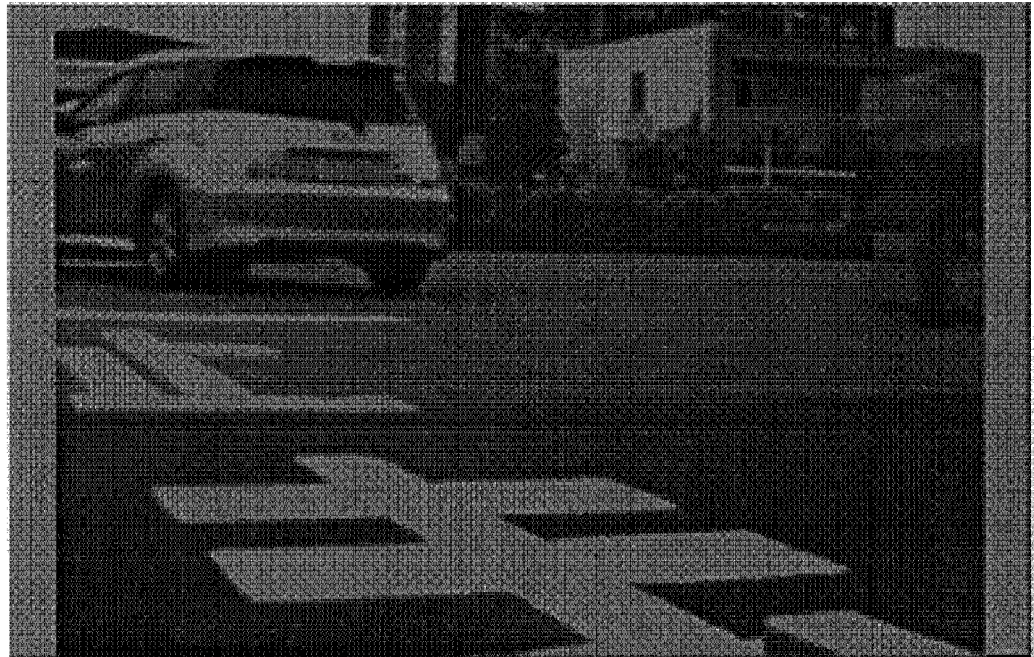


[ 9 ]



[図10]

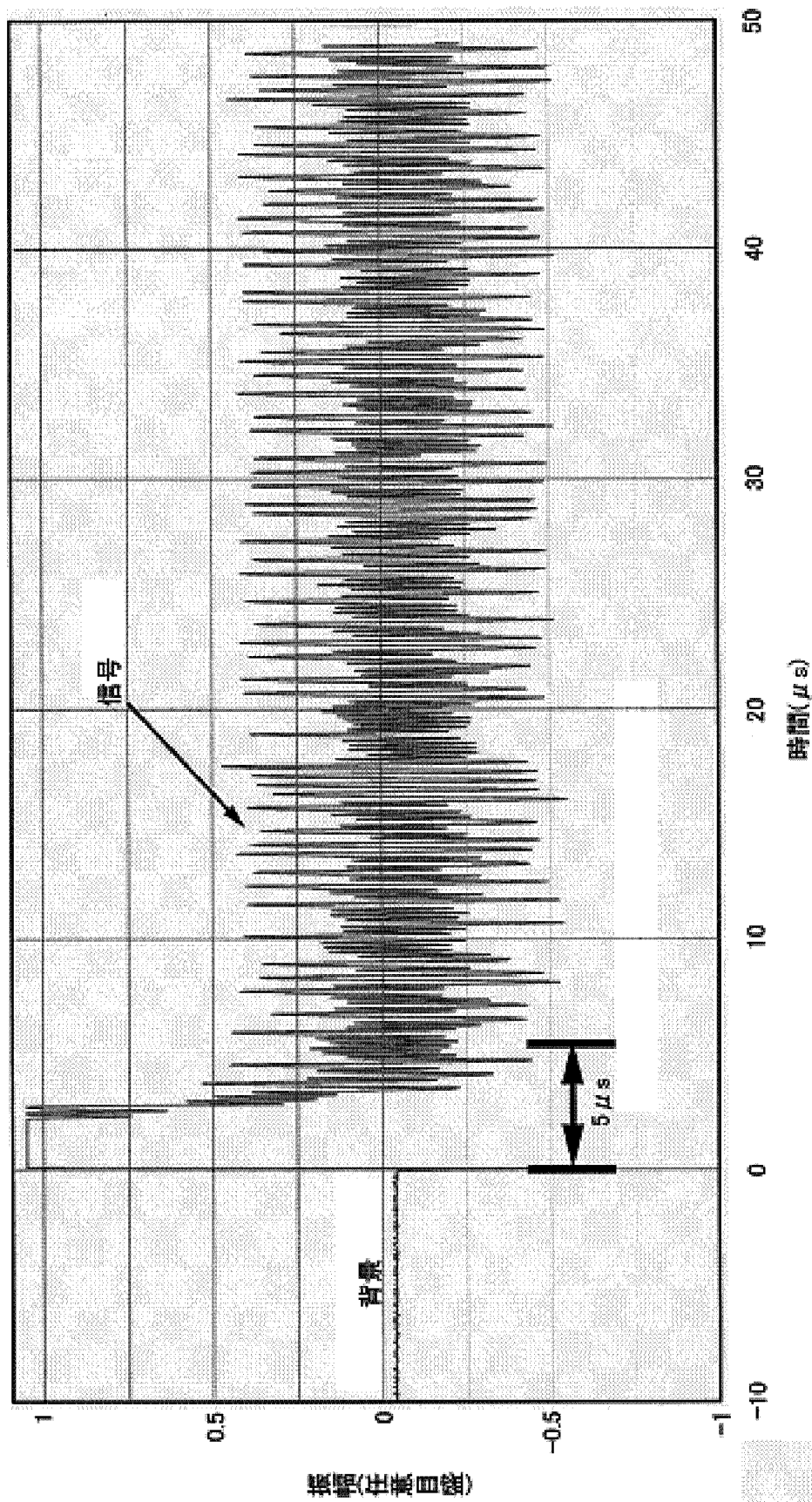
(a)



(b)

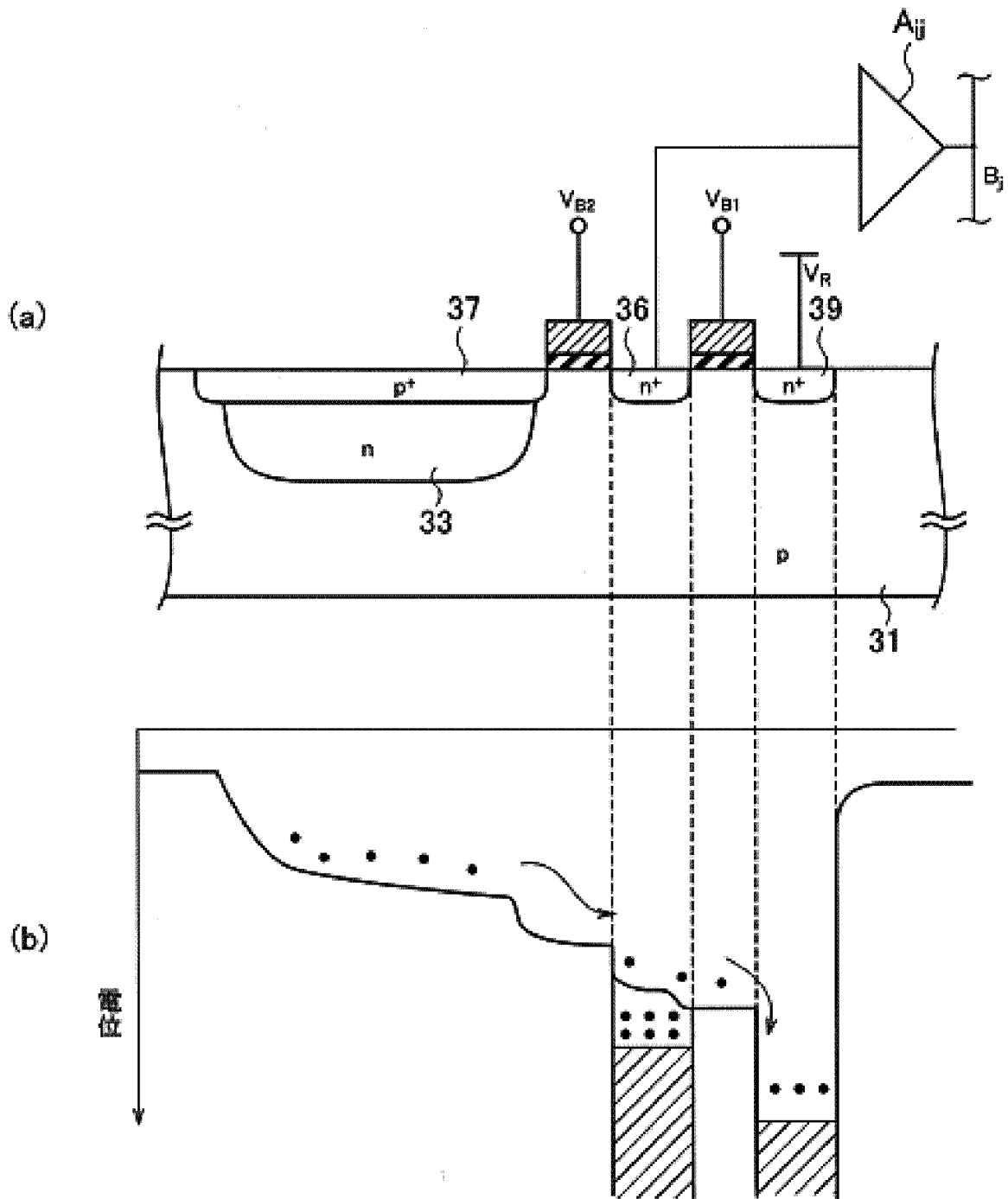


[図11]





[図12]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052447

## A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01) i, H01L27/146(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-251684 A (Eastman Kodak Co.), 28 September 1993 (28.09.1993), entire text; all drawings (Family: none)	1-3
A	JP 62-230273 A (Toshiba Corp.), 08 October 1987 (08.10.1987), entire text; all drawings (Family: none)	1-3
A	JP 11-112006 A (Canon Inc.), 23 April 1999 (23.04.1999), entire text; all drawings & US 6150704 A & EP 908956 A2 & EP 1688998 A2 & DE 69838743 D & DE 69838743 T & SG 78318 A & TW 427036 B & CN 1217580 A	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

17 March, 2011 (17.03.11)

Date of mailing of the international search report

29 March, 2011 (29.03.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/052447

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2010/092928 A1 (Hamamatsu Photonics Kabushiki Kaisha), 19 August 2010 (19.08.2010), entire text; all drawings & JP 2010-186935 A	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/14(2006.01)i, H01L27/146(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/14, H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-251684 A (イーストマン・コダック・カンパニー) 1993.09.28, 全文, 全図 (ファミリーなし)	1-3
A	JP 62-230273 A (株式会社東芝) 1987.10.08, 全文, 全図 (ファミリーなし)	1-3
A	JP 11-112006 A (キヤノン株式会社) 1999.04.23, 全文, 全図 & US 6150704 A & EP 908956 A2 & EP 1688998 A2 & DE 69838743 D & DE 69838743 T & SG 78318 A & TW 427036 B & CN 1217580 A	1-3
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 17.03.2011	国際調査報告の発送日 29.03.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柵 哲次 電話番号 03-3581-1101 内線 3462	4 M 3952

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	WO 2010/092928 A1 (浜松ホトニクス株式会社) 2010.08.19, 全文, 全図 & JP 2010-186935 A	1-3