

【11】證書號數：I548221

【45】公告日：中華民國 105 (2016) 年 09 月 01 日

【51】Int. Cl.： H03K5/134 (2014.01) G01R31/28 (2006.01)

發明

全 18 頁

【54】名稱：可重組態延遲電路、及使用其延遲電路之延遲監視電路、偏差修正電路、偏差測定方法及偏差修正方法

【21】申請案號：103126689 【22】申請日：中華民國 103 (2014) 年 08 月 05 日

【11】公開編號：201526547 【43】公開日期：中華民國 104 (2015) 年 07 月 01 日

【30】優先權：2013/08/19 日本 2013-169965

【72】發明人：小野寺秀俊 (JP) ONODERA, HIDETOSHI；A K M 瑪弗茲魯 伊斯蘭 (BD) A. K. M MAHFUZUL, ISLAM

【71】申請人：國立研究開發法人科學技術振興 JAPAN SCIENCE AND TECHNOLOGY 機構 AGENCY 日本

【74】代理人：丁國隆；黃政誠

【56】參考文獻：

US 5440260A

US 6124747A

US 6466063A

US 7102407B2

US 7898288B2

US 20090309642A1

審查人員：蘇齊賢

[57]申請專利範圍

1. 一種延遲電路，係包含於延遲監視電路的可重組態延遲電路，該延遲監視電路為用於測定積體電路內的信號傳輸時間之延遲者，其特徵為，具備：輸入節點，用於輸入輸入信號；輸出節點，用於輸出輸出信號；第 1 反轉電路，其包含上拉電路與下拉電路之串聯電路，該上拉電路，在依據上述輸入信號被設為 ON 時係將電源電位連接於輸出節點，該下拉電路，在依據上述輸入信號被設為 ON 時係將接地電位連接於上述輸出節點；第 2 反轉電路，其包含上拉電路與下拉電路之串聯電路，該上拉電路，在依據上述輸入信號被設為 ON 時係將電源電位連接於輸出節點，該下拉電路，在依據上述輸入信號被設為 ON 時係將接地電位連接於上述輸出節點；第 1 通路電晶體，係在上述電源電位與上述輸出節點之間，和上述第 1 反轉電路的上拉電路呈串聯連接，用以斷開或導通在上述第 1 反轉電路的上拉電路流通的電流；第 2 通路電晶體，係在上述接地電位與上述輸出節點之間，和上述第 1 反轉電路的下拉電路呈串聯連接，用以斷開或導通在上述第 1 反轉電路的下拉電路流通的電流；第 3 通路電晶體，被串聯連接於上述輸入節點與上述第 2 反轉電路之上拉電路之輸入之間，於導通時，形成將上述輸入信號傳送至上述第 2 反轉電路之上拉電路之路徑；及第 4 通路電晶體，被串聯連接於上述輸入節點與上述第 2 反轉電路之下拉電路之輸入之間，於導通時，形成將上述輸入信號傳送至上述第 2 反轉電路之下拉電路之路徑；藉由對上述第 1 至第 4 通路電晶體之閘極所施加的控制信號之組合來變更延遲特性。
2. 如請求項 1 之延遲電路，其中於上述第 3 通路電晶體以並聯方式至少另外連接第 5 通路電晶體，於上述第 4 通路電晶體以並聯方式至少另外連接第 6 通路電晶體。

(2)

3. 如請求項 1 之延遲電路，其中另外具備：第 7 通路電晶體，係連接於上述第 2 反轉電路之上拉電路與上述電源電位之間；及第 8 通路電晶體，係連接於上述第 2 反轉電路之下拉電路與上述接地電位之間。
4. 如請求項 1 之延遲電路，其中另外具備：第 7 通路電晶體，係連接於上述第 2 反轉電路的上拉電路之控制輸入與上述電源電位之間；及第 8 通路電晶體，係連接於上述第 2 反轉電路的下拉電路之控制輸入與上述接地電位之間。
5. 如請求項 1 之延遲電路，其中上述控制信號之組合，係包含：將上述第 1 及第 2 通路電晶體設為 ON，將上述第 3 及第 4 通路電晶體設為 OFF 的控制信號之組合；將上述第 1 及第 4 通路電晶體設為 ON，將上述第 2 及第 3 通路電晶體設為 OFF 的控制信號之組合；及將上述第 2 及第 3 通路電晶體設為 ON，將上述第 1 及第 4 通路電晶體設為 OFF 的控制信號之組合。
6. 如請求項 1 至 5 中任一項之延遲電路，其中上述第 1 通路電晶體，係串聯連接於上述電源電位與上述第 1 反轉電路的上拉電路之間，上述第 2 通路電晶體，係串聯連接於上述接地電位與上述第 1 反轉電路的下拉電路之間。
7. 如請求項 1 至 5 中任一項之延遲電路，其中上述第 1 通路電晶體，係串聯連接於上述第 1 反轉電路的上拉電路與上述輸出節點之間，上述第 2 通路電晶體，係串聯連接於上述輸出節點與上述第 1 反轉電路的下拉電路之間。
8. 如請求項 1 至 5 中任一項之延遲電路，其中上述上拉電路及上述第 3 通路電晶體係由 pMOS 電晶體構成，上述下拉電路及上述第 4 通路電晶體係由 nMOS 電晶體構成。
9. 一種延遲監視電路，係用於測定積體電路內的信號傳輸時間之延遲的電路，其特徵為包含：將如請求項 1 至 5 中任一項之延遲電路複數段串聯連接而成的電路。
10. 如請求項 9 之延遲監視電路，其中最終段延遲電路之輸出係回授至第 1 段延遲電路之輸入。
11. 一種偏差修正電路，係對積體電路中電路元件的特性偏差進行修正者，具備：如請求項 9 之延遲監視電路；及修正電路，係依據上述延遲監視電路測定的信號傳輸延遲來修正上述電路元件的特性偏差。
12. 如請求項 11 之偏差修正電路，其中上述電路元件為電晶體，上述修正電路，係依據上述測定的信號傳輸延遲來變化上述電晶體之基板電壓，依此而對上述電晶體的特性進行修正。
13. 一種測定方法，係使用延遲監視電路測定積體電路內之電路元件的特性偏差者；上述延遲監視電路包含將如請求項 1 之延遲電路複數段串聯連接而成的電路；上述測定方法，係包含：以使特定段的延遲電路之構成，與該特定段以外之段的延遲電路之構成成為不同的方式於各段設定控制信號，並施加於上述通路電晶體的第 1 步驟；在施加上述控制信號的狀態下，對上述延遲監視電路之輸出進行測定的第 2 步驟；依序變更上述特定段之同時，重複進行上述第 1 步驟與第 2 步驟的第 3 步驟；及依據上述第 3 步驟獲得的測定結果，針對用於形成上述積體電路的晶片內之電路元件的特性偏差進行測定的第 4 步驟。
14. 一種測定方法，係使用延遲監視電路針對用於形成積體電路的半導體晶片間之電路元件的特性偏差進行測定的方法，上述延遲監視電路包含將如請求項 1 之延遲電路複數段串聯連接而成的電路；上述測定方法，係包含：以使全部段的延遲電路之構成成為同一的方式，於各段設定控制信號並施加於上述通路電晶體的第 1 步驟；在施加上述控制信號的狀態下，針對上述延遲監視電路之輸出進行測定的第 2 步驟；及依據上述第 2 步驟獲

得的測定結果，針對用於形成上述積體電路的晶片間之電路元件的特性偏差進行測定的第 3 步驟。

15. 一種測定方法，係使用延遲監視電路測定積體電路內之電路元件的特性偏差者；上述延遲監視電路包含將如請求項 2 之延遲電路複數段串聯連接而成的電路；上述測定方法，係包含：以使特定段的延遲電路之構成，與該特定段以外之段的延遲電路之構成成為不同的方式，於各段設定控制信號並施加於上述通路電晶體的第 1 步驟；在施加上述控制信號的狀態下，對上述延遲監視電路之輸出進行測定的第 2 步驟；依序變更上述特定段之同時，重複進行上述第 1 步驟與第 2 步驟的第 3 步驟；及依據上述第 3 步驟獲得的測定結果，針對用於形成上述積體電路的晶片內之電路元件的特性偏差進行測定的第 4 步驟；上述第 2 步驟，係包含：針對上述特定段，將上述第 3 通路電晶體設為 ON，將上述第 5 通路電晶體設為 OFF 而對上述延遲監視電路之輸出進行測定的第 5 步驟；於上述特定段，將上述第 3 通路電晶體設為 OFF，將上述第 5 通路電晶體設為 ON 而對上述延遲監視電路之輸出進行測定的第 6 步驟；及針對上述第 5 步驟之測定結果與上述第 6 步驟之測定結果的差分進行計算的第 7 步驟。
16. 一種測定方法，係使用延遲監視電路測定積體電路內之電路元件的特性偏差者；上述延遲監視電路包含將如請求項 2 之延遲電路複數段串聯連接而成的電路；上述測定方法，係包含：以使特定段的延遲電路之構成，與該特定段以外之段的延遲電路之構成成為不同的方式，於各段設定控制信號並施加於上述通路電晶體的第 1 步驟；在施加上述控制信號的狀態下，對上述延遲監視電路之輸出進行測定的第 2 步驟；依序變更上述特定段之同時，重複進行上述第 1 步驟與第 2 步驟的第 3 步驟；及依據上述第 3 步驟獲得的測定結果，針對用於形成上述積體電路的晶片內之電路元件的特性偏差進行測定的第 4 步驟；上述第 2 步驟，係包含：針對上述特定段，將上述第 4 通路電晶體設為 ON，將上述第 6 通路電晶體設為 OFF 而對上述延遲監視電路之輸出進行測定的第 5 步驟；於上述特定段，將上述第 4 通路電晶體設為 OFF，將上述第 6 通路電晶體設為 ON 而對上述延遲監視電路之輸出進行測定的第 6 步驟；及針對上述第 5 步驟之測定結果與上述第 6 步驟之測定結果的差分進行計算的步驟。
17. 一種偏差修正方法，係具備：使用如請求項 13 至 16 中任一項之測定方法針對積體電路內之電路元件的特性偏差進行測定的步驟；及依據上述測定獲得的偏差針對上述電路元件的特性進行修正的步驟。

圖式簡單說明

第 1 圖係本發明的延遲監視電路之一實施例之構成圖。

第 2 圖係本發明實施形態 1 之中用來構成延遲監視電路的延遲電路之構成圖。

第 3 圖係實施形態 1 之延遲電路之更具體構成圖。

第 4 圖係實施形態 1 之延遲電路之中，(a)表示信號 C1、C2、C3、C4 之邏輯值為(0、1、1、0)時的等效電路圖，(b)表示信號 C1、C2、C3、C4 之邏輯值為(0、0、1、1)時的等效電路圖，(c)表示信號 C1、C2、C3、C4 之邏輯值為(1、1、0、0)時的等效電路圖。

第 5 圖係本發明實施形態 2 之延遲電路之構成圖。

第 6 圖係實施形態 2 之延遲電路之佈局圖。

第 7 圖係本發明實施形態 3 之延遲電路之構成圖。

第 8 圖係對本發明各實施形態之延遲監視電路進行偏差測定的裝置之說明圖。

第 9 圖係使用晶片內的電晶體特性的偏差測定結果對偏差進行自動修正的電路構成圖(實施形態 5)。

第 10 圖係比較電路之動作說明圖。

(4)

第 11 圖係比較電路之電路構成之一例之說明圖。

第 12 圖係脈衝產生器所輸出的脈衝信號之說明圖。

第 13 圖係本發明實施形態 6 的延遲電路之構成圖。

第 14 圖係於實施形態 6 之延遲電路之中，(a)表示重組為標準反相器時的等效電路圖，(b)表示重組為對 nMOS 電晶體敏感構成時的等效電路圖，(c)表示重組為對 pMOS 電晶體敏感構成時的等效電路圖。

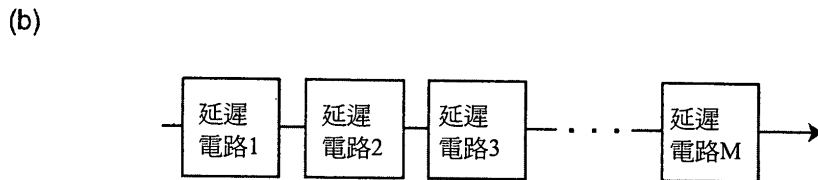
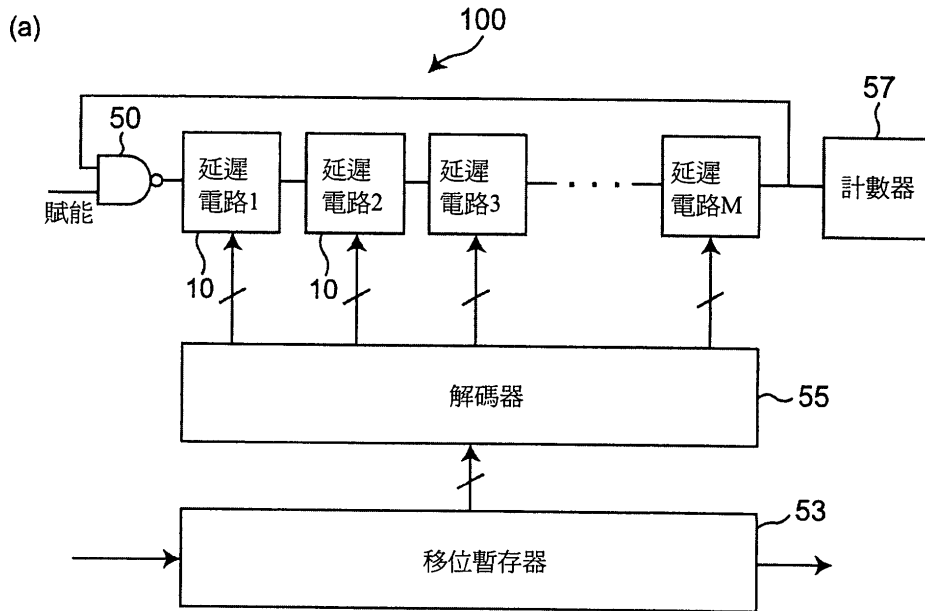
第 15 圖係實施形態 6 之延遲電路的變形例之構成圖。

第 16 圖係實施形態 6 之延遲電路的另一變形例之構成圖。

第 17 圖係實施形態 6 之延遲電路的再另一變形例之構成圖。

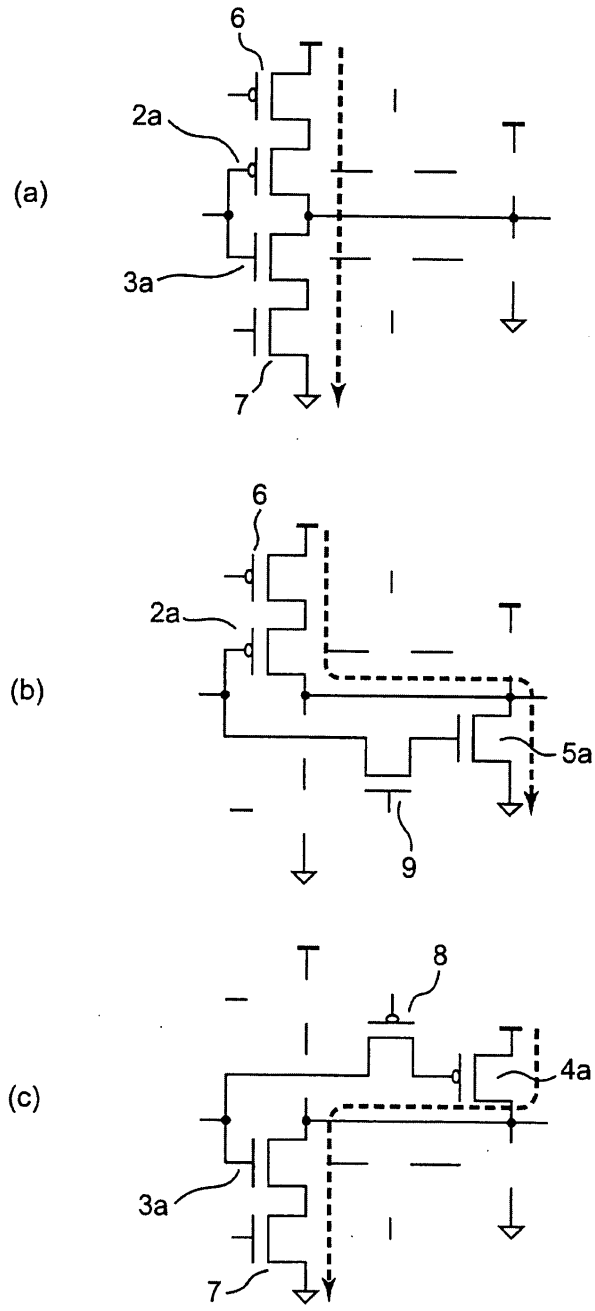
第 18 圖係 nMOS 電晶體與 pMOS 電晶體對延遲特性造成影響的習知延遲電路之例之圖。

第 19 圖係第 18 圖所示的延遲電路中，nMOS 電晶體臨限值電壓變動量 ΔV_{thn} 與 pMOS 電晶體臨限值變動量 ΔV_{thp} 對延遲時間的影響之說明圖。



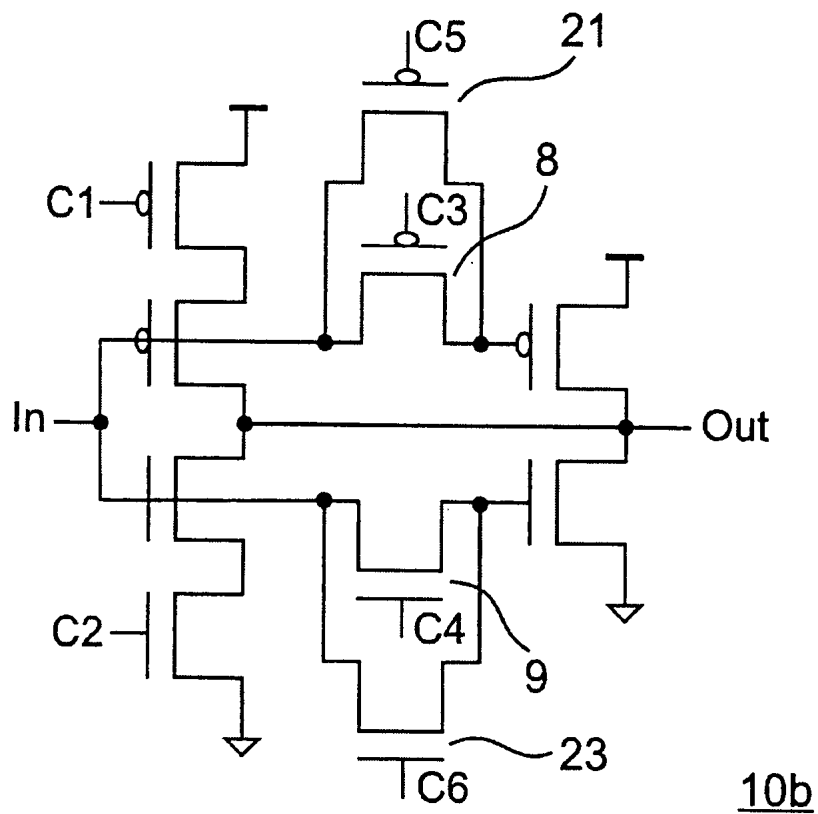
第1圖

(6)



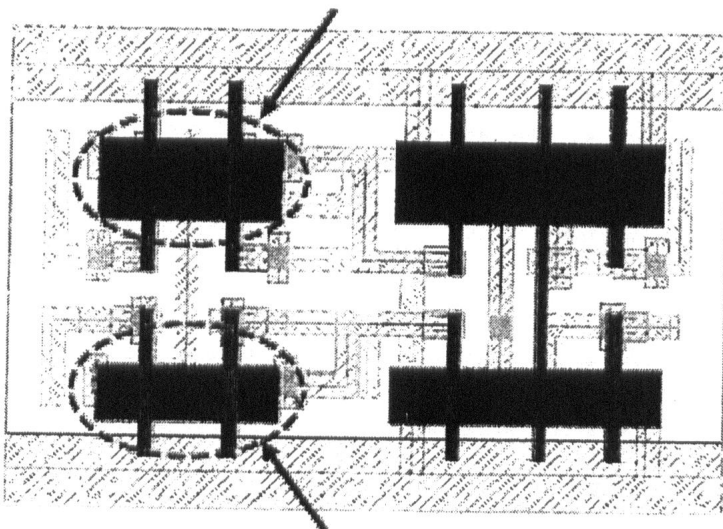
第4圖

(7)



第5圖

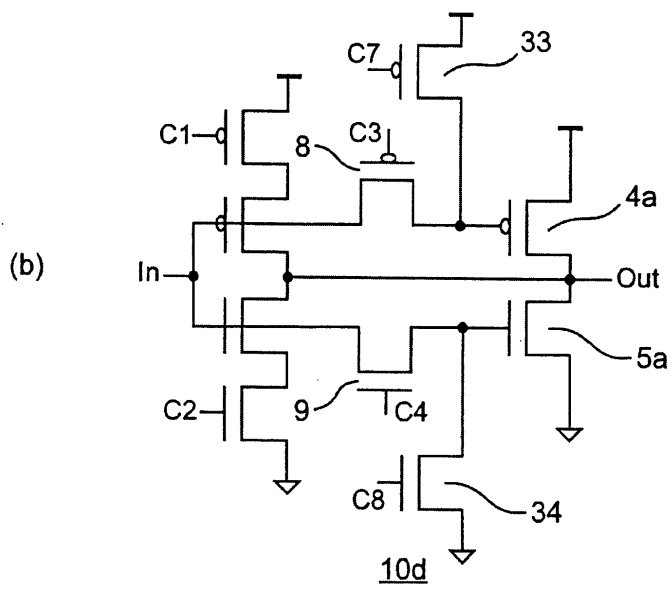
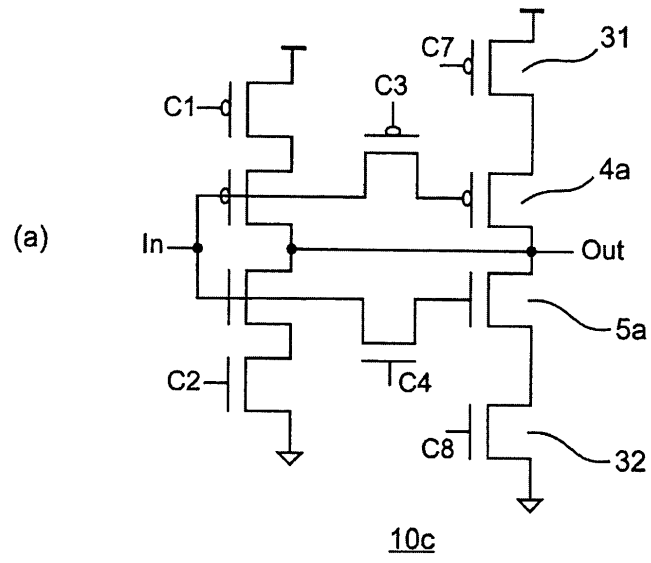
pMOS通路電晶體對之閘極



nMOS通路電晶體對之閘極

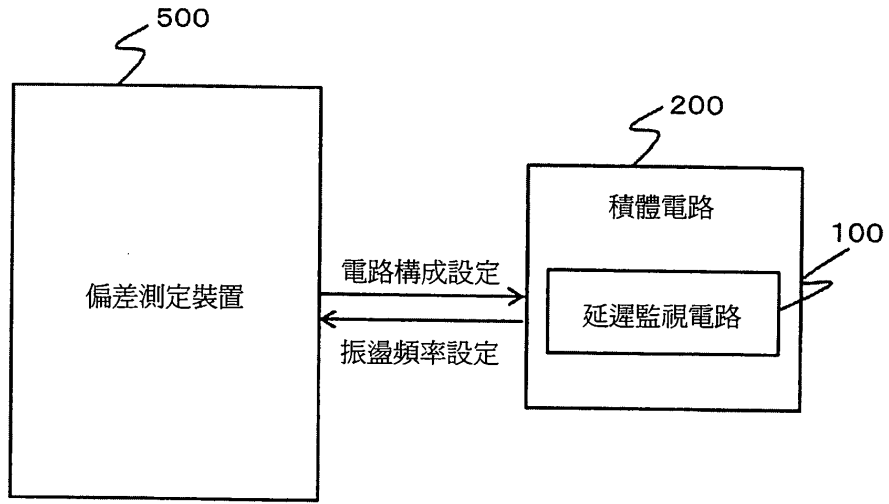
第6圖

(8)

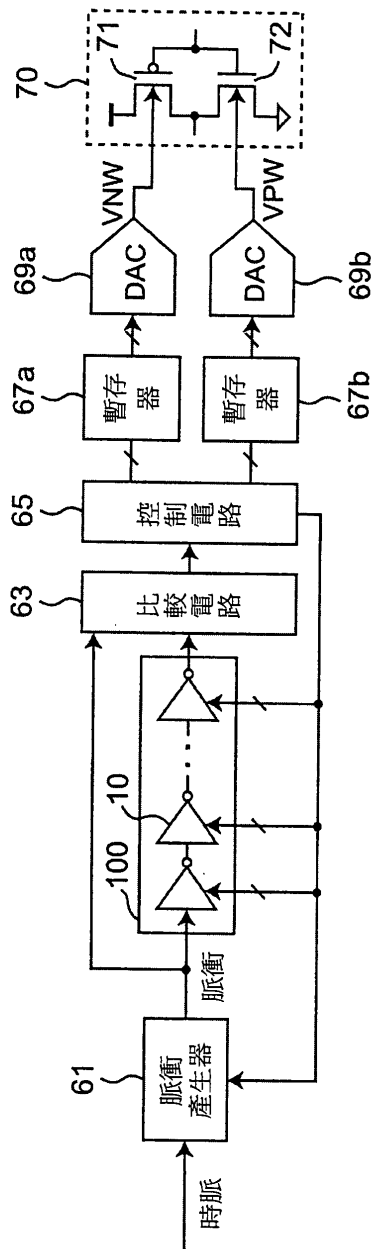


第7圖

(9)

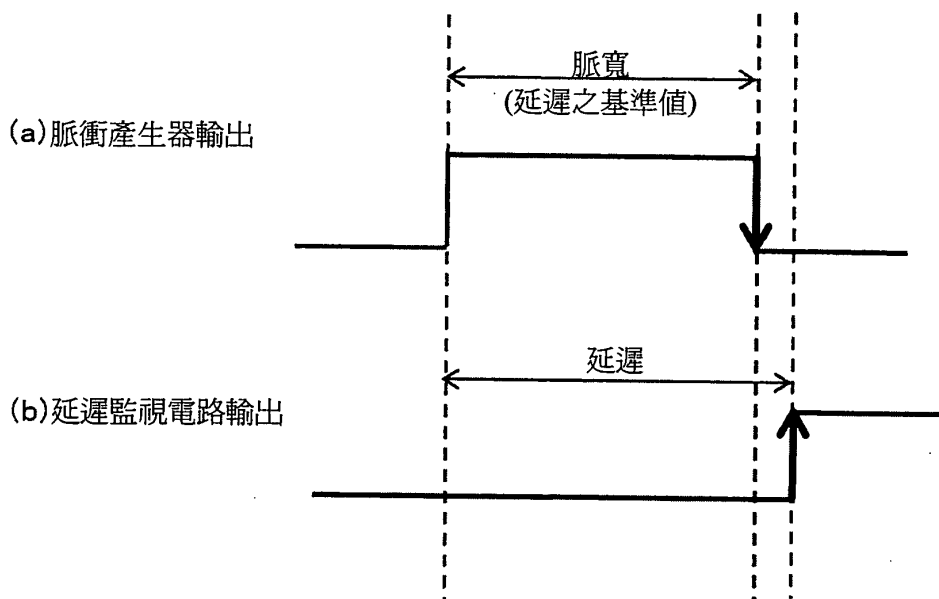


第8圖

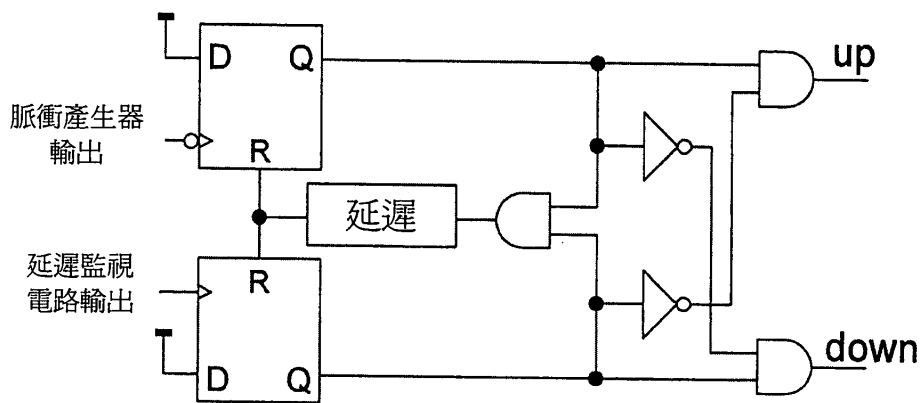


第9圖

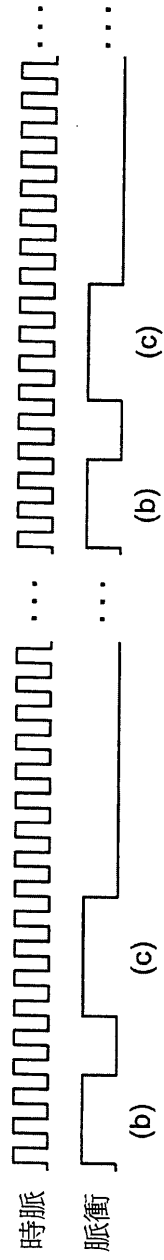
(11)



第10圖

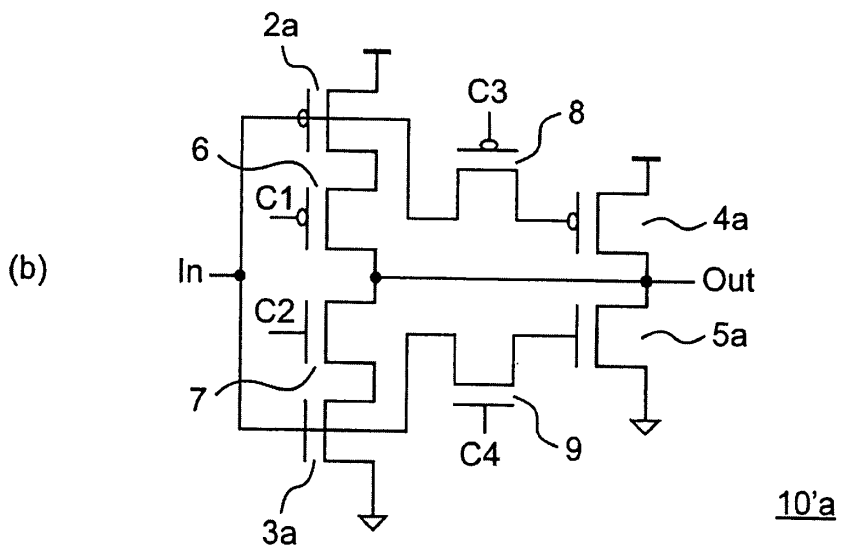
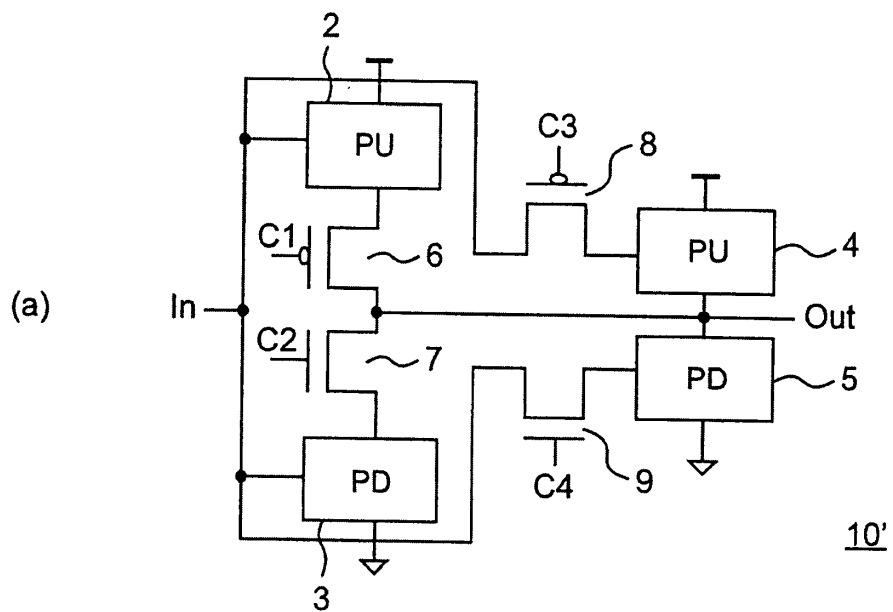


第11圖



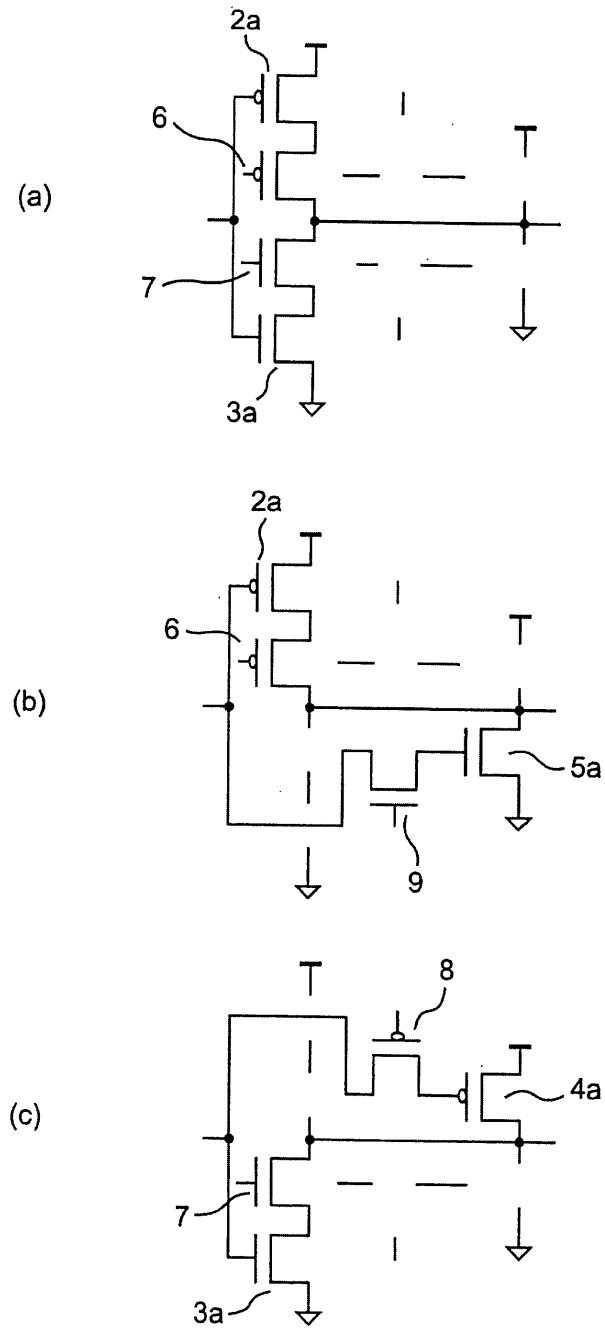
第12圖

(13)



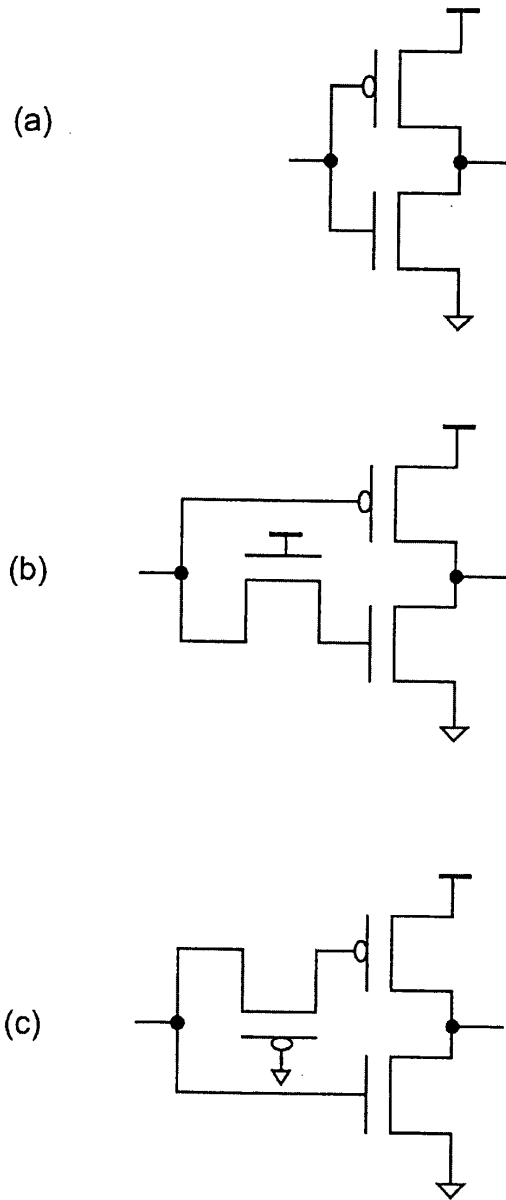
第13圖

(14)

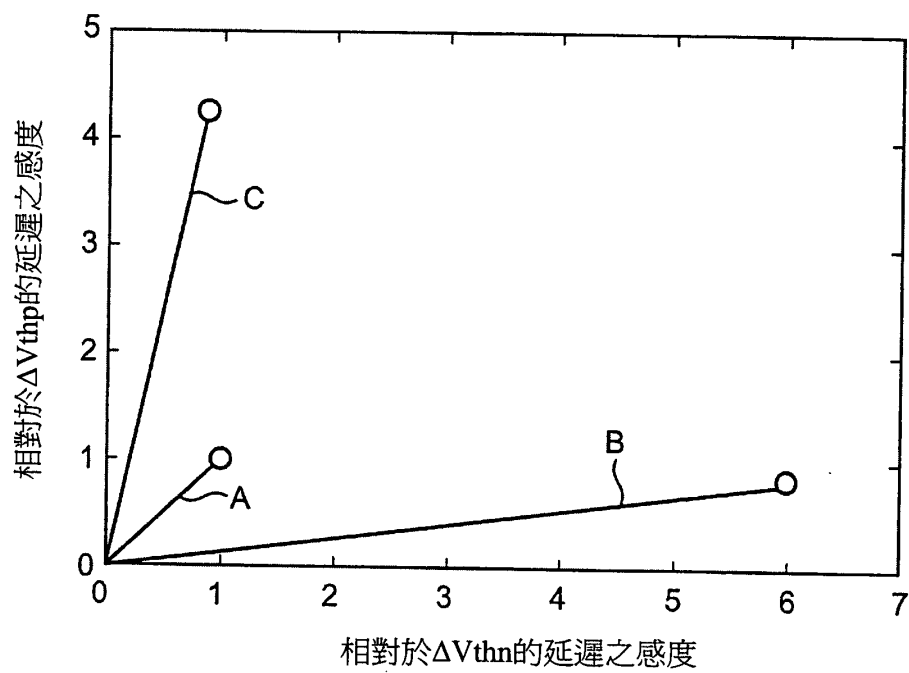


第14圖

(17)



第18圖



第19圖