

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



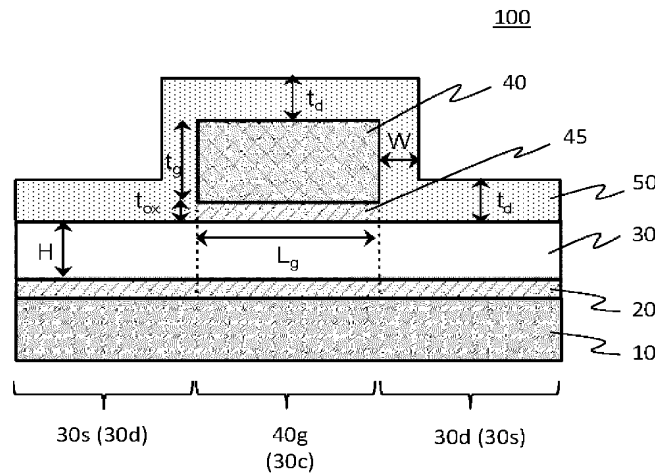
(43) 国際公開日
2016年4月21日(21.04.2016)

(10) 国際公開番号
WO 2016/059754 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/004902
- (22) 国際出願日: 2015年9月28日(28.09.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-211575 2014年10月16日(16.10.2014) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 植松 真司 (UEMATSU, Masashi); 〒2238522 神奈川県横浜市港北区日吉3-14-1 慶應義塾大学 大学院理工学研究科内 Kanagawa (JP). 伊藤 公平 (ITO, Kohhei); 〒2238522 神奈川県横浜市港北区日吉3-14-1 慶應義塾大学 理工学部内 Kanagawa (JP). 森 伸也 (MORI, Nobuya); 〒5650871 大阪府吹田市山田丘
- 2-1 国立大学法人大阪大学 大学院工学研究科 電気電子情報工学専攻内 Osaka (JP).
- (74) 代理人: 大野 聖二, 外 (OHNO, Seiji et al.); 〒1000005 東京都千代田区丸の内一丁目6番5号丸の内北口ビル21階 大野総合法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR
(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: A field-effect transistor (100) is provided with a channel (30c) formed of a semiconductor nano wire (30). A source region (30s) and a drain region (30d) are formed adjacent to the channel (30c), and a gate electrode (40) is provided above the channel. On the main surface of the semiconductor nano wire (30), a mask layer (50) is provided, said mask layer containing dopant atoms to be a donor or an acceptor. Though the dopant atoms are ion-implanted into the mask layer (50) on a side wall portion of the gate electrode (40) as well, the implanted ions stay at an upper portion, and are not implanted as far as to a portion in contact with the main surface of the semiconductor nano wire (30). Consequently, a mask layer portion formed with a thickness W on the side wall of the gate electrode (40) does not function as a diffusion source of the dopant.

(57) 要約:

[続葉有]



WO 2016/059754 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

電界効果トランジスタ (100) は、半導体ナノワイヤ (30) により形成されたチャンネル (30c) を備えている。このチャンネル (30c) に隣接して、ソース領域 (30s) およびドレイン領域 (30d) が形成されており、チャンネルの上方にゲート電極 (40) が設けられている。半導体ナノワイヤ (30) の主面には、ドナーまたはアクセプタとなるドーパント原子を含むマスク層 (50) が設けられている。ゲート電極 (40) の側壁部におけるマスク層 (50) 中にもドーパント原子がイオン注入されるが、注入イオンは上方部に留まり、半導体ナノワイヤ (30) の主面に接する部分にまでは注入されない。そのため、ゲート電極 (40) の側壁に厚みWで形成されているマスク層部分は、ドーパントの拡散源としては機能しない。

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] 本発明は、半導体ナノワイヤのような半導体材料部により形成されたチャンネルを備えた電界効果トランジスタに関し、より詳細には、閾値電圧のばらつきを抑制するとともにオン電流も充分に取ることを可能とするソース・ドレイン構造を有する電界効果トランジスタに関する。

背景技術

[0002] 半導体ナノワイヤのような半導体材料部を用いた電界効果トランジスタを形成する際には、ソース領域およびドレイン領域にドーピングを行う必要があるが、ゲート電極をマスクにして直接ドーパントをイオン注入すると熱処理を行っても、トランジスタ本体にイオン注入誘起の結晶欠陥が残留してしまう。

[0003] 固相拡散法によりドーピングしてソース領域およびドレイン領域を形成する場合には上述のような欠陥残留は回避できるが、拡散によりチャンネル領域にまでドーパントが侵入してしまい、トランジスタの閾値電圧がシフトしてしまうという問題がある。また、閾値電圧のシフトを抑制するためにドーパント濃度を下げた場合には、十分なオン電流を取ることができなくなる。

[0004] 本発明者らは、電界効果トランジスタの閾値ばらつきを抑制することを目的として、ドーパントをイオン注入するに先立ち、ゲート電極の側壁にスペーサを設けておき、当該側壁スペーサ直下の半導体領域にはドーパントが注入されないようにしておく技術を検討した（植松ら：非特許文献1）。そして、このような側壁スペーサを設けることにより、ドーパントがチャンネル領域に侵入し難くなり、その結果、オフ電流の変動と閾値電圧のばらつきが顕著に抑制されることを確認した。

先行技術文献

非特許文献

[0005] 非特許文献1：M. Uematsu et al., “Simulation of the Effect of Arsenic Discrete Distribution on Device Characteristics in Silicon Nanowire Transistors” IEDM12-709 (2012)

発明の概要

発明が解決しようとする課題

[0006] しかし、非特許文献1に開示のようにゲート電極側壁にスペーサを設けたとしても、イオン注入後の熱処理等に伴うチャンネル領域へのドーパントの侵入を十分に抑制することはできない。しかも、ドーパントからは電子の「浸み出し」があるため、チャンネルへの影響は、上記ドーパントの侵入だけではなく、この電子の「浸み出し長」も考慮する必要がある。例えば、半導体ナノワイヤがシリコン結晶でありドーパントがヒ素である場合、電子の「浸み出し長」は2 nm程度である。

[0007] 尤も、このようなドーパントの侵入や電子の「浸み出し」があっても、ゲート長が長い場合には然程問題とならない。しかし、電界効果トランジスタの微細化に伴ってゲート長が短くなると、上記ドーパントの侵入や電子の「浸み出し」はチャンネル領域に大きく影響を及ぼし、閾値電圧のばらつきをもたらす結果となる。従って、チャンネル領域へのドーパントの侵入を更に抑制するとともに、電子の「浸み出し長」も考慮したチャンネルの形成技術（ソース・ドレインの形成技術）が求められる。また、トランジスタ本体にイオン注入誘起の結晶欠陥が残留してしまう問題を回避する必要もある。

[0008] 本発明は、上述の問題に鑑みてなされたもので、その目的とするところは、閾値電圧のばらつきを抑制するとともにオン電流も充分に取ることを可能とするソース・ドレイン構造を有し、しかも、トランジスタ本体にイオン注入による結晶欠陥が誘起されることもない、半導体ナノワイヤのような半導体材料部により形成されたチャンネルを備えた電界効果トランジスタを提供することにある。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明に係る第1の態様の電界効果トランジ

スタは、厚みがH (nm) の半導体材料部により形成されたチャンネルと、該チャンネルに隣接して形成されたソース領域およびドレイン領域と、前記チャンネルの上方に設けられたゲート領域を備えた電界効果トランジスタであって、前記ゲート領域のゲート長(L_g)は4 nm以上で10 nm以下あり、前記チャンネルの中央領域のドーパント原子数が1以下である、ことを特徴とする。

[0010] また、本発明に係る第2の態様の電界効果トランジスタは、厚みがH (nm) の半導体材料部により形成されたチャンネルと、該チャンネルに隣接して形成されたソース領域およびドレイン領域と、前記チャンネルの上方に設けられたゲート領域を備えた電界効果トランジスタであって、前記半導体材料部の主面に設けられた、ドナーまたはアクセプタとなるドーパント原子を含むマスク層であって、前記ゲート領域に設けられたゲート電極の側壁の厚みがW (nm) のマスク層を備え、前記マスク層は前記ソース領域およびドレイン領域が形成された前記半導体材料部の主面部を被覆しており、前記ゲート領域のゲート長(L_g)は4 nm以上で10 nm以下あり、前記ゲート電極の側壁の前記マスク層の厚みW (nm) は $[3H - 2] / 7 + [10 - L_g] / 2 \leq W \leq [3H + 19] / 7$ の範囲にある、ことを特徴とする。

[0011] 上記第2の態様の電界効果トランジスタにおいて、好ましくは、前記チャンネルの中央領域のドーパント原子数が1以下である。

[0012] 本発明に係る電界効果トランジスタにおいて、好ましくは、前記チャンネルの端部から前記ソース領域および前記ドレイン領域側への2 nmの領域のドーパント濃度が、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上である。

[0013] 前記半導体材料部は、例えば、シリコン、ゲルマニウム、III-V族化合物半導体の何れかの材料からなる。

[0014] 例えば、前記半導体材料部はシリコンからなり、前記マスク層はシリコン酸化膜またはシリサイド膜である。

[0015] この場合、前記ドーパントは、例えば、リン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムの何れかである。

- [0016] また、例えば、前記半導体材料部はゲルマニウムからなり、前記マスク層はゲルマニウム酸化膜またはジャーマニド膜である。
- [0017] この場合も、前記ドーパントは、例えば、リン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムの何れかである。
- [0018] さらに、例えば、前記半導体材料部はⅢⅤ族化合物半導体からなり、前記マスク層はシリコン酸化膜である。
- [0019] この場合、前記ドーパントは、例えば、亜鉛、シリコン、ベリリウムの何れかである。
- [0020] ある態様では、前記半導体材料部は、シリコン・ナノワイヤ、ゲルマニウム・ナノワイヤ、ⅢⅤ族化合物半導体ナノワイヤの何れかである。
- [0021] 本発明に係る電界効果トランジスタの製造方法は、厚みが H (nm)の半導体材料部により形成されるチャンネルを備える電界効果トランジスタの製造方法であって、前記チャンネルの上方に、ゲート長 (L_g) が4 nm以上で10 nm以下となるようにゲート電極を形成するステップと、前記ゲート電極、および、前記チャンネルに隣接するソース領域とドレイン領域が形成される前記半導体材料部の主面部を被覆するマスク層であって、前記ゲート電極の側壁の厚みが W (nm)であるマスク層を形成するステップと、前記マスク層にドナーまたはアクセプタとなるドーパント原子を注入するステップと、前記マスク層に注入された前記ドーパント原子を、前記ソース領域とドレイン領域に拡散させるステップと、を備え、前記ゲート電極の側壁の前記マスク層の厚み W (nm)を、 $[3H - 2] / 7 + [10 - L_g] / 2 \leq W \leq [3H + 19] / 7$ の範囲に設定する、ことを特徴とする。

発明の効果

- [0022] 本発明によれば、半導体ナノワイヤのような半導体材料部の主面にドーパント原子を含むマスク層であってゲート電極の側壁の厚みが W のマスク層を備え、チャンネルの中央領域のドーパント原子数が1以下の電界効果トランジスタが提供される。その結果、閾値電圧のばらつきが抑制されるとともにオン電流も充分に取ることができる。

図面の簡単な説明

[0023] [図1]本発明に係る電界効果トランジスタの構造を概念的に説明するための断面図である。

[図2]本発明に係る電界効果トランジスタにおいて、ゲート電極の側壁のマスク層の厚み W (nm) の適正範囲を決定するために行ったシミュレーション結果を示す図である。

発明を実施するための形態

[0024] 図1は、本発明に係る電界効果トランジスタの構造を概念的に説明するための断面図である。なお、この図では、説明を簡略化するために、ゲート電極をひとつ有する（シングルゲート）構造のものを図示しているが、このような態様のものに限定されず、ダブルゲートやトリゲート構造のトランジスタでもよく、チャンネルの周囲すべてがゲートとされた構造のトランジスタなどであってもよい。

[0025] 図1に例示した電界効果トランジスタ100は、半導体ナノワイヤ30により形成されたチャンネル30cを備えている。このチャンネル30cに隣接して、ソース領域30sおよびドレイン領域30dが形成されており、チャンネルの上方に、ゲート酸化膜45を介して、ゲート電極40が設けられており、当該ゲート電極の下方がゲート長 L_g のゲート領域40gとなる。なお、この例では半導体材料部が半導体ナノワイヤである態様となっているが、これはあくまで例示であって、本発明に係る半導体トランジスタを構成する半導体材料部はこの態様に限定されるものではなく、チャンネルを形成し得る半導体材料部であればよい。

[0026] 半導体ナノワイヤ30は、例えば、SOI基板の半導体層を加工して得られたシリコン・ナノワイヤや、n型もしくはp型の伝導型のシリコン基板10上に形成されたシリコン酸化膜(SiO_2)からなる絶縁体膜20の上に設けられたシリコン・ナノワイヤである。なお、半導体ナノワイヤは、シリコン・ナノワイヤに限定されず、ゲルマニウム・ナノワイヤやGaAsなどのIII-V族化合物半導体ナノワイヤであってもよい。

- [0027] 半導体ナノワイヤ30は、長さとの幅の比（アスペクト比）が大きい細線状の結晶であり、その厚みH（nm）は例えば10nm程度である。このような半導体ナノワイヤ30は、絶縁体上の半導体層の加工、もしくは、化学気相堆積法（CVD法）やプラズマ強化化学気相堆積法（PECVD法）で形成することができる。半導体ナノワイヤ30がシリコン・ナノワイヤである場合、SOI基板を用いて半導体ナノワイヤを形成したり、或いは、シラン（SiH₄）ガスや四塩化シリコン（SiCl₄）ガスを原料ガスとして形成するなどすればよい。
- [0028] 半導体ナノワイヤ30の主面には、ドナーまたはアクセプタとなるドーパント原子を含むマスク層50が設けられている。このマスク層50は、例えばシリコン酸化膜からなり、ゲート領域40gの上方に設けられたゲート電極40の側壁の厚みがW（nm）となるように形成されるとともに、ソース領域30sおよびドレイン領域30dが形成された半導体ナノワイヤ30の主面部を被覆している。
- [0029] マスク層50は、例えばシリコン酸化膜を形成後に半導体ナノワイヤ30中でドナーまたはアクセプタとなるドーパント原子がイオン注入されたものである。
- [0030] 半導体ナノワイヤ30がシリコン・ナノワイヤである場合、マスク層50は、シリコン酸化膜のほかにシリサイド膜からなる層としてもよく、マスク層50が含むドーパント原子として、リン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムを例示することができる。
- [0031] 半導体材料部はシリコンに限られないから、図1に例示の態様において、半導体ナノワイヤ30はゲルマニウム・ナノワイヤであってもよい。この場合、マスク層50は、ゲルマニウム酸化膜やジャーマナイド膜からなる層としてもよく、マスク層50が含むドーパント原子として、リン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムを例示することができる。
- [0032] さらに、半導体材料部はシリコンやゲルマニウムに限られないから、半導

体ナノワイヤ30はIII-V族化合物半導体ナノワイヤであってもよい。この場合、マスク層50は、例えばシリコン酸化膜からなる層とし、マスク層50が含むドーパント原子として、亜鉛、シリコン、ベリリウムを例示することができる。

[0033] マスク層50は、本発明に係る電界効果トランジスタを作製する際に、ソース領域30sおよびドレイン領域30dへのドーパントの拡散源としての機能を有している。

[0034] 従来、例えばシリコン・ナノワイヤのソース領域およびドレイン領域にドーピングを行う際、ゲート電極をマスクとし、シリコン・ナノワイヤに直接ドーパントをイオン注入し、その後熱処理を行うことで注入イオンを電気的に活性化させてドナーやアクセプタとする手法が採用されていた。しかし、このような手法では、トランジスタ本体に、イオン注入により結晶欠陥が誘起され、熱処理後にも欠陥が残留してトランジスタ特性を低下させてしまうという問題がある。

[0035] この問題を回避するためにいわゆる固相拡散法を採用した場合にも、トランジスタのチャネル領域にまでドーパントが拡散してしまい、トランジスタの閾値電圧がシフトしてしまうという問題がある。一方で、閾値電圧シフトを抑えるためにドーパント濃度を下げると十分なオン電流を取ることができなくなる。

[0036] そこで、本発明では、イオン注入前の段階でゲート電極を含む領域にマスク層50を形成し、このマスク層50の上からイオン注入する。イオン注入時のダメージはこのマスク層50で吸収されるから、半導体ナノワイヤ30へのダメージが回避され、結晶欠陥を誘起することがないから、ダメージ回復のための熱処理は不要となる。また、マスク層50はドーパントの拡散源として機能するが、どの程度のドーピングを行うかはイオン注入量（ドーズ量）で容易に制御することができる。

[0037] ゲート電極40の側壁部におけるマスク層50中にもドーパント原子がイオン注入されるが、注入イオンは上方部に留まる。すなわち半導体ナノワイ

ヤ30の主面に接する部分にまでは注入されない。そのため、ゲート電極40の側壁に厚みW (nm) で形成されているマスク層部分は、ドーパントの拡散源としては機能しない。その結果、この厚みW (nm) を適切に設計することで、チャンネル領域30cへのドーパントの侵入を回避することができ、閾値電圧のばらつきを低減するとともに、十分なオン電流を取ることが可能となる。

[0038] 図2は、上述した構造の電界効果トランジスタにおいて、ゲート電極40の側壁のマスク層50の厚みW (nm) の適正範囲を決定するために行ったシミュレーション結果を示す図である。横軸は半導体ナノワイヤの厚みH (nm) であり、縦軸はゲート電極40の側壁のマスク層50の厚みW (nm) である。

[0039] このシミュレーション時の条件は表1のとおりであり、ここでは、ナノワイヤMOS電界効果トランジスタ(10nm角以下、長さ30nm)のゲート電極を含む全面にシリコン酸化膜を堆積し、その上からヒ素をイオン注入の後、1000℃の熱処理を行うことでドーパントを拡散させている。

[0040] [表1]

電界効果トランジスタ		ヒ素イオン注入及びアニール条件	
t_d (堆積Si酸化膜厚)	3 nm	加速電圧	0.5keV
L_{sd} (SD長)	10 nm	ドーパント量	$1 \times 10^{15} \text{cm}^{-2}$
t_g (ゲート電極高さ)	5 nm	アニール温度	1000℃
t_{ox} (ゲート酸化膜厚)	1 nm	アニール時間	最適値

[0041] ここで、イオン注入時の加速電圧を0.5keVとしたのは、 t_g が3nmの堆積Si酸化膜中にヒ素を注入するためである。また、イオン注入後にドーパントを拡散させる際の時間は、半導体ナノワイヤの厚みH (nm) に応じた最適値としており、SD (ソース・ドレイン) 部をほぼ均一にドーピングするための最少時間であり、具体的には、 $H = 2 \text{ nm}, 3 \text{ nm}, 5 \text{ nm}, 7.5 \text{ nm}, 10 \text{ nm}$ のそれぞれにつき、0.25秒, 0.5秒, 1秒, 2.5秒, 5秒である。

- [0042] 先ず、厚み W (nm) の上限についてみると、チャンネル端からソース領域およびドレイン領域側への2 nmにおいてドーパント（ここではヒ素）の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以上となる条件で評価した場合、厚み W (nm) の上限値 W_u (nm) は $[3H + 19] / 7$ となる。この厚み以上となると、十分なオン電流を取ることができない。
- [0043] なお、チャンネル端から2 nmにおいてドーパント濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以上となる条件を設定したのは、これよりも低いドーパント濃度の場合には、オン電流を取ることができないためである。
- [0044] 一方、厚み W (nm) の下限についてみると、チャンネル中央へのドーパント（ここではヒ素）の侵入が1以下となる条件で評価した場合、厚み W (nm) の下限値 W_l (nm) は $[3H - 2] / 7 + [10 - Lg] / 2$ となる。この厚み以下となると、閾値のばらつきが大きくなる。
- [0045] 従って、本発明においては、ゲート電極40の側壁のマスク層50の厚み W (nm) を、 $[3H - 2] / 7 + [10 - Lg] / 2 \leq W \leq [3H + 19] / 7$ の範囲に定める。なお、この関係式からわかるように、上限値 W_u (nm) はゲート長 Lg には依存しない一方、下限値 W_l (nm) はゲート長 Lg に依存する。
- [0046] 本発明に係る電界効果トランジスタにおいて、チャンネルの中央領域のドーパント原子数を1以下とするためには、換言すればチャンネルの中央領域のドーパント原子数が2以上とならないようにするためには、ゲート領域のゲート長 Lg は4 nm以上で10 nm以下あることが好ましい。なお、ここで、チャンネルの「中央領域」とは、チャンネルの幾何学的な中央位置を中心として ± 1 nmの領域を意味する。これは、上述のとおり、例えば、シリコン結晶中にドーパントとしてのヒ素原子が存在する場合、当該ドーパントからの電子の「浸み出し長」が2 nm (± 1 nm) 程度あるためである。
- [0047] 上述したように、本発明に係る電界効果トランジスタは、厚みが H (nm) の半導体ナノワイヤにより形成されたチャンネルと、該チャンネルに隣接して形成されたソース領域およびドレイン領域と、前記チャンネルの上方に設けら

れたゲート領域を備えた電界効果トランジスタであって、前記半導体ナノワイヤの主面に設けられた、ドナーまたはアクセプタとなるドーパント原子を含むマスク層であって、前記ゲート領域に設けられたゲート電極の側壁の厚みが W (nm) のマスク層を備え、前記マスク層は前記ソース領域およびドレイン領域が形成された前記半導体ナノワイヤの主面部を被覆しており、前記ゲート領域のゲート長 (L_g) は4 nm以上で10 nm以下あり、前記チャンネルの中央領域のドーパント原子数が1以下である、電界効果トランジスタである。

[0048] 上記電界効果トランジスタが備えるマスク層50は、例えばシリコン酸化膜からなり、ゲート領域40gの上方に設けられたゲート電極40の側壁の厚みが W (nm) となるように形成されるとともに、ソース領域30sおよびドレイン領域30dが形成された半導体ナノワイヤ30の主面部を被覆しており、電界効果トランジスタを作製する際に、ソース領域30sおよびドレイン領域30dへのドーパントの拡散源としての機能を有している。

[0049] ゲート電極40の側壁部におけるマスク層50において、注入イオンは上方部に留まり、半導体ナノワイヤ30の主面に接する部分にまでは注入されない。そのため、ゲート電極40の側壁に厚み W (nm) で形成されているマスク層部分は、ドーパントの拡散源としては機能しない。その結果、この厚み W (nm) を適切に設計することで、チャンネル領域30cへのドーパントの侵入を回避することができ、閾値電圧のばらつきを低減するとともに、十分なオン電流を取ることが可能となる。

[0050] このように、本発明によれば、半導体ナノワイヤのような半導体材料部の主面にドーパント原子を含むマスク層であってゲート電極の側壁の厚みが W のマスク層を備え、チャンネルの中央領域のドーパント原子数が1以下の電界効果トランジスタが提供される。その結果、閾値電圧のばらつきが抑制されるとともにオン電流も充分に取ることができる。

産業上の利用可能性

[0051] 本発明は、閾値電圧のばらつきを抑制するとともにオン電流も充分に取る

ことを可能とするソース・ドレイン構造を有する、半導体ナノワイヤのような半導体材料部により形成されたチャンネルを備えた電界効果トランジスタを提供する。

符号の説明

- [0052] 10 シリコン基板
20 絶縁体膜
30 半導体ナノワイヤ
30c チャンネル
30s ソース領域
30d ドレイン領域
40 ゲート電極
40g ゲート領域
45 ゲート酸化膜
50 マスク層
100 電界効果トランジスタ

請求の範囲

[請求項1] 厚みが H (nm) の半導体材料部により形成されたチャンネルと、該チャンネルに隣接して形成されたソース領域およびドレイン領域と、前記チャンネルの上方に設けられたゲート領域を備えた電界効果トランジスタであって、

前記ゲート領域のゲート長 (L_g) は4 nm以上で10 nm以下あり、

前記チャンネルの中央領域のドーパント原子数が1以下である、電界効果トランジスタ。

[請求項2] 厚みが H (nm) の半導体材料部により形成されたチャンネルと、該チャンネルに隣接して形成されたソース領域およびドレイン領域と、前記チャンネルの上方に設けられたゲート領域を備えた電界効果トランジスタであって、

前記半導体材料部の主面に設けられた、ドナーまたはアクセプタとなるドーパント原子を含むマスク層であって、前記ゲート領域に設けられたゲート電極の側壁の厚みが W (nm) のマスク層を備え、

前記マスク層は前記ソース領域およびドレイン領域が形成された前記半導体材料部の主面部を被覆しており、

前記ゲート領域のゲート長 (L_g) は4 nm以上で10 nm以下あり、

前記ゲート電極の側壁の前記マスク層の厚み W (nm) は $[3H - 2] / 7 + [10 - L_g] / 2 \leq W \leq [3H + 19] / 7$ の範囲にある、

電界効果トランジスタ。

[請求項3] 前記チャンネルの中央領域のドーパント原子数が1以下である、請求項2に記載の電界効果トランジスタ。

[請求項4] 前記チャンネルの端部から前記ソース領域および前記ドレイン領域側への2 nmの領域のドーパント濃度が、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上であ

る、請求項1～3の何れか1項に記載の電界効果トランジスタ。

[請求項5] 前記半導体材料部は、シリコン、ゲルマニウム、ⅢⅤ族化合物半導体の何れかの材料からなる、請求項1～4の何れか1項に記載の電界効果トランジスタ。

[請求項6] 前記半導体材料部はシリコンからなり、前記マスク層はシリコン酸化膜またはシリサイド膜である、請求項5に記載の電界効果トランジスタ。

[請求項7] 前記ドーパントはリン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムの何れかである、請求項6に記載の電界効果トランジスタ。

[請求項8] 前記半導体材料部はゲルマニウムからなり、前記マスク層はゲルマニウム酸化膜またはジャーマナイト膜である、請求項5に記載の電界効果トランジスタ。

[請求項9] 前記ドーパントはリン、アンチモン、ヒ素、ホウ素、アルミニウム、インジウム、ガリウムの何れかである、請求項8に記載の電界効果トランジスタ。

[請求項10] 前記半導体材料部はⅢⅤ族化合物半導体からなり、前記マスク層はシリコン酸化膜である、請求項5に記載の電界効果トランジスタ。

[請求項11] 前記ドーパントは亜鉛、シリコン、ベリリウムの何れかである、請求項10に記載の電界効果トランジスタ。

[請求項12] 前記半導体材料部は、シリコン・ナノワイヤ、ゲルマニウム・ナノワイヤ、ⅢⅤ族化合物半導体ナノワイヤの何れかである、請求項1～4の何れか1項に記載の電界効果トランジスタ。

[請求項13] 厚みがH (nm) の半導体材料部により形成されるチャンネルを備える電界効果トランジスタの製造方法であって、

前記チャンネルの上方に、ゲート長(Lg)が4nm以上で10nm以下となるようにゲート電極を形成するステップと、

前記ゲート電極、および、前記チャンネルに隣接するソース領域とドレイン領域が形成される前記半導体材料部の主面部を被覆するマスク層であって、前記ゲート電極の側壁の厚みが W (nm) であるマスク層を形成するステップと、

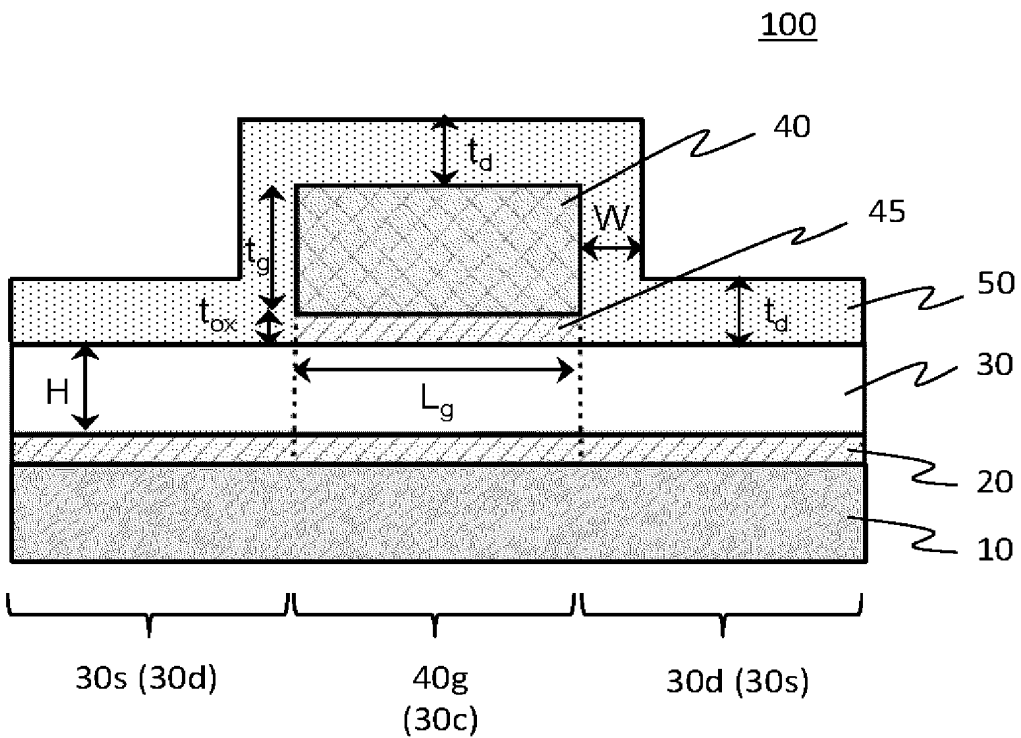
前記マスク層にドナーまたはアクセプタとなるドーパント原子を注入するステップと、

前記マスク層に注入された前記ドーパント原子を、前記ソース領域とドレイン領域に拡散させるステップと、を備え、

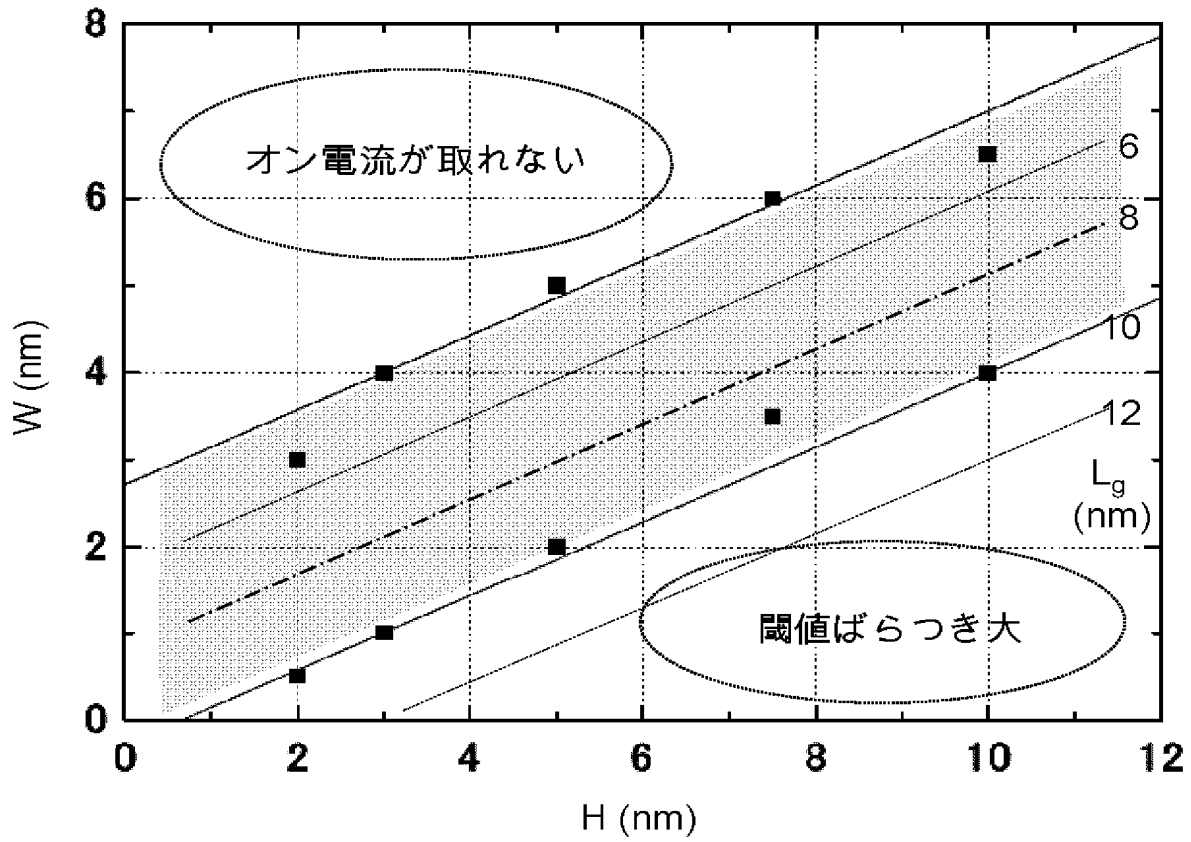
前記ゲート電極の側壁の前記マスク層の厚み W (nm) を、 $[3H - 2] / 7 + [10 - Lg] / 2 \leq W \leq [3H + 19] / 7$ の範囲に設定する、

電界効果トランジスタの製造方法。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/004902

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 3-165575 A (NEC Corp.), 17 July 1991 (17.07.1991), page 2, upper right column, line 9 to page 3, upper right column, line 9; fig. 1, 3 (Family: none)	1-12 13
X Y	JP 11-251259 A (Seiko Epson Corp.), 17 September 1999 (17.09.1999), paragraph [0022]; fig. 2 (Family: none)	1-12 13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 December 2015 (08.12.15)

Date of mailing of the international search report
22 December 2015 (22.12.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/004902

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-508548 A (Advanced Micro Devices, Inc.), 09 March 2006 (09.03.2006), paragraph [0023] & US 2004/0104442 A1 paragraph [0028] & WO 2004/051728 A1 & EP 1565934 A1 & DE 10255849 A1 & CN 1720607 A & AU 2003295406 A & TW 200414374 A & KR 10-2005-0084030 A	13
A	JP 9-116167 A (Seiko Epson Corp.), 02 May 1997 (02.05.1997), (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/336, H01L29/06, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 3-165575 A (日本電気株式会社) 1991.07.17, 第2頁右上欄第9行~第3頁右上欄第9行, 第1, 3図 (ファミリーなし)	1-12 13
X Y	JP 11-251259 A (セイコーエプソン株式会社) 1999.09.17, [0022], 第2図 (ファミリーなし)	1-12 13

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 08.12.2015	国際調査報告の発送日 22.12.2015
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宇多川 勉 電話番号 03-3581-1101 内線 3516	5 F	3125
---	--	-----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-508548 A (アドバンスト・マイクロ・デバイス・インコーポレイテッド) 2006.03.09, [0023] & US 2004/0104442 A1, [0028] & WO 2004/051728 A1 & EP 1565934 A1 & DE 10255849 A1 & CN 1720607 A & AU 2003295406 A & TW 200414374 A & KR 10-2005-0084030 A	13
A	JP 9-116167 A (セイコーエプソン株式会社) 1997.05.02, (ファミリーなし)	1-13