

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4517144号  
(P4517144)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int.Cl.		F I		
HO 1 L 33/34	(2010.01)	HO 1 L 33/00	1 8 8	
HO 1 L 27/14	(2006.01)	HO 1 L 27/14	Z	
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	3 O 1 J	
HO 1 L 31/10	(2006.01)	HO 1 L 31/10	A	
HO 1 L 31/12	(2006.01)	HO 1 L 31/12	C	

請求項の数 3 (全 13 頁)

(21) 出願番号 特願2004-207620 (P2004-207620)  
 (22) 出願日 平成16年7月14日(2004.7.14)  
 (65) 公開番号 特開2006-32564 (P2006-32564A)  
 (43) 公開日 平成18年2月2日(2006.2.2)  
 審査請求日 平成19年7月2日(2007.7.2)

(73) 特許権者 504136568  
 国立大学法人広島大学  
 広島県東広島市鏡山1丁目3番2号  
 (74) 代理人 100121795  
 弁理士 鶴亀 國康  
 (72) 発明者 宮崎 誠一  
 広島県東広島市鏡山一丁目3番1号 広島  
 大学大学院先端物質科学研究科内  
 (72) 発明者 東 清一郎  
 広島県東広島市鏡山一丁目3番1号 広島  
 大学大学院先端物質科学研究科内  
 審査官 土屋 知久

最終頁に続く

(54) 【発明の名称】 MOS電界効果トランジスタ型量子ドット発光素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上にトンネルSiO<sub>2</sub>層を形成する工程、該トンネルSiO<sub>2</sub>層上に金属Siが島状に分散したSiアイランドを形成する工程、該Siアイランド上に選択的にGe核を形成する工程、該Siアイランド上に前記Ge核を含んで金属Siを積層させてSi殻内にGe核を内包した量子ドットを形成する工程、該量子ドットを含みトンネルSiO<sub>2</sub>層を覆うコントロールSiO<sub>2</sub>層を形成する工程、および、該コントロールSiO<sub>2</sub>層に重ねてゲート電極層を形成する工程を順次行うMOS電界効果トランジスタ型量子ドット発光素子の製造方法。

【請求項2】

Si殻内にGe核を内包した量子ドットを形成するに先立ち、トンネルSiO<sub>2</sub>層の表面層をOH結合で終端されたトンネルSiO<sub>2</sub>層に改質することを特徴とする請求項1に記載のMOS電界効果トランジスタ型量子ドット発光素子の製造方法。

【請求項3】

量子ドットを含みトンネルSiO<sub>2</sub>層を覆うコントロールSiO<sub>2</sub>層を形成するに先立ち、量子ドット表面に酸化薄膜を形成することを特徴とする請求項1に記載のMOS電界効果トランジスタ型量子ドット発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光配線又は光通信を利用したMOS電界効果トランジスタ型量子ドット発光素子および受光素子、光電子集積チップ、データ処理装置およびMOS電界効果トランジスタ型量子ドット発光素子の製造方法に関する。

【背景技術】

【0002】

半導体集積回路は、半導体基板上に形成された多数のトランジスタやメモリセルから構成され、情報処理の高性能化のため回路の微細化および高集積化が進んでいる。また、半導体チップ内に共有メモリを設け、共有メモリを介して複数のプロセッサやCPU間でデータを共有し、同時進行でデータを処理する情報処理の高性能化が進んでいる。

【0003】

一方、これらの情報処理の高性能化に伴い、回路の微細化および高集積化による回路内の配線の微細化が進み、それに伴いチップ内の離れた位置の回路間を接続するグローバル配線や、チップとチップをつなぐチップ間配線等のため配線距離が長くなり、配線による信号伝達の遅延が問題になっている。

【0004】

この配線による信号伝達の遅延問題に対し、電気的信号伝達に代えて光を用いて信号伝達をおこなう方法（光配線又は光通信による方法）が提案されている。例えば、特許文献1に、GaAs等の化合物半導体を利用して光配線又は光通信を実現する方法が提案されている。また、特許文献2には、Ge又はGe-Si合金からなる量子ドットを利用して光配線又は光通信を実現する方法が提案されている。

【特許文献1】特開2000-332229号公報

【特許文献2】特開平6-326359号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、特許文献1又は2に提案された方法は、光配線又は光通信を実現するためには、従来からSi半導体基板上にトランジスタやメモリセルを形成する手段として広く使用されているCMOS電界効果トランジスタ製造プロセスを利用できないという問題がある。このため、半導体集積回路の製造方法が複雑になり、また特別の装置、例えば高温・高真空装置を準備しなければならないという問題がある。

【0006】

本発明に係る問題に鑑み、従来より広く使用されているCMOS電界効果トランジスタ製造プロセスを用いてプロセッサやメモリセルを構成した同一のSi半導体基板に光配線および光通信を実現することができるMOS電界効果トランジスタ型量子ドット発光素子および受光素子の提供、および、MOS電界効果トランジスタ型量子ドット発光素子の製造方法を提供することを目的とする。また、かかる発光素子・受光素子を利用した光電子集積チップ、データ処理装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係るMOS電界効果トランジスタ型量子ドット発光素子は、半導体基板と、該半導体基板上に形成されたトンネルSiO<sub>2</sub>層と、該トンネルSiO<sub>2</sub>層上に形成されたSi殻内にGe核を内包した量子ドットと、該量子ドット上及び前記トンネルSiO<sub>2</sub>層上に形成されたコントロールSiO<sub>2</sub>層と、該コントロールSiO<sub>2</sub>層上に形成されたゲート電極層と、を有してなる。

【0008】

一方、本発明に係るMOS電界効果トランジスタ型受光素子は、半導体基板と、該半導体基板上に形成されたゲートSiO<sub>2</sub>層と、該ゲートSiO<sub>2</sub>層上に形成されたドーパSi層、Ge層及びドーパSi層を順次積層してなる積層ゲート電極層と、を有してなる。

【0009】

上記MOS電界効果トランジスタ型量子ドット発光素子と、MOS電界効果トランジスタ

10

20

30

40

50

タ型受光素子は、半導体基板を共有するように形成してなる光電子集積チップを構成することができる。また、その光電子集積チップを、該光電子集積チップを構成するMOS電界効果トランジスタ型量子ドット発光素子と、MOS電界効果トランジスタ型受光素子とを対応させるように複数枚近接配設してデータ処理装置を構成することができる。

【0010】

上記のMOS電界効果トランジスタ型量子ドット発光素子は、半導体基板上にトンネルSiO<sub>2</sub>層を形成する工程、該トンネルSiO<sub>2</sub>層上に金属Siが島状に分散したSiアイランドを形成する工程、該Siアイランド上に選択的にGe核を形成する工程、該Siアイランド上に前記Ge核を含んで金属Siを積層させてSi殻内にGe核を内包した量子ドットを形成する工程、該量子ドットを含みトンネルSiO<sub>2</sub>層を覆うコントロールSiO<sub>2</sub>層を形成する工程、および、該コントロールSiO<sub>2</sub>層に重ねてゲート電極層を形成する工程を順次行うことによって製造することができる。

10

【0011】

上記MOS電界効果トランジスタ型量子ドット発光素子の製造方法においては、Si殻内にGe核を内包した量子ドットを形成するに先立ち、トンネルSiO<sub>2</sub>層の表面層をOH結合で終端されたトンネルSiO<sub>2</sub>層に改質するのが好ましい。

【0012】

また、量子ドットを含みトンネルSiO<sub>2</sub>層を覆うコントロールSiO<sub>2</sub>層を形成するに先立ち、量子ドット表面に酸化薄膜を形成するのが好ましい。

【発明の効果】

20

【0013】

本発明に係るMOS電界効果トランジスタ型量子ドット発光素子および受光素子を利用して光配線を半導体集積回路内に形成することによって、半導体集積回路を構成するCPU等のプロセッサ、メモリセル間の信号伝達、あるいは異なるチップに形成された半導体集積回路間での光通信による信号伝達が可能になる。これにより、共有メモリを介してデータを共有し、各プロセッサにおける並列処理により、高速かつ高度の情報処理を行うことができる。また、本発明に係るMOS電界効果トランジスタ型量子ドット発光素子および受光素子を、CMOS電界効果トランジスタ製造プロセスにより多数のMOS電界効果トランジスタやメモリセルと同一の製造方法で同一の半導体集積回路内に容易に形成することができる。

30

【発明を実施するための最良の形態】

【0014】

以下、本発明に係るMOS電界効果トランジスタ型量子ドット発光素子および受光素子の実施の形態について説明する。本MOS電界効果トランジスタ型量子ドット発光素子10は、図1に示すように、半導体基板11と、該半導体基板11上のトンネルSiO<sub>2</sub>層21と、該トンネルSiO<sub>2</sub>層21上のSi殻23内にGe核24を内包した量子ドット22と、該量子ドット22上およびトンネル層21上のコントロールSiO<sub>2</sub>層25と、該コントロールSiO<sub>2</sub>層25上のゲート電極層27と、を有してなる。

【0015】

半導体基板11はその種類を問わないが、半導体材料であればどんなものでもよい。しかしながら、現在大規模集積回路(LSI)に広く使用されているSi単結晶基板あるいはSiO<sub>2</sub>上に形成したSi単結晶薄膜(SOI)を用いるのが好ましい。この半導体基板11は、その半導体能動層の両端に電子および正孔を供給するためのソース領域13およびドレイン領域15を有する。ソース領域13およびドレイン領域15領域は、ゲート電極層27に印加される電圧に従い半導体基板11に形成される反転層が短時間で反転するようにヘビードープn型およびp型半導体とするのがよい。

40

【0016】

トンネルSiO<sub>2</sub>層21は、その膜厚が2~4nmで、半導体基板11上に積層されている。これにより、半導体基板11からトンネル効果を利用して量子ドット22へキャリアを注入することができる。

50

## 【 0 0 1 7 】

量子ドット22は、S i 殻23内にG e 核24を内包したほぼ球又は半球形の構造をしており、トンネルS i O<sub>2</sub> 層21上にアイランドを形成している。量子ドット22の外径は、10~20 nmが好ましく、その数密度は $1 \times 10^{11} \text{cm}^{-2}$ 以上にするのが好ましい。S i 殻23内に内包されるG e 核24は、その直径が2~5nmであるのが好ましい。

## 【 0 0 1 8 】

コントロールS i O<sub>2</sub> 層25は、量子ドット22を覆うようにトンネルS i O<sub>2</sub> 層21上に積層されている。コントロールS i O<sub>2</sub> 層25の厚みは5~10nmである。ゲート電極層27は、ドーピングシリコンが適用でき、量子ドット22に電子又は正孔を導入し発光を促す機能を有する。

10

## 【 0 0 1 9 】

一方、本発明に係るM O S 電界効果トランジスタ型受光素子30は、図2に示すように、半導体基板12と、該半導体基板12上に積層されたゲートS i O<sub>2</sub> 層31と、該ゲートS i O<sub>2</sub> 層31上にドーピングS i 層33、G e 層35およびドーピングS i 層37を順次積層してなる積層ゲート電極層32を有してなる。

## 【 0 0 2 0 】

半導体基板12は、M O S 電界効果トランジスタ型量子ドット発光素子10を形成する半導体基板11と同様なものでよい。このため、M O S 電界効果トランジスタ型受光素子30とM O S 電界効果トランジスタ型量子ドット発光素子10を同一の半導体基板上に形成することができる。

20

## 【 0 0 2 1 】

ゲートS i O<sub>2</sub> 層31は、M O S 電界効果トランジスタ型量子ドット発光素子10のコントロールS i O<sub>2</sub> 層25と同様のS i O<sub>2</sub> 膜が適用できる。

## 【 0 0 2 2 】

積層ゲート電極層32は、ドーピングS i 層33と37の間にG e 層35を挟んだ構造をしており、M O S 電界効果トランジスタ型量子ドット発光素子10から放射された赤外光を受けG e 層35で発生する電子を電流として取り出す機能を有す。ドーピングS i 層33および37は、ゲート電極層27と同様なドーピングシリコンが適用できる。

## 【 0 0 2 3 】

このような構造を有するM O S 電界効果トランジスタ型量子ドット発光素子および受光素子の動作を図3~6に基づいて説明する。図3(a)に示すように、ゲート電極層27に負電圧を印加すると、半導体基板11の表面に蓄積された正孔410は薄いトンネルS i O<sub>2</sub> 層21をトンネルして量子ドット22へと注入される。これをバンド図で説明すると、図4(a)に示すように、ゲート電極層27のフェルミレベル(413)の上昇により、正孔410が半導体基板11の表面に蓄積され、薄いトンネルS i O<sub>2</sub> 層21をトンネルし(411)量子ドット22へ注入される。量子ドット22に注入された正孔410は、図4(a)に示すように、G e 核24が正孔410に対して量子井戸構造を形成しているためG e 核24中に閉じ込められる(412)。

30

## 【 0 0 2 4 】

次に図3(b)に示すように、ゲート電極層27に正電圧を印加すると、半導体基板11の反転層から電子420が量子ドット22へ注入される。これをバンド図で説明すると、図4(b)に示すように、ゲート電極層27のフェルミレベル(413)の低下により、電子420が、半導体基板11表面の反転層に誘起され薄いトンネルS i O<sub>2</sub> 層21をトンネルし(421)、量子ドット22へ注入される。注入された電子420は、量子ドット22に閉じ込められていた正孔410と再結合(422)して発光(423)する。このときの発光エネルギーは、G e のバンドギャップ程度のエネルギーであるから、赤外域の波長を有する赤外光424が発光される。

40

## 【 0 0 2 5 】

このようにM O S 電界効果トランジスタ型量子ドット受光素子10から発光された赤外光424は、図5(a)に示すように、半導体基板12、ゲートS i O<sub>2</sub> 層31およびドーピングS i 層33を透過し、G e 層35へ到達する。G e はバンドギャップが小さいので赤外光424を吸収

50

し電子・正孔対509を発生する。このとき、図5(b)に示すように、積層ゲート電極層32のドーパ層Si層37側に正電圧を印加しておくこと、発生した電子420はドーパ層Si層37に流れ込み、正孔410はゲートSiO<sub>2</sub>層31側に移動する。

【0026】

これをバンド図で説明すると、赤外光424の吸収により電子・正孔対509が生成され、図6(a)に示すように、電子420が、積層ゲート電極層32のフェルミレベル(604)の低下によりゲルマニウムバンド(603)の価電子帯を移動しドーパ層Si層37へ流れ込む。一方、図6(b)に示すように、正孔410はゲルマニウムバンド(603)とシリコンバンド(602)の境界に発生するバリアに捉えられるため、この領域に蓄積されることとなる。これによって、赤外光により電子・正孔対509が次々に発生し、Ge層35には正の電荷が蓄積され半導体12層のバンドが曲がり(611)反転層が形成されていく。

10

【0027】

Ge層35への正電荷の蓄積により、実効的に正のゲート電圧が増加し、半導体基板12中に形成される反転層のキャリア密度が増加する。これをソース-ドレイン間電流として検出すればこのMOS電界効果トランジスタは光検出素子として動作する。すなわち、図5(c)に示すように、受光中のゲート電圧(621)をMOSトランジスタのサブスレッショルド領域に設定すれば、赤外光424の入力による積層ゲート電極層32のわずかなゲート電圧の増加(621-622)でもドレイン電流(623-624)は劇的に増大する。このようにトランジスタの増幅作用を利用することによって、わずかな光でも高感度に検出できるので、本発明のMOS電界効果トランジスタ型受光素子30は高感度の光検出器として動作する。

20

【0028】

以上説明したように、このようなMOS電界効果トランジスタ型量子ドット発光素子および受光素子の構成により、上記MOS電界効果トランジスタ型量子ドット発光素子10の量子ドット22部分のバンド構造は、伝導帯側にわずかに飛び出たようなバンド整合をとり、正孔に対して量子井戸構造を形成する。このため、Ge核24内での正孔の強い閉じ込めが可能となり、効率的発光再結合を実現できる。また、MOS電界効果トランジスタ型受光素子30は、トランジスタの増幅作用を利用することによって、わずかな赤外光でも高感度に検出することができる。これらにより、CPU等のプロセッサ、メモリセルあるいは異なるチップに形成された導体集積回路間的高速かつ安定した光通信が可能になる。

30

【0029】

上記に説明したように、本発明に係るMOS電界効果トランジスタ型量子ドット発光素子は、正孔に対して量子井戸構造を有する量子ドット22をトンネルSiO<sub>2</sub>層21上にアイランド状に分布させているから、効率的な発光再結合を実現することができる。このMOS電界効果トランジスタ型量子ドット発光素子を製造するには、半導体基板11上にトンネルSiO<sub>2</sub>層21を形成する工程、該トンネルSiO<sub>2</sub>層21上に金属Siが島状に分散したSiアイランドを形成する工程、該Siアイランド上に選択的にGe核24を形成する工程、該Siアイランド上に前記Ge核24を含んで金属Siを積層させてSi殻23内にGe核24を内包した量子ドット22を形成する工程、該量子ドット22を含みトンネルSiO<sub>2</sub>層21を覆うコントロールSiO<sub>2</sub>層25を形成する工程、および、該コントロールSiO<sub>2</sub>層25に重ねてゲート電極層27を形成する工程を順次行う。

40

【0030】

まず、公知の方法を使用して半導体基板11上にトンネルSiO<sub>2</sub>層21を形成する。例えばSi基板表面をドライO<sub>2</sub>雰囲気中850℃で熱酸化を行って、2~4nmのSiO<sub>2</sub>膜を形成する。

【0031】

次に、トンネルSiO<sub>2</sub>層21上に金属Siが島状に分散したSiアイランドを形成する。この際、予めトンネルSiO<sub>2</sub>層21表面に金属Siの核形成サイトを形成しておくのが好ましい。すなわち、トンネルSiO<sub>2</sub>層21部分を0.1%フッ酸に3~5min浸漬した後、純水で2~4min間洗浄することによって表面がOH結合で終端された2~4nmの改質されたト

50

ンネル  $\text{SiO}_2$  層21を形成する。その後、LPCVD法により、 $\text{SiH}_4$  ガスを用いて0.5Torr、560~600、50~70sec間  $\text{Si}$  をトンネル  $\text{SiO}_2$  層21上に積層させる。これにより、トンネル  $\text{SiO}_2$  層21に高密度の  $\text{Si}$  アイランドを形成することができる。また、形成された  $\text{Si}$  アイランドは  $\text{Si}$  量子ドットとして機能させることができる。

#### 【0032】

次に、 $\text{Ge}$  核を  $\text{Si}$  アイランド上に選択的に形成させ、その後  $\text{Si}$  アイランド上に付着した  $\text{Ge}$  核を含んでさらに金属  $\text{Si}$  を積層させて  $\text{Si}$  殻内に  $\text{Ge}$  核を内包した量子ドットを形成する。本工程もLPCVD法を利用する。先ず、 $\text{H}_2$  で5%に希釈した0.2Torr、380~450 の  $\text{GeH}_4$  ガスを用いて、 $\text{Ge}$  を150~250sec間  $\text{Si}$  アイランド上に付着させる。本条件により、 $\text{Ge}$  はトンネル  $\text{SiO}_2$  層21上に付着することなく、 $\text{Si}$  アイランド上に選択的に付着する。次に、 $\text{GeH}_4$  ガスを0.5Torr、560~600 の  $\text{SiH}_4$  ガスに切替え、50~70sec間  $\text{Ge}$  上に  $\text{Si}$  を堆積させる。このとき、 $\text{Si}$  は  $\text{Si}$  アイランド上に付着した  $\text{Ge}$  核24を包含するように積層する。

10

#### 【0033】

次に、量子ドット22を含みトンネル  $\text{SiO}_2$  層21を覆うコントロール  $\text{SiO}_2$  層25を形成する。この際、予め量子ドット22表面に酸化薄膜を形成し、量子ドットを安定化させておくのが好ましい。すなわち、量子ドット22部分を850 の2%ドライ  $\text{O}_2$  で酸化し、量子ドット22の表面に0.8~1.5nmの酸化薄膜を形成した上で、LPCVD法により  $\text{H}_2\text{O}$  で10%に希釈した  $\text{Si}_2\text{H}_6$  ガスを用いて0.2Torr、440 の条件で、量子ドット22を含みトンネル  $\text{SiO}_2$  層21を覆う膜厚3~4nm程度の  $\text{a-Si}$  (アモルファス  $\text{Si}$ ) 膜を成膜し、しかる後、この  $\text{a-Si}$  膜を800 の2%ドライ  $\text{O}_2$  で酸化する。これによって、総膜厚6~8nmのコントロール  $\text{SiO}_2$  層25を形成する。

20

#### 【0034】

次に、コントロール  $\text{SiO}_2$  層25に重ねてゲート電極層27を形成する。ゲート電極層27は、公知の方法、例えばLPCVD法によりドーパポリシリコンを積層させることによって形成することができる。

#### 【0035】

以上の工程により、以下のような量子ドットを有するMOS電界効果トランジスタ型量子ドット発光素子を製造することができる。すなわち、本量子ドット22は  $\text{Si}$  殻23内に  $\text{Ge}$  核24を内包し外径が10~20nmの球又は半球状をしており、トンネル  $\text{SiO}_2$  層21上に  $1 \sim 3 \times 10^{11} \text{cm}^{-2}$  の高い数密度でアイランドを形成している。これにより、効率的な発光再結合を実現することができる。また、量子ドット22はその外層に酸化薄膜を有するので、量子ドット22の形成後量子ドット22およびトンネル  $\text{SiO}_2$  層21上にコントロール  $\text{SiO}_2$  層25を形成する際等に、量子ドット22に包含された  $\text{Ge}$  が揮発するという問題を生ずることなく、量子ドット22とトンネル  $\text{SiO}_2$  層21およびコントロール  $\text{SiO}_2$  層25との界面での欠陥の発生も防止することができる。

30

#### 【0036】

本発明の実施の形態は上記に説明したものに限らない。半導体基板11、12は、 $\text{Ge}$ 、 $\text{C}$  等のIV族元素若しくはそれらの化合物からなる単結晶若しくは多結晶半導体、 $\text{GaAs}$ 、 $\text{InP}$  等のIII-V族あるいは  $\text{ZnO}$ 、 $\text{ZnS}$ 、 $\text{CdTe}$  等のII-VI族からなる単結晶若しくは多結晶化合物半導体基板、絶縁体上に形成された単結晶または多結晶半導体薄膜を適用することができる。

40

#### 【0037】

トンネル  $\text{SiO}_2$  層21は、 $\text{SiN}_x$  膜、 $\text{SiON}$  膜等の  $\text{Si}$  酸化、窒化、酸窒化膜、あるいは  $\text{Ta}$ 、 $\text{Zr}$ 、 $\text{Y}$ 、 $\text{Al}$ 、 $\text{Hf}$  等の酸化膜を適用することができる。

#### 【0038】

量子ドット22は、上記の  $\text{Si}$ 、 $\text{Ge}$  の半導体の組み合わせ以外に、 $\text{GaAs}$ 、 $\text{InP}$  等のIII-V族半導体、 $\text{ZnO}$ 、 $\text{ZnS}$ 、 $\text{CdTe}$  等のII-VI族半導体等が適用可能である。

#### 【0039】

50

コントロール $\text{SiO}_2$ 層25は、 $\text{Ta}$ 、 $\text{Zr}$ 、 $\text{Y}$ 、 $\text{Al}$ 、 $\text{Hf}$ 等の酸化膜、シリケート膜、アルミネート膜などの高誘電率絶縁膜、若しくは $\text{SiO}_2$ 膜と高誘電率絶縁膜の積層構造のものが適用可能である。特に $\text{HfAlO}_x$ や $\text{HfSiO}_x$ 膜は好適である。この $\text{HfAlO}_x$ や $\text{HfSiO}_x$ 膜は比較的高い比誘電率を有するので、量子ドット22へのキャリア注入を低いゲート電圧で行うことができる。また、高温でも熱的に安定であるため品質の劣化を防止することができる。

#### 【0040】

上記MOS電界効果トランジスタ型量子ドット発光素子および受光素子は、MOS電界効果トランジスタ型のCPU等のプロセッサやメモリセルとともにMOS電界効果トランジスタ製造プロセスを使用して同一のSi基板上に形成することにことができ、それらの各構成要素を一体化した光電子集積チップを構成することができる。例えば、図7に示す光電子集積チップ100は、複数の回路ブロックから構成されており、回路ブロック110Aは、CPU102A、ローカルメモリ104A、共有メモリ106、MOS電界効果トランジスタ型量子ドット発光素子10AおよびMOS電界効果トランジスタ型受光素子30Aを有する。回路ブロック110Bは、CPU102B、ローカルメモリ104B、共有メモリ106、MOS電界効果トランジスタ型量子ドット発光素子10BおよびMOS電界効果トランジスタ型受光素子30Bを有する。また、回路ブロック回路110Aと110Bの間にはSi層をコアとし $\text{SiO}_2$ をクラッドした光導波路108を有する。これにより回路ブロック110Aと110Bは、光導波路108からなる光配線による相互の信号伝達が可能になる

#### 【0041】

さらに、上記のような光電子集積チップ100を複数個近接配置し、超高速データ処理が可能なデータ処理装置200を構成することができる。例えば、図8に示すデータ処理装置は、電源供給用のベース210上に複数の光電子集積チップ100A~100Dが、図8の矢印で示すように、各チップに設けられたMOS電界効果トランジスタ型量子ドット発光素子とMOS電界効果トランジスタ型受光素子との間で赤外光による光通信が可能のように配置されている。これにより、データ処理装置200に入力されたデータは光通信によって各チップの共有メモリで瞬時に共有され、複数のプロセッサを用いてデータの並列処理をすることができるようになる。なお、本光通信で利用される赤外光はSi半導体基板を透過することができ、例えば光電子集積チップ100Bはその前後の光電子集積チップ100Aおよび100Bと光通信による信号伝達が可能である。

#### 【実施例】

#### 【0042】

本発明に係る一対のMOS電界効果トランジスタ型量子ドット発光素子10とMOS電界効果トランジスタ型受光素子30を以下に説明する方法で同時に形成した。MOS電界効果トランジスタ型量子ドット発光素子・受光素子を形成する半導体基板11は(100)の面方位を有するp型単結晶Si基板を用いた。積層された膜厚の測定は、分光エリプソメトリにより行った。なお、MOS電界効果トランジスタ型量子ドット発光素子10とMOS電界効果トランジスタ型受光素子30は個別に形成してもよい。

#### 【0043】

まず、図9(a)に示すように、厚さ40nmのパッド酸化膜51を半導体基板11上に熱酸化により成膜した。次いで、パッド酸化膜51の上にLOCOSプロセスのマスクとなる厚さ120nmの $\text{Si}_3\text{N}_4$ 膜52Aおよび52BをLPCVD法により積層させた。その後、フォトリソグラフィによりパターニングした。なお、 $\text{Si}_3\text{N}_4$ 膜52Aの側に発光素子を形成し、 $\text{Si}_3\text{N}_4$ 膜52Bの側に受光素子を形成するものとする。

#### 【0044】

次に、図9(b)に示すように、 $\text{Si}_3\text{N}_4$ 膜52A、52Bの間に素子分離体となるフィールド酸化膜53を形成するフィールド酸化を行った。水蒸気中、1000℃で110min間フィールド酸化を行い、450nmのフィールド酸化膜53を形成した。なお、フィールド酸化膜53形成時にSi結晶中に生じる応力により発生する結晶欠陥は、予め半導体基板11上にパッド酸化膜51を形成することによって防止できた。

10

20

30

40

50

## 【 0 0 4 5 】

その後、図 9 (c) に示すように、 $\text{Si}_3\text{N}_4$  膜 52A、52B およびパッド酸化膜 51 をエッチングで除去し、再度熱酸化を行い 10nm の犠牲酸化膜を形成し、チャネルストップおよび閾値電圧制御のための B イオンの注入を行った。B イオンの注入は、それぞれ 11keV、 $1.5 \times 10^{12} \text{cm}^{-3}$  および 30keV、 $3 \times 10^{12} \text{cm}^{-3}$  の条件で行った。次いで、犠牲酸化膜を除去し、ドライ  $\text{O}_2$  雰囲気中 850 の熱酸化を行って半導体基板 11 上に 4nm の  $\text{SiO}_2$  膜を形成し、半導体基板 11 を 0.1% フッ酸に 4min 浸漬した後、純水で 3min 間洗浄し、図 9 (c) に示すように半導体基板 11 上に表面が OH 結合で終端された膜厚 2.8nm のトンネル  $\text{SiO}_2$  層 21 を形成した。

## 【 0 0 4 6 】

次に、図 9 (d) に示すようにトンネル  $\text{SiO}_2$  層 21 上に量子ドット 22 を形成した。量子ドット 22 の形成は、まず、LPCVD 法により  $\text{SiH}_4$  ガスを用いて 0.5Torr、560 で Ge 核形成サイトとなる Si 量子ドットをトンネル  $\text{SiO}_2$  層 21 上に形成する。次いで、 $\text{SiH}_4$  ガスを  $\text{H}_2$  で 5% に希釈した  $\text{GeH}_4$  ガスに切替えて、0.2Torr、400 の条件で Ge を堆積し、さらに、 $\text{GeH}_4$  ガスを再度  $\text{SiH}_4$  ガスに切替えて、Ge 上に Si を 0.02Torr、540 の条件で成長させて Si 殻内に Ge 核を有する量子ドット 22 を形成する。以上の操作により、ほぼ球状の直径が 14 ~ 18nm、数密度が  $2 \times 10^{11} \text{cm}^{-2}$  の量子ドット 22 を形成することができた。Si 殻内の Ge 核もほぼ球状をしており、その直径は 3 ~ 4nm であった。

## 【 0 0 4 7 】

次に、図 9 (e) に示すように、量子ドット 22 およびトンネル  $\text{SiO}_2$  層 21 の上にコントロール  $\text{SiO}_2$  層 25 を形成した。コントロール  $\text{SiO}_2$  層 25 の形成は、まず、量子ドット 22 およびトンネル  $\text{SiO}_2$  層 21 の表面を 850 の 2% ドライ  $\text{O}_2$  で酸化して 1nm の酸化膜を形成した上で、半導体基板 11 上の受光素子を形成する部分に積層した量子ドット 22 とトンネル  $\text{SiO}_2$  層 21 をエッチングにより除去する。次に、上記操作により酸化された量子ドット 22 およびトンネル  $\text{SiO}_2$  層 21 上に、LPCVD 法により He で 10% に希釈した  $\text{Si}_2\text{H}_6$  ガスを用いて 0.2Torr、440 で a-Si (アモルファス Si) 膜を 3.3nm 形成し、しかる後、この a-Si 膜を 800 の 2% ドライ  $\text{O}_2$  で酸化する。これによって、総膜厚 7.5nm のコントロール  $\text{SiO}_2$  層 25 が形成された。なお、このとき受光素子形成部分に形成されたコントロール  $\text{SiO}_2$  層 25 は、ゲート  $\text{SiO}_2$  層 31 として機能する。

## 【 0 0 4 8 】

次に、コントロール  $\text{SiO}_2$  層 25 およびゲート  $\text{SiO}_2$  層 31 の上に、LPCVD 法によりドーパ Si 層 33、Ge 層 35 を順次積層し、その後、発光素子形成部分に積層した Ge 層 35 の除去した上で、さらにドーパ Si 層 37 の積層を行った。次いで、受光素子形成部分に積層させたドーパ Si 層 33 のエッチバックを行い、図 9 (f) に示すように、発光素子形成部分に形成されたドーパ Si 層 33 および 37 からなるゲート電極層 27 と、受光素子形成部分に形成されたドーパ Si 層 33、Ge 層 35 およびドーパ Si 層 37 からなる積層ゲート電極層 32 の高さがほぼ等しくなるようにした。

## 【 0 0 4 9 】

次に、ゲート電極層 27、積層ゲート電極層 32 を、反応性イオンエッチング (RIE) を用いて異方性エッチングによりパターンニングし、その後、ゲート電極層 27、積層ゲート電極層 32 をマスクとしてイオン注入法により As または B を  $5 \times 10^{14} \text{cm}^{-3}$  注入し、図 9 (g) に示すようなソース・ドレインエクステンション 55A ~ 55D を形成した。

## 【 0 0 5 0 】

次に、LPCVD 法により、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  ガスを用いて 0.3Torr、750 でコンフォーマル  $\text{SiO}_2$  膜を 120nm 形成し、この  $\text{SiO}_2$  膜を  $\text{CF}_4$  と  $\text{H}_2$  混合ガスを用いた RIE によりエッチバックすることにより、図 9 (h) に示すようなゲート電極層 27、積層ゲート電極層 32 の側面部を覆うサイドウォール 57A、57B を形成した。

## 【 0 0 5 1 】

次に、ゲート電極層 27、積層ゲート電極層 32 の頂部のサイドウォール 57A、57B で覆われ

10

20

30

40

50



ていない部分を深さ5nmほど酸化した後、イオン注入によりAsまたはBを導入し、図9(i)に示すようなソース領域13、14およびドレイン領域15、16を形成した。なお、発光素子形成部分に形成したソース領域13、ドレイン領域15は、量子ドット22に電子および正孔を注入するため、ソース領域14、ドレイン領域16のいずれかをヘビードープn型半導体とし、他方をヘビードープp型半導体とした。

【0052】

その後、図9(j)に示すように、層間絶縁膜58、コンタクトホール59を形成し、図9(k)に示すようなソース電極61A、61Bとドレイン電極63を形成して、一对のMOS電界効果トランジスタ型量子ドット発光素子10とMOS電界効果トランジスタ型受光素子30を形成した。

10

【図面の簡単な説明】

【0053】

【図1】本発明に係るMOS電界効果トランジスタ型量子ドット発光素子の構造を示す模式図である。

【図2】本発明に係るMOS電界効果トランジスタ型受光素子の構造を示す模式図である。

【図3】MOS電界効果トランジスタ型量子ドット発光素子の作動説明図である。

【図4】図3のバンド説明図である。

【図5】MOS電界効果トランジスタ型受光素子の作動説明図である。

【図6】図5のバンド説明図である。

20

【図7】光電子集積チップの模式図である。

【図8】データ処理装置の模式図である。

【図9】MOS電界効果トランジスタ型量子ドット発光素子および受光素子の製造説明図である。

【符号の説明】

【0054】

10 MOS電界効果トランジスタ型量子ドット発光素子

11 半導体基板

12 半導体基板

13 ソース領域

14 ソース領域

15 ドレイン領域

16 ドレイン領域

21 トンネルSiO<sub>2</sub>層

22 量子ドット

23 Si殻

24 Ge核

25 コントロールSiO<sub>2</sub>層

27 ゲート電極層

30 MOS電界効果トランジスタ型受光素子

31 ゲートSiO<sub>2</sub>層

32 積層ゲート電極層

33 ドープSi層

35 Ge層

37 ドープSi層

51 パッド酸化膜

52、52A、52B Si<sub>3</sub>N<sub>4</sub>膜

53 フィールド酸化膜

55、55A～55D ソース・ドレインエクステンション

57、57A、57B サイドウォール

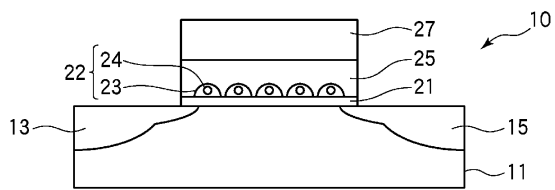
30

40

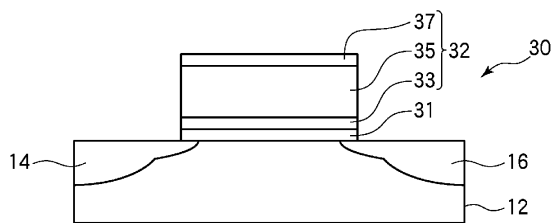
50

- 58 層間絶縁膜
- 59 コンタクトホール
- 61、61A、61B ソース電極
- 63 ドレイン電極
- 100 光電子集積チップ
- 102 CPU
- 104 ローカルメモリ
- 106 共有メモリ
- 108 光導波路
- 110、110A、110B
- 200 データ処理装置
- 210 ベース

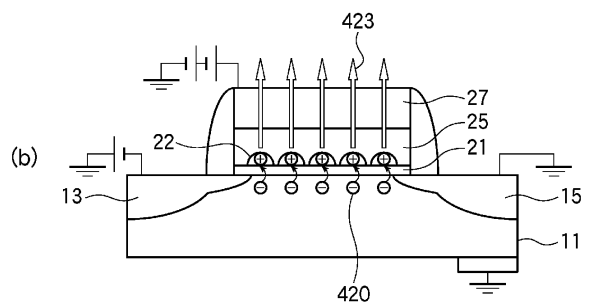
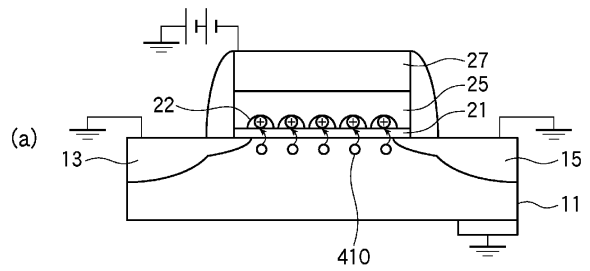
【図1】



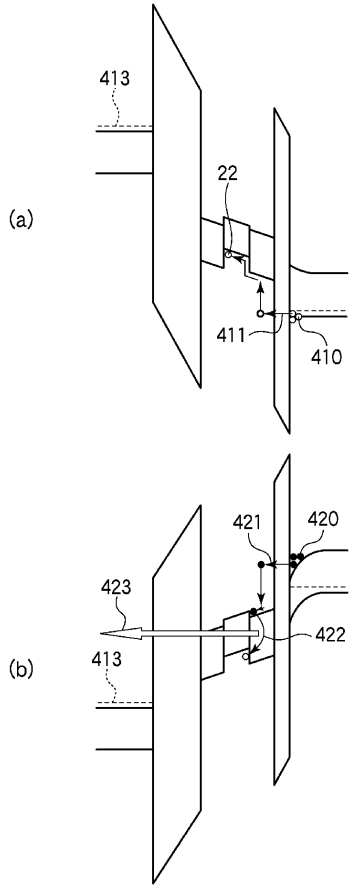
【図2】



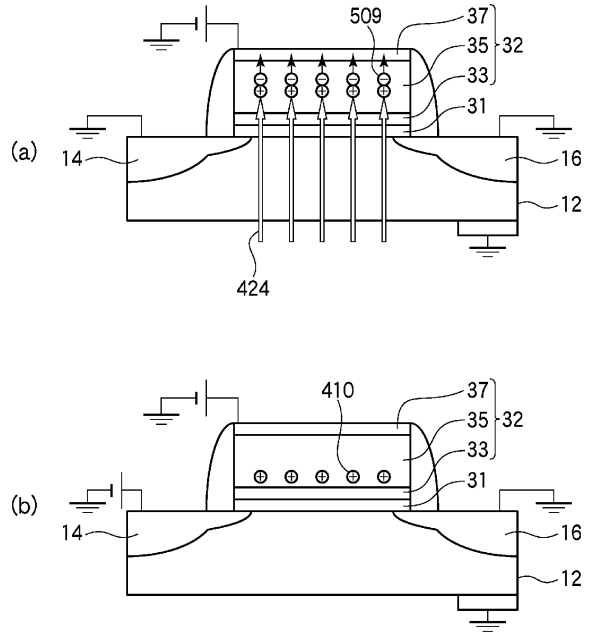
【図3】



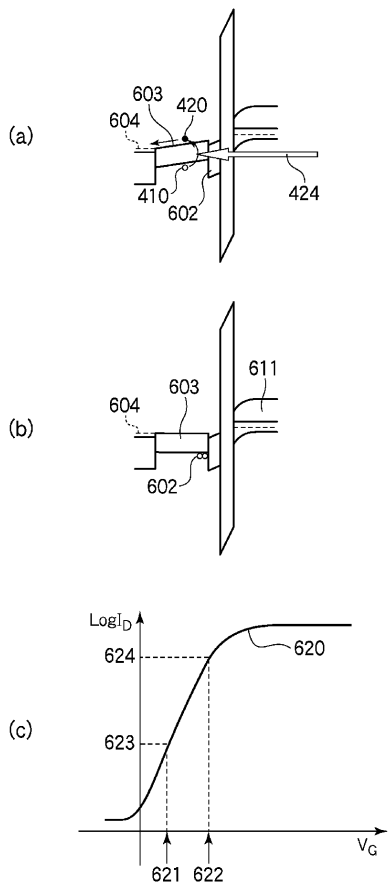
【 図 4 】



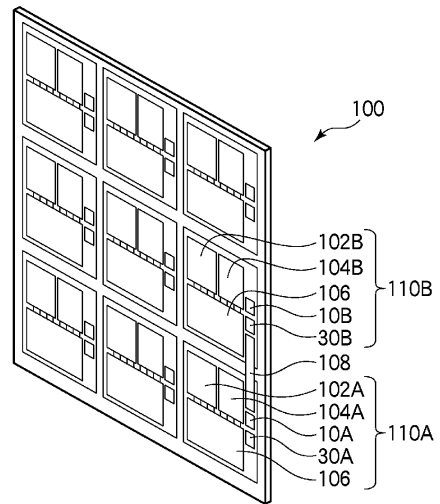
【 図 5 】



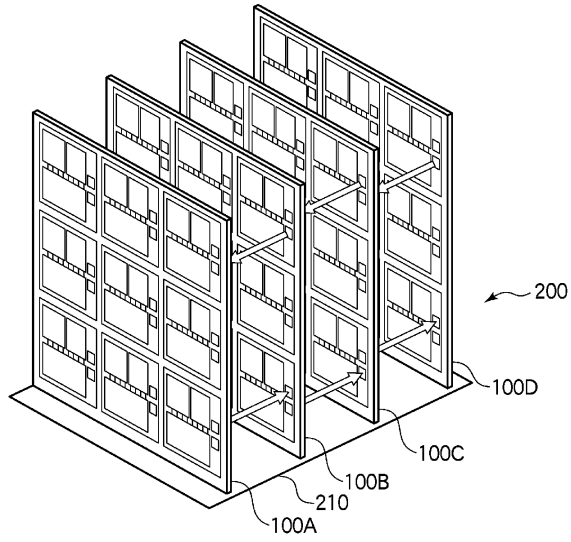
【 図 6 】



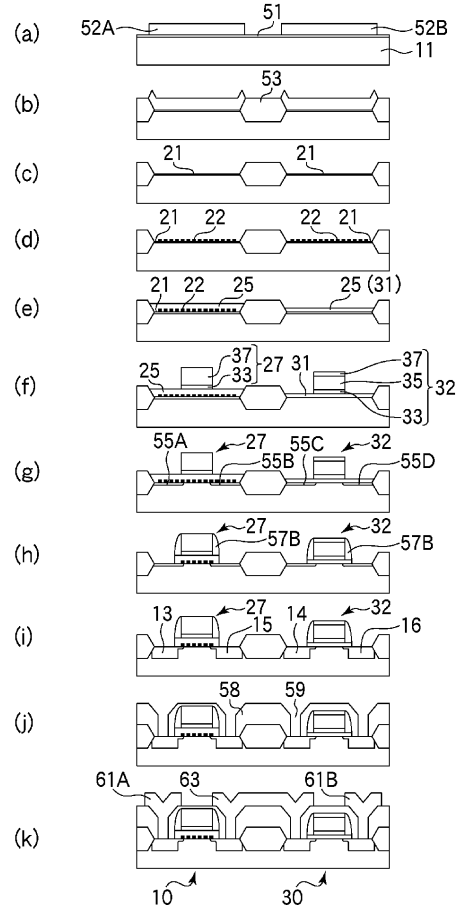
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

- (56)参考文献 特開2001-203382(JP,A)  
米国特許出願公開第2003/0066998(US,A1)  
特開2001-230443(JP,A)  
特開平01-240826(JP,A)  
特開2004-022901(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 33/00