

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-183454
(P2005-183454A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 31/09	HO 1 L 31/00	2 G 0 8 8
GO 1 T 1/24	GO 1 T 1/24	4 M 1 1 8
HO 1 L 27/14	HO 4 N 5/32	5 C 0 2 4
HO 4 N 5/32	HO 1 L 27/14	5 F 0 8 8

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願2003-418086 (P2003-418086)
(22) 出願日 平成15年12月16日 (2003.12.16)

(71) 出願人 304023318
国立大学法人静岡大学
静岡県静岡市大谷836
(74) 代理人 100122219
弁理士 梅村 勁樹
(72) 発明者 畑中 義式
静岡県浜松市和合町936番地の537
(72) 発明者 青木 徹
静岡県浜松市城北2丁目33番22号
Fターム(参考) 2G088 EE01 EE30 FF02 GG21 JJ05
JJ09 JJ37
4M118 AB01 BA01 BA03 CA03 CA05
CA22 CA23 CA25 CA27 CB01
CB14

最終頁に続く

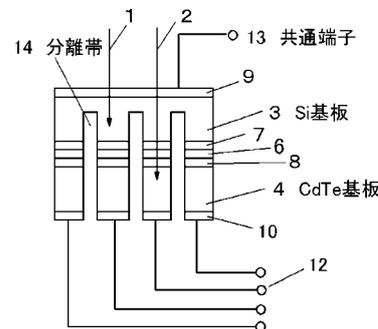
(54) 【発明の名称】 広域エネルギーレンジ放射線検出器及び製造方法

(57) 【要約】

【課題】従来、軟X線及び硬X線の双方に対して良好な感度を得ることは困難であった。

【解決手段】検出素子をSiとCdTeとのタンデム構造とする。また、Si基板3とCdTe基板4との間にIn(インジウム)を間挿して、一体化を図ることにより強度を高めるとともに、Si基板3により軟X線を検出し、CdTe基板4により硬X線を検出する。また、CdTe基板4側に分離帯14を設けることにより、電気的に各検出素子が分離でき、2次元画像センサとなり得る。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

II - VI族半導体とIV族半導体との積層構造を有し、広レンジの放射線エネルギー検出を可能にする広域エネルギーレンジ放射線検出器。

【請求項 2】

II - VI族の半導体，インジウムの拡散により n 型となったII - VI族の半導体，インジウム，インジウムの拡散により p 型となったIV族の半導体，IV族の半導体からなる 5 層構造を有する広域エネルギーレンジ放射線検出器。

【請求項 3】

前記 5 層構造の放射線検出器において、IV族半導体の外面に n 型のIV族半導体層を有すると共に、II - VI族の半導体の外面に p 型のII - VI族の半導体層を有してなる請求項 2 記載の広域エネルギーレンジ放射線検出器。 10

【請求項 4】

前記 5 層構造の放射線検出器において、IV族半導体の外面に p 型のIV族半導体層を有すると共に、II - VI族の半導体の外面に n 型のII - VI族の半導体層を有してなる請求項 2 記載の広域エネルギーレンジ放射線検出器。

【請求項 5】

前記II - VI族の半導体面から前記IV族半導体にかけて分離帯が形成されていて、前記IV族半導体を基板として、前記II - VI族の半導体が電氣的に分離され、かつその基部が機械的に結合された状態で、複数の検出器として 1 次元あるいは 2 次元センサーとして配列されてなる請求項 2 記載の広域エネルギーレンジ放射線検出器。 20

【請求項 6】

前記IV族の半導体に代えてIII - V族の半導体を用いることを特徴とする請求項 1 乃至 5 記載の広域エネルギーレンジ放射線検出器。

【請求項 7】

II - VI族の半導体とIV族の半導体の一方あるいは両方の片面にインジウムの層を形成し、該インジウムの層を間にして前記II - VI族の半導体と前記IV族の半導体とを加熱圧着することによる、前記II - VI族の半導体，インジウムの拡散により n 型となったII - VI族の半導体，前記インジウム，インジウムの拡散により p 型となったIV族の半導体，前記IV族の半導体からなる 5 層構造を有する広域エネルギーレンジ放射線検出器の製造方法。 30

【請求項 8】

前記IV族の半導体に代えてIII - V族の半導体を用いることを特徴とする請求項 7 記載の広域エネルギーレンジ放射線検出器の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この技術は、X線のような高エネルギーの電磁波を検出する半導体素子に関する。

【背景技術】

【0002】

これまで、軟X線に対してはSi(シリコン)、硬X線に対してはCdTe(カドミウム・テルル)を主材料とする半導体素子により、検出素子を構成していた(特許文献1参照)。 40

しかしながら、軟X線及び硬X線の双方に対して良好な感度を得ることは困難であった。

一方で、CdTeは結晶の機械的強度が弱いため、微細なチップに加工し平面上に2次元に配列することが困難である。そのため、図6に示されるようにSi基板3上に接着層5を介してCdTe基板4を固定し、機械的強度を保ったうえで切断加工を行っていた。この技術においては、切断後の加工に際し接着層が障害となり、接着層を除去するなどの手間がかかっていた。このため製造段階で工程が複雑になり、コスト面での不利な状況が存在した。

【特許文献 1】特表平 10 - 512398号

【発明を実施するための最良の形態】

【0003】

この発明では、広域エネルギーレンジのためにタンデム構造を採用することを提案する。

図1のようにSi基板3とCdTe(またはCdZnTe)基板4とをタンデムに配置し、Si基板3側からX線を入射すると、軟X線1はSi基板3の内部で吸収されるが、硬X線2はSi基板3を透過しCdTe(またはCdZnTe)基板4の内部に浸透し消滅する。それぞれの基板に電極を設けることにより、X線の消滅に伴う電荷を検出できる。

さらに、この発明ではSi基板3とCdTe基板4との間にIn(インジウム)を間挿して一体化を図ることにより、強度を高めるとともに各検出素子を分離独立できる構造を提案する。強度が高まれば、切削又はエッチングなどの機械的あるいは化学的処理により、CdTe基板に分離帯を設ける加工を行い得る。この加工により各検出素子を電氣的に分離独立できるため、2次元画像センサとして利用できる。

【0004】

この発明では、IV族の半導体としてSi(シリコン)を軟X線検出に用いるとともに、II-VI族の半導体としてCdTe(カドミウム・テルル)またはCdZnTe(カドミウム・ジंक・テルル)を硬X線検出に用いるものとする。この2材料をIII族のIn(インジウム)で接着する。

接合時において、接合面にInをはさみ込み加熱圧着することにより、CdTe側はn型半導体となり、Si側はp型半導体となる。

タンデム構造を採用する際に、接着材料としてInを用いることによって、両半導体における不純物金属としての効果をも有することとなり、CdTe-pin(p型-insulator-n型)半導体と、Si-pin半導体とを直列に接続する構造が容易に作成できる。

【実施例1】

【0005】

II-VI族半導体であるCdTeまたはCdZnTeの基板にInを薄く蒸着し、エキシマレーザーでのドーピングまたは加熱による拡散ドーピングにより、n型CdTeまたはCdZnTe層を形成する。他の面には金(Au)又はプラチナ(Pt)などによるショットキー接合、またはアンチモン(Sb)などのV族元素の拡散によるp型のCdTeまたはCdZnTe層を形成する。

また一方で、IV族であるSiの基板にInを薄く蒸着し、エキシマレーザーでのドーピングまたは加熱による拡散ドーピング処理により、p型Si層を形成する。このとき、Siのp型ドーピングはあらかじめIn以外のボロン(B)などの不純物によってp型を形成しておいたものを用いてもよい。他の面にはあらかじめ燐(P)などにより、n型のSi層が形成されているものを用いる。

Si基板のp型層と、CdTe基板(またはCdZnTeの基板)のn型層とを加熱しながら張り合わせると、Inを接着層として、Si基板とCdTe基板(またはCdZnTeの基板)とが結合される。これにより、CdTeとSiの2つのpinダイオードがシリーズ接続された構造体が形成される。In層の反対側にはp型のSi層及びn型CdTe層を形成するものであってもよい。この場合には、n型CdTeとp型Siによりnin-pipダイオードが形成された構造体となる。

【実施例2】

【0006】

構造体形成の一例を図を参照しながら説明する。

形成に用いる2つの基板を図2の左に示す。図2の左上がSi基板3上にIn層6を蒸着したものを示している。図2の左下がCdTe基板4上にIn層6を蒸着したものを示している。それぞれのIn面を張り合わせて加熱すると、In層6を接着層として、Si基板3とCdTe基板4とが結合される。この段階での構造体を図3の右に示す。Inは、Si基板3とCdTe基板4とに拡散し、それぞれp型層とn型層を形成する。In層の反対側にはn型のSi層及びp型CdTe層を形成する。

10

20

30

40

50

最初のInの蒸着は片方の基板にのみ施されるものであってもよい。

また、この場合においてもIn層の反対側にはp型のSi層及びn型CdTe層を形成するものであってもよい。

【0007】

次に、この構造体を用いるX線検出方法を述べる。

n型のSi層9及びp型CdTe層10を形成後の構造体を図3に示す。構造体から信号を取り出すために、n-Si層9(Si基板のn型層)を信号端子11へ接続し、p-CdTe層10(カドミウム・テルル基板のp型層)を他の信号端子12へ接続する。

信号端子11を経由してSi基板のn型層9に正電位を、信号端子12を経由してCdTe基板のp型層10に負電位を印加し、両pinダイオードに逆バイアスを与える。X線又はガンマ線をシリコン(Si)側から入射すると、軟X線は主としてシリコン3で吸収され、硬X線はCdTe4で吸収される。これにより、各X線は吸収された半導体層内で電子と正孔とを発生させて消滅し、外部に信号を出力することとなる。

このように、タンデム構造を採用したことにより、ワイドレンジの検出器となる。また、静電容量が小さくなり、高感度の素子が得られる。

【実施例3】

【0008】

次に、上記検出器を2次元センサーとするときの製造法について述べる。

CdTe基板は結晶の機械的強度が弱いため、微細なチップに加工し平面上に2次元に配列することが困難であった。この発明で得られるCdTe基板とSi基板の積層構造は、Si基板がCdTe基板の支持層となっており強靱である。したがって、2次元配置構造とする際には、切削又はエッチングなどの機械的あるいは化学的処理により、CdTe基板側からSi層の一部までの分離帯を設ける加工を行い得る。これにより、平面上に分離された検出素子が2次元に配列した構造が容易に作成できる。

このような加工を行った検出器の断面図を図4に示す。Si側に共通端子13を設け、CdTe側からは分離帯14により分離された個々の検出素子から信号線を引き出して信号端子12に接続する。

この信号線の引出しは、セラミック基板上に配線を行い、CdTeの各素子に対応するパンプを金属あるいは導電性接着剤で形成したものを、検出器に圧接することにより行うのがよい。セラミック基板上の配線は、所望により1層または多層基板とする。

図4のようなSiの壁面の露出は暗電流の増加を招くので、あらかじめSi基板3に切削加工を施し、作成された溝にSiO₂を埋設あるいは酸化反応によりSiO₂を溝の壁面に形成してなる基板に、In層6を設けたCdTe基板4を張り合わせて加熱した後、さらにCdTe基板4に対し切削加工を施して分離帯14を作成する方法も考えられる。この模式図を図5に示す。

【0009】

ここでは、2次元配列として説明したが、1次元配列であっても可能なことは説明するまでもなく自明である。

また、II-VI族の半導体としてCdTeを、IV族の半導体としてシリコンを用いるものとして説明したが、他にII-VI族の半導体としてCdZnTeなどが利用できる。また、IV族の代わりにIII-V族であるGaAsの表面のドーピング処理をあらかじめ行うことにより、Inを介しての接着とタンデム構造を採用する広域レンジの検出器構成として利用できる。

【産業上の利用可能性】

【0010】

これまでに説明した構造のX線検出素子により、軟X線から硬X線、ガンマ線まで広域のエネルギー幅における電磁波が検出可能となる。また、機械的強度が弱いII-VI族の半導体に対し分割構造が容易に作成可能であるので、2次元画像検出素子としての製造が低コストで可能となる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 1 】

【 図 1 】 X 線の吸収位置を表す図

【 図 2 】 I n (インジウム) を接着層として用いる図

【 図 3 】 I n による接着後の X 線検出素子を示す図

【 図 4 】 検出素子に C d T e 側から分離帯を設けた断面を表す図

【 図 5 】 あらかじめ分離帯の一部を S i O 2 で被覆した例を示す図

【 図 6 】 C d T e の切断に S i からなる加工台を用いる従来技術を示す図

【 符号の説明 】

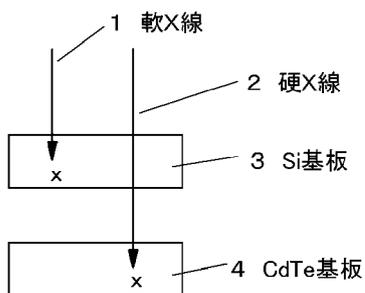
【 0 0 1 2 】

- 1 軟 X 線
- 2 硬 X 線
- 3 S i (シリコン) 基板
- 4 C d T e (カドミウム・テルル) 基板
- 5 接着層
- 6 I n (インジウム) 層
- 7 p - S i (p 型シリコン) 層
- 8 n - C d T e (n 型カドミウム・テルル) 層
- 9 n - S i (n 型シリコン) 層
- 1 0 p - C d T e (p 型カドミウム・テルル) 層
- 1 1 , 1 2 信号端子
- 1 3 共通端子
- 1 4 分離帯
- 1 5 S i O 2 (酸化シリコン)

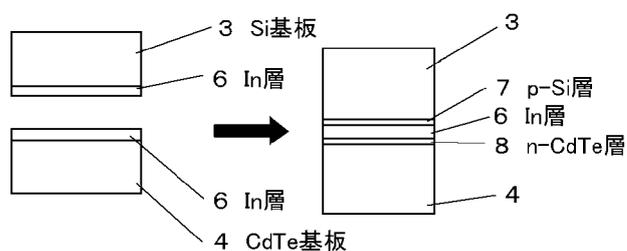
10

20

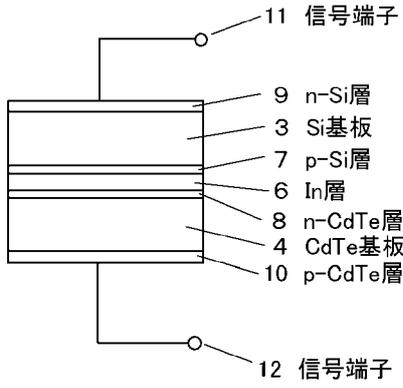
【 図 1 】



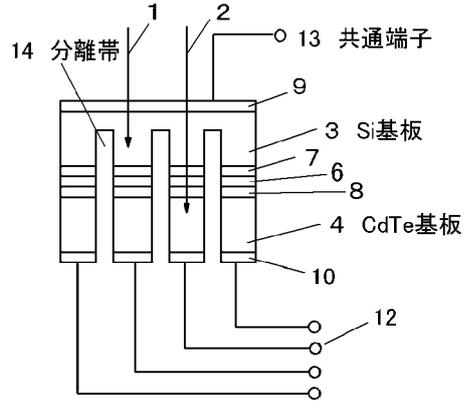
【 図 2 】



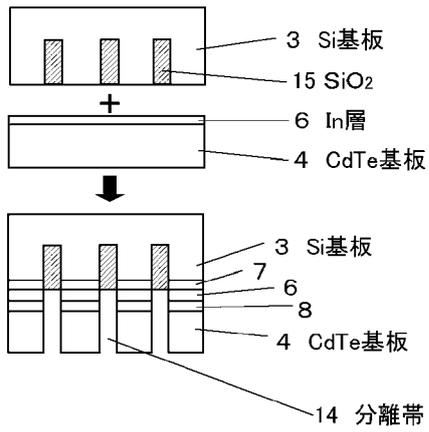
【图 3】



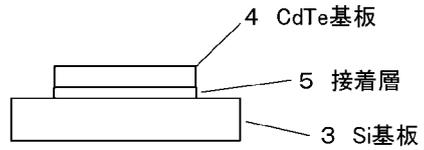
【图 4】



【图 5】



【图 6】



フロントページの続き

Fターム(参考) 5C024 AX11 CX41 CY01 GX02 GZ01 HX01
5F088 AA03 AB02 AB07 AB09 BA07 BA18 BB06 CB20 EA04 EA13
EA14 LA07 LA08