

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-141494
(P2002-141494A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/06		H 0 1 L 29/06	2 G 0 1 1
G 0 1 R 1/06		G 0 1 R 1/06	F
G 1 1 C 13/00		G 1 1 C 13/00	A
H 0 1 L 49/00		H 0 1 L 49/00	Z

審査請求 未請求 請求項の数11 OL (全 10 頁)

(21) 出願番号	特願2000-334686(P2000-334686)	(71) 出願人	396020800 科学技術振興事業団 埼玉県川口市本町4丁目1番8号
(22) 出願日	平成12年11月1日(2000.11.1)	(71) 出願人	000006792 理化学研究所 埼玉県和光市広沢2番1号
		(72) 発明者	青野 正和 埼玉県和光市広沢2番1号 理化学研究所 内
		(74) 代理人	100089635 弁理士 清水 守

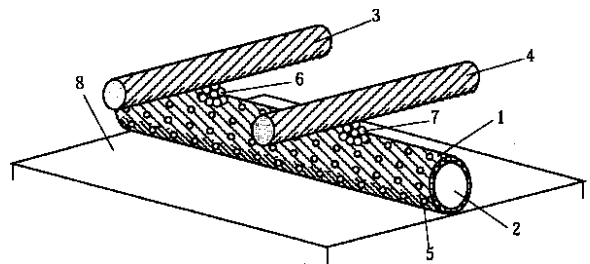
最終頁に続く

(54) 【発明の名称】 ポイントコンタクト・アレー

(57) 【要約】 (修正有)

【課題】 電極間のコンダクタンスの制御を、電気的にかつ可逆的に行うとともに、演算回路、論理回路、メモリ素子などへ応用可能なポイントコンタクトを複数個並べたポイントコンタクト・アレーを提供する。

【解決手段】 イオン導電性及び電子導電性を有する混合導電体材料1から成る第1電極2及び導電性材料から成る第2電極3, 4により構成されるポイントコンタクトを複数個用い、これらのポイントコンタクトのコンダクタンスを制御して回路を構成するものである。混合導電体材料1としてはAg₂S、Ag₂Se、Cu₂S又はCu₂Seが好ましい。また、電極間に半導体ないし絶縁体材料を挿入する場合の半導体ないし絶縁体材料としては、GeS_x、GeSe_x、GeTe_x、ないしWO_x (0 < x < 1.0) の結晶体ないし非晶質体が好ましい。



【特許請求の範囲】

【請求項1】 イオン伝導性及び電子伝導性を有する混合導電体材料から成る第1電極及び導電性物質から成る第2電極により構成される電極間のコンダクタンスが制御可能な電子素子を複数個用いることを特徴とするポイントコンタクト・アレー。

【請求項2】 可動イオン（Mイオン：Mは金属電子）を有する前記混合導電体材料が前記可動イオン供給源（M）上に形成されていることを特徴とする請求項1記載のポイントコンタクト・アレー。

【請求項3】 前記混合導電体材料が Ag_2S 、 Ag_2Se 、 Cu_2S 又は Cu_2Se であることを特徴とする請求項1又は2記載のポイントコンタクト・アレー。

【請求項4】 前記混合導電体材料中に含まれる可動イオンにより、前記第1電極と第2電極間に架橋が形成され、前記電極間のコンダクタンスが変化することを利用することを特徴とする請求項1、2又は3記載のポイントコンタクト・アレー。

【請求項5】 前記第1電極と前記第2電極間に、イオンを固溶させることが可能で、かつイオンを固溶することにより電子とイオン伝導性が現れる半導体あるいは絶縁体材料を有し、該半導体あるいは絶縁体材料に前記混合導電体材料中に含まれる可動イオンが流入することにより、該半導体ないし絶縁体のコンダクタンスが変化することを利用することを特徴とする請求項1、2又は3記載のポイントコンタクト・アレー。

【請求項6】 前記半導体あるいは絶縁体材料が、 GeS_x 、 $GeSe_x$ 、 $GeTe_x$ 、ないし WO_x （ $0 < x < 100$ ）の結晶体ないし非晶質体であることを特徴とする請求項5記載のポイントコンタクト・アレー。

【請求項7】 少なくとも一部が混合導電体材料で被覆された第1電極を構成する金属線と、第2電極を構成する金属線であって、少なくとも一方の電極を構成する金属線が複数本あり、該金属線間の各交点にポイントコンタクトを設けることを特徴とする請求項1、2、3、4、5又は6記載のポイントコンタクト・アレー。

【請求項8】 前記ポイントコンタクトのコンダクタンスが量子化されていることを特徴とする請求項1、2、3、4、5、6又は7記載のポイントコンタクト・アレー。

【請求項9】 前記ポイントコンタクトの量子化されたコンダクタンスを記録状態として用いる多重記録メモリ型素子を構成することを特徴とする請求項8記載のポイントコンタクト・アレー。

【請求項10】 前記ポイントコンタクトの量子化されたコンダクタンスを入力信号とし、前記各電極の電位を制御することにより、該入力信号間の加算ないし減算を行うことを特徴とする請求項8記載のポイントコンタクト・アレー。

【請求項11】 前記ポイントコンタクトの一端の電位

を入力信号とする論理回路を構成することを特徴とする請求項1、2、3、4、5、6又は7記載のポイントコンタクト・アレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、対向する電極間においてポイントコンタクトを形成し、又は切断してコンダクタンスを制御する素子を複数個用いるポイントコンタクト・アレーに関するものである。

【0002】

【従来の技術】ポイントコンタクトを構成することによりコンダクタンスを制御する方法が、例えば、先行技術〔1〕として、J. K. Gimzewski and R. Moller: *Phys. Rev. B* 36 (1987) 1284, J. L. Costa-Kramer, N. Garcia, P. Garcia-Mochales, P. A. Serena, M. I. Marques and A. Corrcia: *Phys. Rev. B* 55 (1997) 5416, H. Ohnishi, Y. Kondo and K. Takayanagi: *Nature* 395 (1998) 780などに記載されている。

【0003】これらは、ポイントコンタクトの構築および制御にピエゾ素子を必要とする。すなわち、ピエゾ素子を駆動することにより、ピエゾ素子に付けられた金属探針を対向電極に対して高精度で位置決めして、探針・対向電極間にポイントコンタクトを構築、その状態を制御する。

【0004】これらとは別に、先行技術〔2〕として、ポイントコンタクトのコンダクタンスを制御する方法であって、有機分子を用いる方法が、C. P. Collier et al., *Science* 285 (1999) 391に記載されている。

【0005】この方法では、対向電極間に一分子厚さで挟んだロタクサン分子の導電性を、電極間に高電圧を印加することで変化させる。すなわち、電極間に挟んだロタクサン分子は初め導電性を示すが、ある極性の一定以上の電圧を印加すると、分子が酸化されて導電性が減り、電極間が絶縁される。

【0006】

【発明が解決しようとする課題】しかしながら、上記した先行技術〔1〕の方法では、一つのポイントコンタクトに対して少なくとも一つのピエゾ素子と、それを駆動する複雑な制御回路が必要となり、これらを集積化することは極めて困難である。

【0007】また、上記した先行技術〔2〕の方法では、一旦酸化された分子は還元して導電性を復活させることができないので、その用途が極めて限られてしまう。

【0008】本発明は、上記状況に鑑みて、電極間のコ

ンダクタンスの制御を、電氣的にかつ可逆的に行うとともに、演算回路、論理回路、メモリ素子などへ応用可能なポイントコンタクトを複数個並べたポイントコンタクト・アレーを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕ポイントコンタクト・アレーにおいて、イオン伝導性及び電子伝導性を有する混合導電体材料から成る第1電極及び導電性物質から成る第2電極により構成される電極間のコンダクタンスが制御可能な電子素子を複数個用いることを特徴とする。

【0010】〔2〕上記〔1〕記載のポイントコンタクト・アレーにおいて、可動イオン（Mイオン：Mは金属電子）を有する前記混合導電体材料が前記可動イオン供給源（M）上に形成されていることを特徴とする。

【0011】〔3〕上記〔1〕又は〔2〕記載のポイントコンタクト・アレーにおいて、前記混合導電体材料が Ag_2S 、 Ag_2Se 、 Cu_2S 又は Cu_2Se であることを特徴とする。

【0012】〔4〕上記〔1〕、〔2〕又は〔3〕記載のポイントコンタクト・アレーにおいて、前記混合導電体材料中に含まれる可動イオンにより、前記第1電極と第2電極間に架橋が形成され、前記電極間のコンダクタンスが変化することを利用することを特徴とする。

【0013】〔5〕上記〔1〕、〔2〕又は〔3〕記載のポイントコンタクト・アレーにおいて、前記第1電極と前記第2電極間に、イオンを固溶させることが可能で、かつイオンを固溶することにより電子とイオン伝導性が現れる半導体あるいは絶縁体材料を有し、この半導体あるいは絶縁体材料に前記混合導電体材料中に含まれる可動イオンが流入することにより、前記半導体ないし絶縁体のコンダクタンスが変化することを利用ことを特徴とする

〔6〕上記〔5〕記載のポイントコンタクト・アレーにおいて、前記半導体あるいは絶縁体材料が、 GeS_x 、 $GeSe_x$ 、 $GeTe_x$ 、ないし WO_x ($0 < x < 100$) の結晶体ないし非晶質体であることを特徴とする。

【0014】〔7〕上記〔1〕、〔2〕、〔3〕、〔4〕、〔5〕又は〔6〕記載のポイントコンタクト・アレーにおいて、少なくとも一部が混合導電体材料で被覆された第1電極を構成する金属線と、第2電極を構成する金属線であって、少なくとも一方の電極を構成する金属線が複数本あり、この金属線間の各交点にポイントコンタクトを設けるようにしたことを特徴とする。

【0015】〔8〕上記〔1〕、〔2〕、〔3〕、〔4〕、〔5〕、〔6〕又は〔7〕記載のポイントコンタクト・アレーにおいて、前記ポイントコンタクトのコンダクタンスが量子化されていることを特徴とする。

【0016】〔9〕上記〔8〕記載のポイントコンタク

ト・アレーにおいて、前記ポイントコンタクトの量子化されたコンダクタンスを記録状態として用いる多重記録メモリ型素子を構成することを特徴とする。

【0017】〔10〕上記〔8〕記載のポイントコンタクト・アレーにおいて、前記ポイントコンタクトの量子化されたコンダクタンスを入力信号とし、前記各電極の電位を制御することにより、この入力信号間の加算ないし減算を行うことを特徴とする。

【0018】〔11〕上記〔1〕、〔2〕、〔3〕、〔4〕、〔5〕、〔6〕又は〔7〕記載のポイントコンタクト・アレーにおいて、前記ポイントコンタクトの一端の電位を入力信号とする論理回路を構成することを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図を参照しながら詳細に説明する。

【0020】図1は本発明にかかる複数個のポイントコンタクトを配置したポイントコンタクト・アレーを示す斜視模式図である。

【0021】図1に示すように、混合導電体1で被覆された金属線（第1電極）2と、金属線3、4（第2電極）との交点に可動イオン（原子）5で構成されたポイントコンタクト（架橋）6、7を形成する。これらは、絶縁性の基板8上に設置され、絶縁性の材料（図では省略）により固定される。

【0022】第1及び第2の二つの電極間に半導体ないし絶縁体材料を挿入する場合は、この半導体ないし絶縁体中に可動イオンが固溶することにより、その半導体のコンダクタンスが変化する。

【0023】その結果、電極間のコンダクタンスが変化する。なお、その変化量は半導体ないし絶縁体材料中に固溶する可動イオンの量に依存する。

【0024】簡略化するため、図1においては、混合導電体1で被覆された金属線（第1電極）2が一本、金属線（第2電極）3、4が2本から成るポイントコンタクト・アレーが示されている。ポイントコンタクトの数は、電極を構成する金属線の本数の乗算であり、ここでは、 2×1 の2個のポイントコンタクトが形成されることになる。第1電極、第2電極を構成する金属線の本数を増やせば n 個 \times n 個のポイントコンタクト・アレーを構成することができる。

【0025】本発明では、第1電極2と第2電極3、4間に電圧を印加して、イオン原子からなる架橋6、7を形成したり消滅させたりして、電極間に形成されたポイントコンタクトのコンダクタンスを制御する。具体的に説明すれば、第1電極2に対して第2電極3、4に適当な負電圧を印加すると、電圧と電流との効果により、混合導電体材料中の可動イオン（原子）が析出し、電極間に架橋6、7が形成される。この結果、電極間のコンダクタンスが増大する。逆に第2電極3、4に適当な正電

圧を印加すると、可動イオン（原子）が混合導電体材料中に戻り、架橋6, 7が消滅する。すなわち、コンダクタンスが減少する。

【0026】このように、各金属線に印加する電圧を独立に制御することによって、第1電極2と第2電極3, 4の各交点に形成されたポイントコンタクトに印加する電圧を独立に制御することができる。すなわち、各交点のポイントコンタクトのコンダクタンスを独立に制御できる。

【0027】これにより、ポイントコンタクト・アレーからなるメモリー素子、演算素子などの電子素子とそれらからなる電気回路を構成することができる。

【0028】以下では、混合導電体材料Ag₂S、可動イオン供給源Agから成る第1電極と、Ptからなる第2電極を用いた実施例を述べるが、他の材料を用いても同様の結果が得られることは言うまでもない。

【0029】架橋の形成はAg原子が10個程度あれば十分可能である。測定結果から、電圧100mV、初期電極間抵抗100kの場合に、Ag原子10個を混合導電体Ag₂Sから引き出すのに必要な時間、すなわち架橋を形成するのに必要な時間は、高々数十ナノ秒と見積もられた。また、架橋を形成するのに必要な電力はナノワット程度と小さい。このため、本発明を用いれば、高速でかつ低消費電力型の素子を構築することができる。

【0030】まず、本発明の第1実施例について説明する。

【0031】図2は本発明にかかる多重メモリー素子に応用したポイントコンタクト・アレーの模式図である。

【0032】簡略化のため、図1と同様に、2つのポイントコンタクトから成る試料を用いた。ここでは、第1電極を構成する混合導電体材料11としてAg₂Sを、金属線10としてAg線を用いた。また、第2電極を構成する金属線13, 14としてPt線を用いた。第1電極を接地し、第2電極13, 14にそれぞれ電圧V₁, V₂を独立に印加する。V₁, V₂として負の電圧を選べば、混合導電体材料11中のAg原子12が析出し、架橋15, 16が形成される。V₁, V₂を正の電圧にすると、架橋15, 16中のAg原子12が混合導電体材料11中に戻り、架橋15, 16が消滅する。この詳しい機構については、本願発明者によって特願平12-265344号として提案されている。

【0033】本発明では、ポイントコンタクトを複数用いることにより、以下に述べる新たな機能を実現している。

【0034】本実施例では、ポイントコンタクトのコンダクタンスの制御をパルス電圧を印加することにより行った。すなわち、コンダクタンスを増大させるためには、50mVの電圧を5ミリ秒印加した。コンダクタンスを減少させる場合には、-50mVの電圧を5ミリ秒

印加した。これにより、各ポイントコンタクトにおいて、量子化されたコンダクタンス間の遷移を実現した。すなわち、これがメモリとしての書き込み動作にあたる。

【0035】そこで、記録状態を読み出すためには、V₁, V₂を10mVに設定し、読み出し動作によって記録したコンダクタンス値が変化しないようにした。その状態で、各ポイントコンタクトの第2電極を構成する金属線13, 14に流れる電流I₁, I₂を測定した。その結果を図3に示す。

【0036】図3において、I₁を細い実線で、I₂を太い実線で示してある。ポイントコンタクト15ないし16に、1秒ごとに書き込み動作を行い、その都度記録状態を読み出した。左側の縦軸は実際に測定した電流値を、右側の縦軸は対応する量子化コンダクタンスを示している。コンダクタンスは、測定電流を印加電圧(10mV)除算して得られる。

【0037】この図によれば、各ポイントコンタクトのコンダクタンスが量子化されていることが分かる。すなわち、架橋15による第1のポイントコンタクトの量子化コンダクタンスの量子数をN₁、架橋16による第2のポイントコンタクトの量子化コンダクタンスの量子数をN₂とすると、それぞれN₁ = 0~3、N₂ = 0~3の合計16通りの記録状態が実現されている。

【0038】本実施例では、N = 0~3の4つの量子化状態しか用いなかったが、さらに大きな量子数をもつ状態を用いることにより、記録密度を増やすことができる。また、ポイントコンタクトの数を増やすことによって記録密度が上げられることも言うまでもない。

【0039】次に、本発明の第2実施例について説明する。

【0040】まず、第1実施例に示す構成を用いて、加算回路を実現した実施例を説明する。

【0041】本発明による加算回路では、入力は、架橋15, 16によるポイントコンタクトの量子化コンダクタンスの量子数N₁, N₂である。入力の動作は、電圧V₁, V₂を制御してN₁, N₂を所望の値に設定することで行われる。演算結果は、V₁, V₂を読み出し電圧、例えば10mVに設定して、第1電極10から接地電位に流出する電流I_{out}を測定することにより得られる。

【0042】図4は本発明の第2実施例の演算結果を示す図である。グラフ下に、入力したN₁, N₂と測定されたN_{out}をグラフ横軸に対応させて示した。得られた電流値I_{out}がN₁ + N₂に対応する量子化コンダクタンスを有していることが分かる。すなわち、加算が正確に行われている。本実施例でも、第1実施例と同様、N₁ = 0~3, N₂ = 0~3に対応する16通りの加算結果を示したが、より大きな量子数を用いても良い。また、用いるポイントコンタクトの数、すなわち、入力数

を3個以上にしても同様のことが行える。

【0043】次に、本発明の第3実施例について説明する。

【0044】第1実施例に示す構成は、減算回路にも応用できる。入力制御は第2実施例で述べたのと同じ方法で行う。減算の演算を行う際には、 V_1 、 V_2 として絶対値が等しく極性が逆の電圧を選べばよい。例えば、 V_1 として10mV、 V_2 として-10mVを設定すれば、 $N_1 - N_2$ に相当する量子化コンダクタンスに対応する電流 I_{out} が第1電極から接地電位に流出する。このとき、電流の向きが第1電極から接地電位を向いていれば演算結果は正の値を持ち、接地電位から第1電極を向いていれば演算結果は負の値を持つことになる。

【0045】第3実施例の演算結果を図5に示す。

【0046】 $N_1 - N_2$ の演算が正確に行われている。更に、3つ以上のポイントコンタクトを用いれば、 $N_1 + N_2 - N_3$ のような演算を一度に行うことが可能になる。例えば、この場合、 V_1 と V_2 を10mV、 V_3 を-10mVに設定して演算を行えばよい。

【0047】次に、本発明の第4実施例について説明する。

【0048】これは、本発明のポイントコンタクトを用いて論理回路を構成した実施例である。論理回路を構成する場合は、第1実施例～第3実施例の場合と異なり、ポイントコンタクトにおける量子化コンダクタンス状態間の遷移は使わない。すなわち、オン・オフのスイッチング素子としてポイントコンタクトを用いる。典型的には、オンの状態の抵抗値が1k以下、オフの状態の抵抗値が100k以上である。

【0049】図6は本発明のポイントコンタクトを用いて構成したORゲートの模式図である。

【0050】Ag線21、22がAg₂S₂₃、24で被覆されており第1電極を構成している。これらのAg₂S₂₃、24から析出したAg架橋25、26が、第2電極であるPt電極20に対向して、ポイントコンタクトを形成している。Pt電極20の一端は、抵抗27(本実施例では10k)を介して参照電圧 V_S に接続されており、もう一端は出力端子で、出力電圧 V_{out} が出力される。Ag線21、22に対して、入力電圧 V_1 、 V_2 が印加されると、これにより、架橋25、26が形成されたり消滅したりして、ポイントコンタクトがオン・オフのスイッチング素子として働く。

【0051】図7にその動作結果を示す。本実施例では、1秒毎に入力、すなわち V_1 、 V_2 を変更して出力 V_{out} を測定した。

【0052】2入力ORゲートでは、LowレベルとHighレベルの2値化されたそれぞれの入力に対し、いずれか一方でもHighレベルならば、出力がHighレベルとならなければならない。

【0053】そこで、まず、Lowレベルとして0V

(参照電位 V_S も同じ)を、Highレベルとして200mVを用いて動作させた場合の結果を図7(a)に示す。

【0054】この図によると、2つの入力 V_1 、 V_2 の内、いずれか一方が200mVのとき、出力 V_{out} は略200mVとなっており、正常に動作していることが分かる。Highレベルの電圧を500mVに上昇させても同様の結果〔図7(b)〕が得られた。

【0055】図8は本論理回路の等価回路を示す図である。

【0056】参照電圧 V_S と入力電圧 V_1 、 V_2 によって、架橋25、26(図6)の生成・消滅が起こり、抵抗 R_1 、 R_2 (架橋によって形成されるポイントコンタクト部の抵抗)の抵抗値が変化する。電極20(図6)上の2つのポイントコンタクト間にも僅かな抵抗 R_{12} (数から数十程度)があるが、 R_0 (10k)、 R_1 、 R_2 (1k～1M)に比べれば無視できる大きさである。

【0057】まず、 V_1 、 V_2 ともに0Vの場合、系に接続された3つの電圧が全て0Vなので、出力 V_{out} は必然的に0Vになる。次に、 V_1 が0V、 V_2 が200mV(500mV)の場合、架橋25(図6)が成長し、抵抗 R_2 の抵抗値が小さくなる。典型的には1k以下である。

【0058】この結果、 R_0 よりも R_2 の方が抵抗値が1桁以上小さくなるので、 V_2 は約200mV(500mV)となる。このとき V_1 もほぼ200mV(500mV)となるので、架橋24(図6)に対しては架橋が消滅する電圧が印加されたことになり、 R_1 は1M以上の大きい値となる。この結果、 V_1 が0Vであっても、 R_0 、 R_1 、 R_2 であるので、 V_1 は V_2 と同じ約200mV(500mV)となる。その結果、出力は200mV(500mV)となるのである。正確には、架橋25の成長と架橋24の切断は平行して起こり、上述の結果をもたらす。

【0059】 V_1 が200mV(500mV)、 V_2 が0Vの場合も同様に説明できる。また、 V_1 、 V_2 ともに200mV(500mV)の場合は、架橋25、26がともに成長するので、 V_1 、 V_2 の電圧、すなわち、200mV(500mV)が出力されることになる。

【0060】次に、本発明の第5実施例について説明する。

【0061】図9を用いて、ANDゲートを構成した実施例を説明する。

【0062】本実施例では、Ag₂S₃₁薄膜31で被覆されたAg線30の一端が、抵抗体37を介して、参照電圧 V_S と接続されている。もう一端は出力端子である。また、2本のPt電極35、36に向かって、可動イオンであるAg原子が析出してできた架橋33、34が形成されている。入力電圧 V_1 、 V_2 は、この2本のPt

電極35, 36に対して印加される。なお、図9において、32はAg₂S薄膜31中のAgイオンである。

【0063】図10に、ANDゲートの演算結果を示す。2入力ANDゲートでは、2つの入力とともにHighレベルの時のみ、出力V_{out}がHighレベルとなる。

【0064】図10(a)は、Highレベルを200mVに設定して動作させた場合の結果である。なお、このとき、参照電圧も200mVに設定した。

【0065】図10(b)には、Highレベルを500mVに設定して動作させた場合の結果を示す。このときの参照電圧は500mVである。

【0066】図10によると、Highレベルが200mVで、V₁が0V、V₂が200mVの場合に、出力V_{out}が中途半端な値(約50mV)を示している。しかし、これ以外はLowレベルである0Vか、Highレベルである200mVを出力している。また、Highレベルとして500mVを設定した場合は、全ての入力パターンに対して正常に動作している。なお、200mV動作の場合もLow-Highを決める臨界電圧を100mVに設定すれば全く問題は起きない。なお、この原因については後述する。

【0067】再び、図8を用いてこのANDゲートの動作原理を説明する。本実施例では、参照電圧V_sはHighレベル(200ないし500mV)である。まず、V₁、V₂ともに0Vの場合、架橋33, 34(図9)がともに成長するので、抵抗R₁、R₂の抵抗値は典型的には1kΩ以下となる。すなわち、抵抗R₀(10kΩ)よりも一桁以上小さな抵抗値で出力端がLowレベルにある入力電圧に接続されるので、出力V_{out}は0Vとなる。次に、V₁が0V、V₂が200mV(500mV)の場合、架橋33(図9)のみが成長する。

【0068】一方、架橋34は電圧V₂が電圧V₁のために200mV(500mV)よりも小さくなる。すなわち、架橋が消滅する極性の電圧が印加されたことになり、架橋34は消滅しR₂の抵抗値は1MΩ程度に大きくなる。このときのV₁とV₂の電位差が小さいと、架橋の消滅が十分でなく、従ってR₂の抵抗値が十分大きくならないので、先に述べた中途半端な出力がでてしまうことがある。しかし、Highレベルの電圧を500mVにすればV₁とV₂の電位差が十分大きくなるので、完全に正常に動作する。

【0069】V₁が200mV(500mV)、V₂が0Vの場合も同様である。ただし、ポイントコンタクトを構成する架橋33, 34の特性が若干異なるため、この場合は、動作電圧200mVにおいても正常な出力が得られている。最後に、V₁、V₂がともに200mV(500mV)の場合、この場合は、架橋33, 34の生成消滅は起こらない。全ての電圧が200mV(500mV)なので、出力電圧も200mV(500mV)

となる。

【0070】以上、ポイントコンタクトを用いた論理回路について説明してきた。以上の実施例では2入力の論理回路について述べたが、本発明によるポイントコンタクトを3つ以上使えば、上述した動作原理により3入力以上の論理回路を構成することができる。

【0071】次に、本発明の第6実施例について説明する。

【0072】ここでは、ポイントコンタクト・アレーの製造方法について述べる。

【0073】図11は本発明の第6実施例を示すポイントコンタクト・アレーの製造方法を示す図である。

【0074】図11に示すように、絶縁性の基板40上にAg線41, 42を形成し、その表面をイオウ化してAg₂S膜43, 44を形成する。その上にPt線45, 46を載せることで、このポイントコンタクト・アレーの主要部が完成する。ここで重要なことは、Ag₂S膜43, 44で覆われたAg線41, 42とPt線45, 46との各交点に、Ag原子による架橋47, 48が形成されていることである。

【0075】このために本発明ではPt線45, 46を載せる際に、Pt線45, 46・Ag線41, 42間に電圧を印加して、Ag₂S膜43, 44からAgが析出して架橋47, 48を形成するようにした。これにより、例えば、配線装置等によりPt線45, 46を載せるだけで本発明を実現することができる。

【0076】また、マスクを用いた蒸着等により、交点に予めAgを蒸着しておいても良いし、Ag₂S膜で覆われたAg線に電子線を照射してAg原子を析出させても良い。重要なことは、第1電極を構成するAg₂Sと第2電極を構成するPt間にAgが存在することである。

【0077】さらに、Pt線を別の基板上に予め形成しておき、Ag₂S膜で覆われたAg線が形成された基板と貼り合わせても良い。

【0078】次に、本発明の第7実施例について説明する。

【0079】ここでは、別のポイントコンタクト・アレーの製造方法と構造について述べる。

【0080】図12は本発明の第7実施例を示す半導体の導電性を制御するポイントコンタクト・アレーの模式図である。

【0081】図12では、絶縁性の基板50上に、やはりAg₂S膜53, 54で被覆されたAg線51, 52が形成されている。その上に、Ag原子を固溶することができる半導体ないし絶縁体57, 58, 59, 60がAg線51, 52とPt線55, 56との交点にあたる部分にのみ形成されている。なお、図12ではこれらを覆う絶縁材料は示していないが、図に示した部分は全て素子内部に埋め込まれている。

【0082】この場合、これまでに述べてきたのと同じ原理でAgイオンが、Ag₂S膜53, 54から流出する。この流出したAgイオンが半導体ないし絶縁体57, 58, 59, 60内に固溶して半導体ないし絶縁体の導電率を変化させ、上述した実施例と同様のことを実現することができる。この場合、架橋の生成・消滅のための空間が素子中に不要となるので、絶縁性部材中への埋め込みが容易になる。

【0083】また、半導体ないし絶縁体の代わりに、Ag薄膜を予め形成しておけば、第6実施例で述べたのと同じ構造となる。この場合、この薄膜Ag中のAg原子がAg₂S膜中に入り込むことによって薄膜が消失する。

【0084】なお、本発明では、Agイオンを固溶することができる半導体ないし絶縁体として、GeS_x、GeSe_x、GeTe_x、ないしWO_x (0 < x < 1.0)の結晶体ないし非晶質体を用いるようにした。

【0085】次に、本発明の第8実施例について説明する。

【0086】図13に第1電極である金属配線の一部が混合導電体で被覆された実施例を示す。本実施例においては、第1電極を構成する金属線と第2電極を構成する金属線との交点において、「第1電極を構成する金属/混合導電体/架橋ないし半導体/第2電極を構成する金属」で構成されるポイントコンタクトが形成されていればよい。

【0087】従って、図13に示すように、第1電極を構成する金属線70と第2電極を構成する金属線71, 72の交点付近のみに混合導電体73, 74が形成されていても、混合導電体73, 74と金属線71, 72間にポイントコンタクト(架橋)75, 76を形成できる。

【0088】さらに、第1電極を構成する金属も、混合導電体に接する部分と、ポイントコンタクト間の配線材が異なっていても良い。例えば、本実施例では、混合導電体(Ag₂S)77, 78に接する部分にAg線79, 80を、その他の部分81~83にタングステン線を用いた。なお、混合導電体と接する部分の部材は、混合導電体中の可動イオン原子と同じ元素で構成されている必要がある。従って、本実施例では、混合導電体としてAg₂Sを用いたので、これと接する部分の部材にAgを用いたのである。

【0089】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0090】

【発明の効果】以上、詳細に説明したように、本発明によれば、高速、かつ低消費電力で動作するポイントコンタクト・アレーを構築することができ、多重記録型メモ

リー素子、論理回路、演算回路等を実現することができる。

【図面の簡単な説明】

【図1】本発明にかかる複数個のポイントコンタクトを配置したポイントコンタクト・アレーを示す斜視模式図である。

【図2】本発明にかかる多重記憶メモリを構成するポイントコンタクト・アレーを示す模式図である。

【図3】本発明の第1実施例を示す多重記憶されたメモリの読み出し結果を示す図である。

【図4】本発明の第2実施例を示すポイントコンタクト・アレーで構成した加算回路の演算結果を示す図である。

【図5】本発明の第3実施例を示すポイントコンタクト・アレーで構成した減算回路の演算結果を示す図である。

【図6】本発明の第4実施例を示すポイントコンタクト・アレーで構成したORゲートの模式図である。

【図7】本発明の第4実施例を示すポイントコンタクト・アレーで構成したORゲートの動作結果を示す図である。

【図8】本発明の第4実施例を示すポイントコンタクト・アレー論理回路の等価回路図である。

【図9】本発明の第5実施例を示すポイントコンタクト・アレーで構成したANDゲートの模式図である。

【図10】本発明の第5実施例を示すポイントコンタクト・アレーで構成したANDゲートの演算結果を示す図である。

【図11】本発明の第6実施例を示すポイントコンタクト・アレーの製造方法を示す図である。

【図12】本発明の第7実施例を示す半導体の導電性を制御するポイントコンタクト・アレーの模式図である。

【図13】本発明の第8実施例を示す一部が混合導電体で被覆された電極を有するポイントコンタクト・アレーの模式図である。

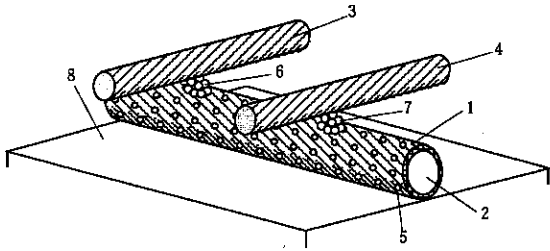
【符号の説明】

- 1 混合導電体
- 2, 10, 70 金属線(第1電極)
- 3, 4, 13, 14, 71, 72 金属線(第2電極)
- 5, 32 可動イオン(原子)
- 6, 7, 15, 16, 25, 26, 33, 34, 47, 48, 75, 76 ポイントコンタクト(架橋)
- 8, 40, 50 絶縁性の基板
- 11, 73, 74, 77, 78 混合導電体材料(Ag₂S)
- 12 Ag原子
- 20 Pt電極
- 21, 22, 30, 41, 42, 51, 52, 79, 80 Ag線(Ag電極)

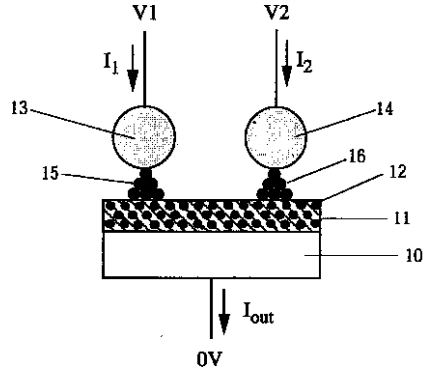
- 23, 24 Ag₂S
- 27 抵抗
- 31 Ag₂S薄膜
- 35, 36, 45, 46, 55, 56 Pt線 (Pt電極)

- 37 抵抗体
- 43, 44, 53, 54 Ag₂S膜
- 49 電源
- 57, 58, 59, 60 半導体ないし絶縁体
- 81, 82, 83 タングステン線

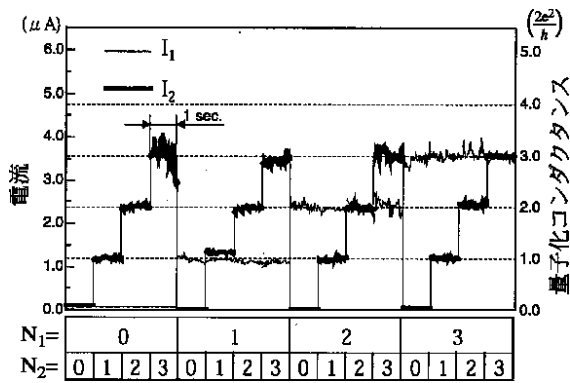
【図1】



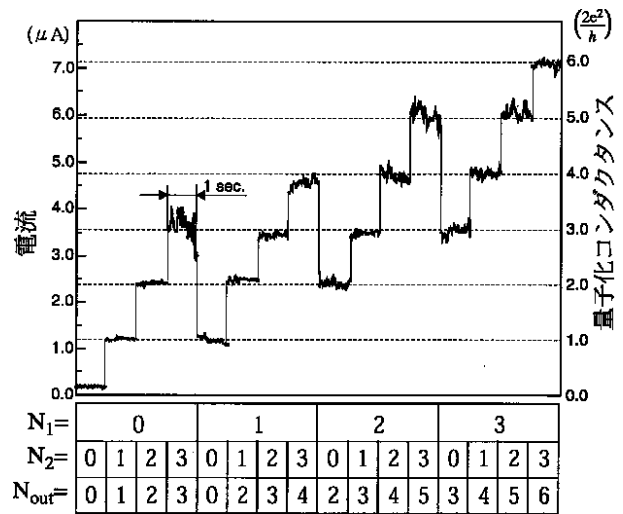
【図2】



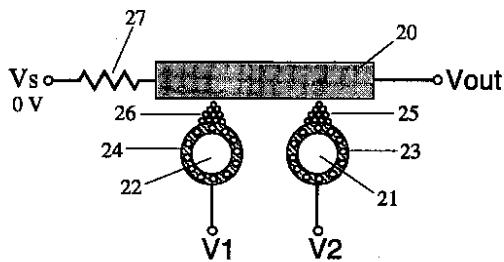
【図3】



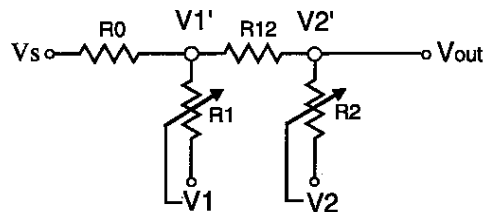
【図4】



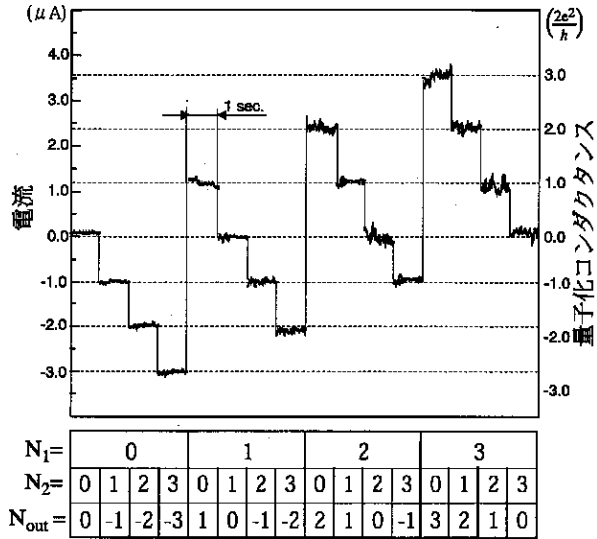
【図6】



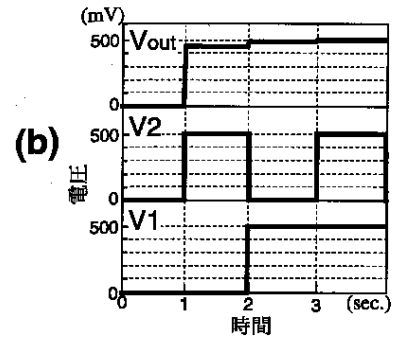
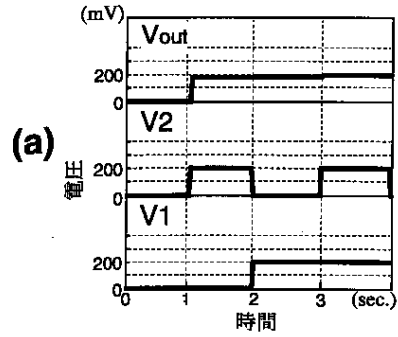
【図8】



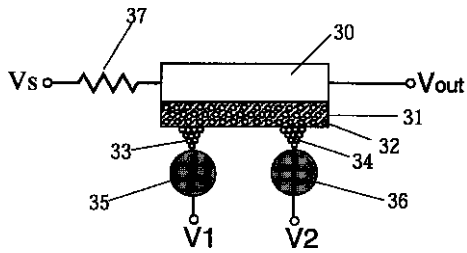
【図5】



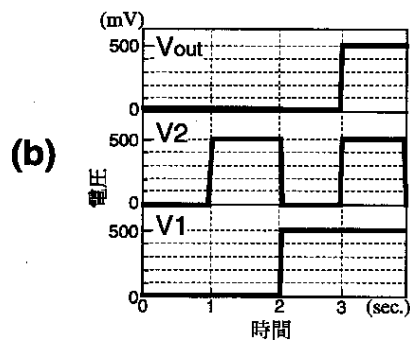
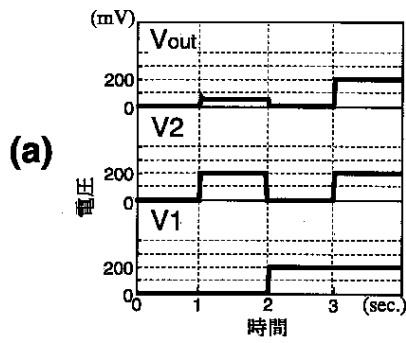
【図7】



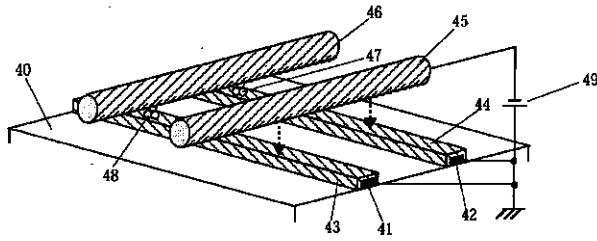
【図9】



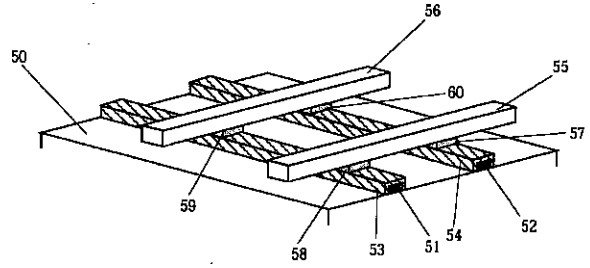
【図10】



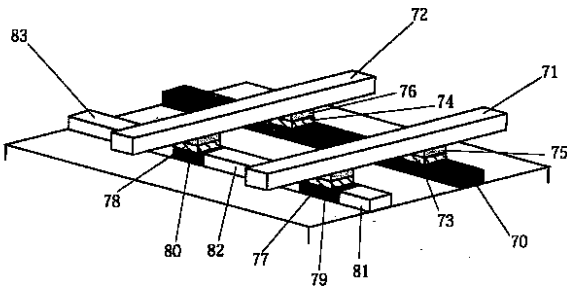
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 中山 知信
 埼玉県和光市広沢2番1号 理化学研究所
 内

(72)発明者 寺部 一弥
 埼玉県戸田市美女木 1 - 19 - 9 - 402

(72)発明者 長谷川 剛
 埼玉県和光市広沢2番1号 理化学研究所
 内

Fターム(参考) 2G011 AA15 AA21 AC32