

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-334989  
(P2002-334989A)

(43) 公開日 平成14年11月22日 (2002.11.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコト* (参考)
H 0 1 L 29/06	6 0 1	H 0 1 L 29/06	6 0 1 N 5 J 0 5 6
		29/24	
H 0 3 K 19/08		H 0 3 K 19/08	Z

審査請求 未請求 請求項の数8 OL (全 8 頁)

(21) 出願番号 特願2001-138103(P2001-138103)

(22) 出願日 平成13年5月9日 (2001.5.9)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(71) 出願人 000006792

理化学研究所

埼玉県和光市広沢2番1号

(72) 発明者 青野 正和

東京都品川区北品川4-3-3

(72) 発明者 長谷川 剛

東京都目黒区目黒2-2-8 クレッセン

ト目黒 I I 501

(74) 代理人 100089635

弁理士 清水 守

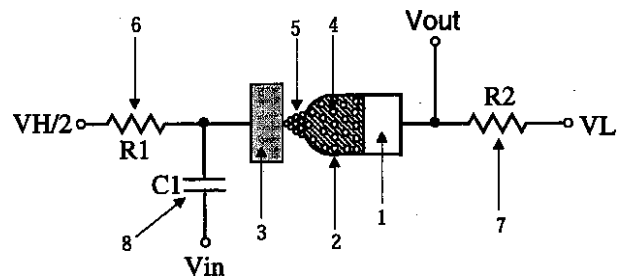
最終頁に続く

(54) 【発明の名称】 NOT回路及びそれを用いた電子回路

(57) 【要約】

【課題】 nmサイズの電子素子を用いたNOT回路及びそれを用いた電子回路を提供する。

【解決手段】 2端子素子からなるアトミックスイッチであるイオン伝導性および電子伝導性を有する混合導電体材料から成る第1電極2及び導電性材料から成る第2電極3により構成され、前記電極2, 3間のコンダクタンスが制御可能な素子を用いてNOT回路を構成する。



## 【特許請求の範囲】

【請求項1】 2端子素子のみで構成されたことを特徴とするNOT回路。

【請求項2】 2端子素子からなるアトミックスイッチを用いて構成されることを特徴とするNOT回路。

【請求項3】 請求項2記載のNOT回路において、前記アトミックスイッチは、イオン伝導性および電子伝導性を有する混合導電体材料から成る第1電極及び導電性材料から成る第2電極により構成され、前記第1電極と第2電極間のコンダクタンスが制御可能な素子からなることを特徴とするNOT回路。

【請求項4】 請求項3記載のNOT回路において、前記混合導電体材料が $Ag_2S$ 、 $Ag_2Se$ 、 $Cu_2S$ 又は $Cu_2Se$ であることを特徴とするNOT回路。

【請求項5】 請求項3又は4記載のNOT回路において、前記アトミックスイッチに加え、いずれも2端子素子である、抵抗体、コンデンサーを用いて構成することを特徴とするNOT回路。

【請求項6】 請求項5記載のNOT回路において、前記抵抗体、コンデンサーに加え、ダイオードを用いて構成することを特徴とするNOT回路。

【請求項7】 請求項5記載のNOT回路において、前記コンデンサーを介して前記アトミックスイッチに印加する電圧を制御することにより、前記アトミックスイッチのコンダクタンスを制御することを特徴とするNOT回路。

【請求項8】 請求項2から7のいずれか1項記載のNOT回路と、前記アトミックスイッチを用いたAND回路およびOR回路を組み合わせて構成することを特徴とする電子回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、2端子素子のみで構成されたことを特徴とするNOT回路に係り、特に、対向する電極間においてポイントコンタクトを形成し、又は切断してコンダクタンスを制御する電子素子（以下に後述するアトミックスイッチ）を用いたNOT回路及びそれを用いた電子回路に関するものである。

## 【0002】

【従来の技術】従来、2端子素子であるダイオードを用いてAND回路およびOR回路を構成できることが知られている。

【0003】一方、ダイオードだけでは、NOT回路を構成できないことも広く知られている。すなわち、従来の2端子素子を用いるだけでは、NOT回路を構成することができなかった。このため、NOT回路を構成するためには、3端子素子であるトランジスタなどを用いる必要があった。

【0004】全ての論理回路は、AND回路、OR回路及びNOT回路の組み合わせで構成することができる。

すなわち、任意の論理回路を構成するためには、3端子回路が不可欠であった。これらは、例えば、(1)入門エレクトロニクス講座（日刊工業新聞社）、デジタル回路編、第2巻、第1頁から第7頁に詳しく記載されている。

【0005】また、シリコンデバイスの集積化が限界に近づきつつある現在、分子デバイスなど、nm（ナノメートル）サイズの新しいデバイスの開発が進められている。例えば、(2)ネチャー第393巻第49頁から第50頁（1998年）〔Nature, 393（1998）pp49-50〕に、カーボンナノチューブを用いたトランジスタの実験結果が報告されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記した3端子回路は、小型化の阻害要因となっていた。

【0007】例えば、上記文献(2)の方法でも、カーボンナノチューブ以外のゲートなどの構造体は既存の半導体デバイスの製造プロセスを応用して作られており、結果として、トランジスタ全体のサイズは従来のものと大差ない。すなわち、nmサイズの素子の開発は、未だ基本原理実証の域を出ていないのが実状であった。

【0008】本発明は、上記状況を鑑みて、nmサイズの電子素子を用いたNOT回路及びそれを用いた電子回路を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕NOT回路において、2端子素子のみで構成されたことを特徴とする。

【0010】〔2〕NOT回路において、2端子素子からなるアトミックスイッチを用いて構成されることを特徴とする。

【0011】〔3〕上記〔2〕記載のNOT回路において、前記アトミックスイッチは、イオン伝導性および電子伝導性を有する混合導電体材料から成る第1電極及び導電性材料から成る第2電極により構成され、前記第1電極と第2電極間のコンダクタンスが制御可能な素子からなることを特徴とする。

【0012】〔4〕上記〔3〕記載のNOT回路において、前記混合導電体材料が $Ag_2S$ 、 $Ag_2Se$ 、 $Cu_2S$ 又は $Cu_2Se$ であることを特徴とする。

【0013】〔5〕上記〔3〕又は〔4〕記載のNOT回路において、前記アトミックスイッチに加え、いずれも2端子素子である、抵抗体、コンデンサーを用いて構成することを特徴とする。

【0014】〔6〕上記〔5〕記載のNOT回路において、前記抵抗体、コンデンサーに加え、ダイオードを用いて構成することを特徴とする。

【0015】〔7〕上記〔5〕記載のNOT回路において、前記コンデンサーを介して前記アトミックスイッチ

に印加する電圧を制御することにより、前記アトミックスイッチのコンダクタンスを制御することを特徴とする。

【0016】〔8〕上記〔2〕から〔7〕のいずれか1項記載のNOT回路と、前記アトミックスイッチを用いたAND回路およびOR回路を組み合わせて構成することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

【0018】図1は本発明の第1実施例を示すNOT回路の模式図である。

【0019】この図に示すように、導電性部材1上に混合導電体である第1電極2が形成されている。この第1電極2と第2電極3間の電位差を操作することで、混合導電体中の可動イオン（原子）4の第1電極2表面上への金属原子としての析出、又は析出した金属原子の第1電極2内への可動イオン（原子）としての固溶を制御できる。すなわち、第1電極2に対して第2電極3に適当な負電圧を印加すると、電圧と電流の効果により、混合導電体材料中の可動イオン（原子）4が析出し、電極2, 3間に架橋5が形成される。この結果、電極2, 3間の抵抗が減少する。

【0020】逆に、第2電極3に適当な正電圧を印加する場合には、可動イオン（原子）4が混合導電体材料中に固溶し、架橋5が消滅する。つまり、抵抗が増大する。以後、この2端子素子を「アトミックスイッチ」と呼ぶ。なお、この詳しい動作原理に関しては、本願発明者によって、特願2000-265344号として提案されている。

【0021】アトミックスイッチの第2電極3には、抵抗体6（抵抗値 $R_1$ ）を介して出力のハイレベルに対応する電圧 $V_H/2$ が印加されるとともに、コンデンサ8（容量 $C_1$ ）を介して、入力端 $V_{in}$ が接続されている。一方、アトミックスイッチの第1電極2を構成する導電性部材1には抵抗体7（抵抗値 $R_2$ ）を介して出力のローレベルに対応する電圧 $V_L$ が印加されるとともに、出力端 $V_{out}$ が接続されている。

【0022】ここで、アトミックスイッチのオン状態の抵抗値を $R(ON)$ 、オフ状態の抵抗値を $R(OFF)$ とすると、本発明では、

$$R(OFF) \ll R_2 \ll R(ON) \sim R_1$$

の関係を満たす抵抗体およびアトミックスイッチを用いる。

【0023】そして、入力 $V_{in}$ のハイレベルとして $V_H$ をローレベルとして $V_L$ を用いると、入力 $V_{in}$ が $V_L$ のとき出力 $V_{out}$ が $V_H/2$ となり、入力 $V_{in}$ が $V_H$ のとき出力 $V_{out}$ が $V_L$ となる。すなわち入力が高レベルの時に出力がローレベルとなり、入力がローレベルの時に出力が高レベルとなり、NOT回路として動作す

る。

【0024】以下、第1電極2としてAg上に形成された $Ag_2S$ を、第2電極3としてはPtを用いたアトミックスイッチを用いた場合の実施例を説明するが、 $Ag_2Se$ 、 $Cu_2S$ 又は $Cu_2Se$ など他の混合導電体およびPt以外の金属を用いたアトミックスイッチを用いてもNOT回路を構成できることは言うまでもない。

【0025】上記したように、本発明では、混合導電体材料からなる第1電極2と導電性材料から成る第2電極3で構成される2端子素子であるアトミックスイッチを用いることにより2端子素子のみによるNOT回路を実現する。

【0026】ここで、入力 $V_{in}$ のハイレベルとして $V_H$ を、ローレベルとして $V_L(0V)$ を用いる場合を例に取り、図1に示すNOT回路の動作原理を図2を用いて詳細に説明する。

【0027】時刻 $t_1$ において、入力 $V_{in}$ がローレベル( $V_L$ )からハイレベル( $V_H$ )に変化すると〔図2(a)参照〕、コンデンサ8に電荷 $Q = C_1 \times V_H$  ( $C_1$ はコンデンサの容量)が蓄積される。このとき、一時的に流れる電流のために、アトミックスイッチの第2電極3側の電位 $V_{in}$ は、図2(b)に示すように変化する。すなわち、アトミックスイッチの第2電極3側の電位が、第1電極2側の電位よりも一時的に高くなり、アトミックスイッチがオフ状態（抵抗の高い状態）へと変化する〔図2(c)参照〕。その結果、 $R(OFF) \ll R_2$ となり、出力 $V_{out}$ が $V_L$ となる〔図2(d)参照〕。

【0028】アトミックスイッチの抵抗が高くなったことで、アトミックスイッチの電極2, 3間の電位は、図2(e)に示すように高くなる。スイッチング時間 $t_s$ は、コンデンサ8の容量 $C_1$ と抵抗体6の抵抗値 $R_1$ によってほぼ決まる。例えば、コンデンサの容量 $C_1$ を1pF、抵抗値 $R_1$ を10とすれば、GHzオーダーのスイッチングが可能になる。

【0029】一方、時刻 $t_2$ において、入力 $V_{in}$ がハイレベル( $V_H$ )からローレベル( $V_L$ )に変化すると〔図2(a)参照〕、コンデンサ8に蓄積されていた電荷が放出される。このとき一時的に流れる電流によって、アトミックスイッチの第2電極3側の電位 $V_{in}$ は、図2(b)に示すように変化する。すなわち、アトミックスイッチの第2電極3側の電位が、第1電極2側の電位よりも一時的に極端に低くなり、アトミックスイッチがオン状態（抵抗の低い状態）へと変化する〔図2(c)参照〕。その結果、 $R_2 \ll R(ON)$ となり、出力 $V_{out}$ が $V_H/2$ となる〔図2(d)参照〕。

【0030】図2(e)は、アトミックスイッチの電極2, 3間の電位差を示したものである。入力 $V_{in}$ がローレベル( $V_L$ )のときのアトミックスイッチの電極2, 3間の電位差はほぼゼロであり、アトミックスイッチの

オン状態は安定に保たれる。一方、入力 $V_{in}$ がハイレベル( $VH$ )のときのアトミックスイッチの電極2, 3間の電位差は $VH/2$ であり、これは、アトミックスイッチがオフ状態になるべき電位差であるので、オフ状態が安定に保たれる。すなわち、本実施例によるNOT回路は确实かつ安定に動作する。

【0031】なお、ここでは、入力として、 $VH$ ないし $VL$ を、出力として、 $VH/2$ ないし $VL$ を用いる実施例を示した。図1に示すNOT回路では、アトミックスイッチの動作原理上、入力の電位差(本実施例では、 $VH - VL$ )が必ず出力の電位差(本実施例では、 $VH/2 - VL$ )よりも大きくならなければならないという制約があるが、その範囲で、入出力の電位差を自由に設定することができる。

【0032】また、入出力の電位差が等しくなる実施例については、第3, 4実施例で詳しく述べる。すなわち、本発明に基づけば、入出力のレベルが等しいNOT回路を構成することもできる。

【0033】図3は本発明の第2実施例を示すNOT回路の模式図である。

【0034】ここでは、2端子素子を図1とは異なる配置で用いたNOT回路の別の実施例を説明する。

【0035】用いた部材は、図1に示す第1実施例と全く同じである。すなわち、導電性部材である $Ag_1$ 上に混合導電体( $Ag_2S$ )である第1電極12が形成されており、この混合導電体中の可動イオン( $Ag$ イオン)14が析出して、第2電極( $Pt$ )13との間に $Ag$ 原子による架橋15を形成するアトミックスイッチが用いられている。

【0036】アトミックスイッチの第2電極( $Pt$ )13には、抵抗体16(抵抗値 $R3$ )を介して出力のハイレベルに対応する電圧 $VH/2$ が印加されるとともに、出力端 $V_{out}$ が接続されている。

【0037】一方、アトミックスイッチの第1電極12を構成する導電性部材( $Ag$ )11には、抵抗体17(抵抗値 $R4$ )を介して出力のローレベルに対応する電圧 $VL$ が印加されるとともに、コンデンサー18(容量 $C2$ )を介して、入力端 $V_{in}$ が接続されている。

【0038】ここで、アトミックスイッチのオン状態の抵抗値を $R(ON)$ 、オフ状態の抵抗値を $R(OFF)$ とすると、この実施例では、

$$R(OFF) \sim R3 \sim R(ON) \sim R4$$

の関係を満たす抵抗体およびアトミックスイッチを用いる。

【0039】図4を用いて、図3に示すNOT回路の動作原理を詳しく説明する。

【0040】時刻 $t1$ において、入力 $V_{in}$ がローレベル( $VL$ )からハイレベル( $VH$ )に変化すると〔図4(a)参照〕、コンデンサー18に電荷 $Q = C2 \times VH$ ( $C2$ は、コンデンサーの容量)が蓄積される。このと

き、一時的に流れる電流のために、アトミックスイッチの第1電極12側の電位 $V_{in}$ は、図4(b)に示すように変化する。すなわち、アトミックスイッチの第1電極12側の電位が、第2電極13側の電位よりも、一時的に極端に高くなり、アトミックスイッチがオン状態(抵抗の低い状態)へと変化する〔図4(c)参照〕。

【0041】その結果、 $R \sim R(ON)$ となり、出力 $V_{out}$ が $VL$ となる〔図4(d)参照〕。スイッチング時間 $t_s$ は、コンデンサー18の容量 $C2$ と抵抗17の抵抗値 $R4$ によってほぼ決まる。例えば、コンデンサーの容量 $C2$ を $1pF$ 、抵抗値 $R4$ を $10\Omega$ とすれば、 $GHz$ オーダーのスイッチングが可能になる。

【0042】一方、時刻 $t2$ において、入力 $V_{in}$ がハイレベル( $VH$ )からローレベル( $VL$ )に変化すると〔図4(a)参照〕、コンデンサー18に蓄積されていた電荷が放出される。このとき一時的に流れる電流によって、アトミックスイッチの第1電極12側の電位 $V_{in}$ は、図4(b)に示すように変化する。すなわち、アトミックスイッチの第1電極12側の電位が第2電極13側の電位よりも一時的に極端に低くなり、アトミックスイッチがオフ状態(抵抗の高い状態)へと変化する〔図4(c)参照〕。その結果、 $R \sim R(OFF)$ となり、出力 $V_{out}$ が $VH/2$ となる〔図4(d)参照〕。

【0043】図4(e)は、アトミックスイッチの電極12, 13間の電位差を示したものである。入力 $V_{in}$ がローレベル( $VL$ )のときのアトミックスイッチの電極12, 13間の電位差は $VH/2$ であり、これは、アトミックスイッチがオフ状態になるべき電位差であるので、オフ状態が安定に保たれる。

【0044】一方、入力 $V_{in}$ がハイレベル( $VH$ )のときのアトミックスイッチの2電極12, 13間の電位差はほぼゼロであり、アトミックスイッチのオン状態は安定に保たれる。すなわち、本実施例によるNOT回路は确实かつ安定に動作する。

【0045】なお、ここでも、入力として $VH$ 、 $VL$ を、出力として $VH/2$ 、 $VL$ を用いる実施例を示したが、第1実施例(図1)に示すNOT回路同様、入力の電位差が必ず出力の電位差よりも大きくならなければならないという制約があるが、その範囲で、入出力の電位差を自由に設定することができる。

【0046】また、アトミックスイッチと抵抗、コンデンサーの配置および数は、上述した実施例以外にも可能であり、本発明の主たる特徴は、それらを部品として用いることにある。

【0047】図5は本発明の第3実施例を示すNOT回路の模式図、図6は図5に示すNOT回路の動作原理を示す図である。

【0048】ここでは、入出力の電位差が等しいNOT回路について説明する。第1実施例(図1)に示すNO

T回路の出力に当たる部分(図5では、 $V_{out}$ )に、ダイオード9が接続され、このダイオード9のもう一端には抵抗10(抵抗値R5)を介してVHが印加されるとともに、出力端 $V_{out}$ が接続されている。さらに、抵抗7(抵抗値R2)を介して印加される電圧がVLではなく、VSとなっていることが、第1実施例(図1)に示したNOT回路と異なっている。

【0049】ここで、 $V_{out}$ の電位は、ローレベルがVLではなくVSとなることを除いて、第1実施例で説明した通りである(図6(b)参照)。本実施例では、 $VH/2 < VF$ (VH-VS)(VFは、ダイオード9の閾値電圧)とすることで、NOT回路の入出力の電位差を同じにしている。すなわち、 $V_{out}$ がVH/2となれば、ダイオード9には閾値電圧以下の電圧が印加されることになり、このときのダイオード9の抵抗値をRB、閾値以上の電圧が印加された時の抵抗値をRFとすると、 $RB/R5 = RF$ となるような抵抗10を用いる。図6(c)にダイオードに印加される電圧を示す。また、

$$R5/R2 = (VH - VL) / (VL - VF - VS)$$

$VL > VF + VS$ を満足するような抵抗値、印加する電圧を設定することにより、出力 $V_{out}$ は、図6(d)のようになる。すなわち、入出力の電位差が等しいNOT回路を実現することができる。

【0050】図7は本発明の第4実施例を示すNOT回路の模式図である。

【0051】図3に示した第2実施例のNOT回路を基にしても、入出力の電位差が等しいNOT回路を構成することができる。第2実施例(図3)に示したNOT回路の出力に当たる部分( $V_{out}$ )に、ダイオード19が接続され、このダイオード19のもう一端には、抵抗20(抵抗値R6)を介してVHが印加されるとともに、出力端 $V_{out}$ が接続されている。さらに、抵抗17(抵抗値R4)を介して印加される電圧がVLではなく、VSとなっていることが、第2実施例のNOT回路と異なっている。

【0052】動作原理は、第3実施例で説明したNOT回路とほぼ同じであり、 $RB/R6 = RF$ となるような抵抗20を用いること、

$$R6/2R4 = (VH - VL) / (VL - VF - VS)$$

$VL > VF + VS$ を満足するような抵抗値、印加する電圧を設定することにより、入出力の電位差が等しいNOT回路を実現することができる。なお、上記は、アトミックスイッチのオン状態の抵抗がほぼR4に等しい場合で、そうでない場合は、VSを多少操作する必要がある。

【0053】アトミックスイッチと抵抗、コンデンサが様々な配置されたNOT回路に対して、ダイオードと抵抗を付加するだけで、上述のように入出力の電位差が等

しいNOT回路を構成することができる。すなわち、アトミックスイッチと抵抗、コンデンサ、ダイオードの配置は、上記実施例に示したものに限られるわけではなく、それらを部品として用いることが本発明の特徴である。

【0054】図8は本発明の第5実施例を示す2進1桁加算器の模式図である。

【0055】ここでは、本発明によるNOT回路と、アトミックスイッチを用いたAND回路、OR回路を用いて2進1桁加算器を構成した実施例について述べる。

【0056】NOT回路は、図5に示す第3実施例のものを用いた。また、AND回路とOR回路は、本願発明者によって特願平2000-334686号として提案したのものを用いた。図中、個々のNOT回路、AND回路、OR回路を構成する部分が点線で囲まれている。すなわち、本2進1桁加算器は、2つのNOT回路21、22と、3つのAND回路23、24、25および1つのOR回路26で構成されている。

【0057】この回路を論理記号表示すると図9のようになる。なお、図9において、21、22はNOT回路、23、24、25はAND回路、26はOR回路である。

【0058】ここで、入力X、Yのハイレベルを1で、ローレベルを0で表すと、出力SとCは、図10に示すようになり、本発明により、コンピューターに用いられる2進1桁加算器が構成できることが分かる。これは、一例であるが、このように本発明によれば、2端子素子を用いてNOT回路、AND回路、OR回路を構成できるので、すべての論理回路を2端子素子のみで構成することが可能になる。

【0059】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0060】

【発明の効果】以上、詳細に説明したように、本発明によれば、2端子素子でNOT回路を構成することができるため、2端子素子のみですべての論理回路を実現することができる。アトミックスイッチは、nmサイズ化が容易であり、従って、本発明によれば、nmスケールのデバイスを現実することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すNOT回路の模式図である。

【図2】本発明の第1実施例を示すNOT回路の動作原理を示す図である。

【図3】本発明の第2実施例を示すNOT回路の模式図である。

【図4】本発明の第2実施例を示すNOT回路の動作原理を示す図である。

【図5】本発明の第3実施例を示すNOT回路の模式図である。

【図6】本発明の第3実施例を示すNOT回路の動作原理を示す図である。

【図7】本発明の第4実施例を示すNOT回路の模式図である。

【図8】本発明の第5実施例を示す2進1桁加算器の模式図である。

【図9】本発明の第5実施例を示す2進1桁加算器の論理記号表示を示す図である。

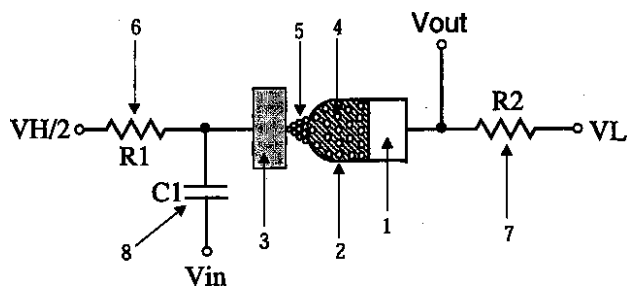
【図10】本発明の第5実施例を示す2進1桁加算器の真理値表を示す図である。

【符号の説明】

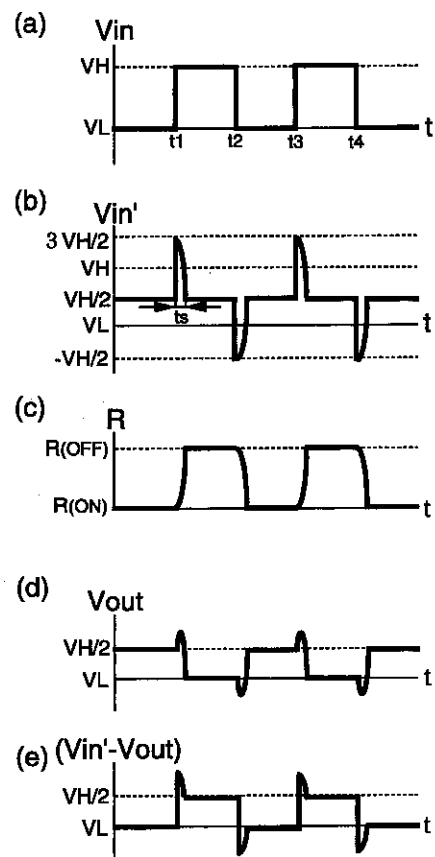
- 1 導電性部材
- 2 第1電極
- 3 第2電極
- 4, 14 混合導電体中の可動イオン

- 5, 15 架橋
- 6 抵抗体(抵抗値R1)
- 7 抵抗体(抵抗値R2)
- 8 コンデンサー(容量C1)
- 9, 19 ダイオード
- 10 抵抗(抵抗値R5)
- 11 Ag(導電性部材)
- 12 第1電極(Ag<sub>2</sub>S)
- 13 第2電極(Pt)
- 16 抵抗体(抵抗値R3)
- 17 抵抗体(抵抗値R4)
- 18 コンデンサー(容量C2)
- 20 抵抗(抵抗値R6)
- 21, 21, 22, 22 NOT回路
- 23, 23, 24, 24, 25, 25 AND回路
- 26, 26 OR回路

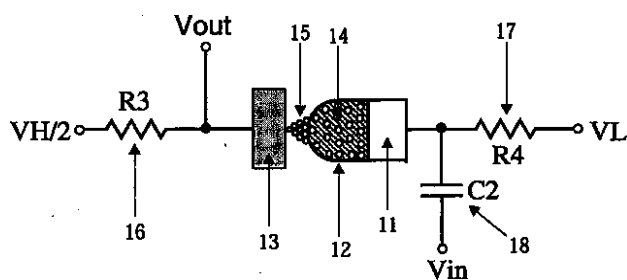
【図1】



【図2】

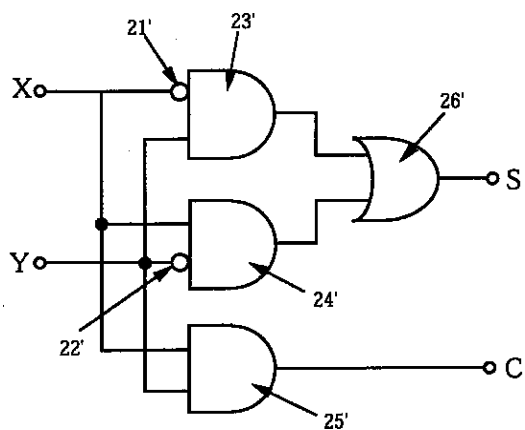


【図3】





【図9】



【図10】

X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

フロントページの続き

(72)発明者 寺部 一弥  
埼玉県戸田市美女木 1 - 19 - 9 - 402

20 (72)発明者 中山 知信  
埼玉県草加市金明町463 - 6 - 502  
Fターム(参考) 5J056 AA00 BB57 DD51 DD55 FF08  
FF09 HH00 KK00