

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3646137号

(P3646137)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int. Cl.<sup>7</sup>

F I

G 0 6 F 9/38

G 0 6 F 9/38 3 1 0 F

G 0 6 F 9/46

G 0 6 F 9/46 3 4 0 B

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2003-83001 (P2003-83001)	(73) 特許権者	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町4丁目1番8号
(22) 出願日	平成15年3月25日(2003.3.25)	(73) 特許権者	899000079 学校法人慶應義塾 東京都港区三田2丁目15番45号
(65) 公開番号	特開2004-295195 (P2004-295195A)	(74) 代理人	100107010 弁理士 橋爪 健
(43) 公開日	平成16年10月21日(2004.10.21)	(72) 発明者	山崎 信行 神奈川県横浜市神奈川区六角橋2-21-4
審査請求日	平成15年3月25日(2003.3.25)	審査官	後藤 彰

最終頁に続く

(54) 【発明の名称】 命令発行方法及び装置、中央演算装置、命令発行プログラム及びそれを記憶したコンピュータ読み取り可能な記憶媒体

(57) 【特許請求の範囲】

【請求項1】

中央演算装置が複数のスレッドの命令を実行するマルチスレッドプロセッサにおける命令発行装置であって、  
各スレッドに対応して優先度を設定するためのスレッド制御ユニットと、  
演算処理及び/又はメモリアクセス処理において実行すべきスレッドの命令及びオペランドが記憶されたレジスタファイルと、  
スレッド識別子(スレッドID)に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、前記レジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと、  
前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と、  
を備え、  
前記リザベーションステーションは、  
前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込む手段と、  
スレッドIDに対応した優先度情報を前記スレッド制御ユニットから求める手段と、  
命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送る手段と

10

20

を有することにより、前記リザベーションステーションから前記演算器への命令発行を高い優先度のスレッドの命令が低い優先度の命令を追い越すようにした前記命令発行装置。

【請求項 2】

前記リザベーションステーションは、デコードされた命令を基に前記レジスタファイルから読み出されたオペランドを格納し、各オペランドに対してデータが有効であることを示す有効ビットをさらに含む、エントリを作成する手段と、

前記リザベーションステーションは、該リザベーションステーションに記憶された各エントリに対して、命令実行に必要なオペランドが全てそろうまで前記演算器の演算結果から必要なデータをオペランドとして取り込み、そのデータに対応する有効ビットをセットし、各エントリに対するスレッドIDに従い前記スレッド制御ユニットを参照して優先度を

10

を得てセットすることにより、各エントリを更新する手段と、

前記リザベーションステーションは、全ての有効ビットがセットされているエントリをオペランドがそろった演算可能なエントリを判断する手段と、

前記リザベーションステーションは、オペランドがそろったエントリが複数の演算可能である場合、各エントリの優先度を比較して、より高い優先度を持つエントリを選択して、前記演算器に該エントリの命令及びオペランド送る手段と

を含む請求項 1 に記載の命令発行装置。

【請求項 3】

前記リザベーションステーションは、スレッドの命令の優先度を、エントリ更新又は命令発行の処理クロック毎に更新制御することを特徴とする請求項 1 に記載の命令発行装置。

20

【請求項 4】

前記リザベーションステーションは、命令がエントリに入力又は作成されたときにカウンタをリセットし、以後エントリを更新する処理クロック毎に又は命令を発行する処理クロック毎に該カウンタをカウントアップする手段と、

前記リザベーションステーションは、優先度の高いエントリが複数ある場合に、カウンタに従いその値の大きいエントリを選択して、その命令及びオペランドを前記演算器に発行する手段と、

をさらに含むことを特徴とする請求項 1 に記載の命令発行装置。

【請求項 5】

前記リザベーションステーションからの命令及びオペランドを受け取り、前記レジスタファイル又はデータキャッシュへのロード又はストアを実行するメモリアクセスユニットをさらに備えた請求項 1 に記載の命令発行装置。

30

【請求項 6】

前記リザベーションステーション及び前記演算器の組は複数設けられ、各々の前記演算器によりアウトオブオーダーに演算された命令の順番を元の順番に戻し、元の順番にもどした演算結果を前記レジスタファイルへ書き込むリオーダーバッファと、各々の前記演算器の出力を、前記リザベーションステーション及び前記レジスタファイル及び前記リオーダーバッファに供給するためのコモンデータバスと

をさらに備えた請求項 1 に記載の命令発行装置。

【請求項 7】

前記リザベーションステーション及び/又は前記スレッド制御ユニットは、スレッドIDに対応して優先度情報を記憶したメモリを含む請求項 1 に記載の命令発行装置。

40

【請求項 8】

前記請求項 1 乃至 7 のいずれかに記載の命令発行装置と、命令及びデータをそれぞれキャッシュする命令キャッシュ及びデータキャッシュと、前記命令キャッシュから命令をフェッチ及びデコードし、デコードされた命令を基に前記レジスタファイルをアクセスする命令フェッチユニットと、

外部の記憶装置及び/又は入出力装置とデータの入出力を行うためのインターフェースユニットと、

を備えた中央演算装置。

50

## 【請求項 9】

スレッド識別子（スレッドID）に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、実行すべきスレッドのオペランドが記憶されたレジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと；前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と；を備え、マルチスレッドプロセッサにおける命令発行装置を用いた命令発行方法であって、

前記リザベーションステーションは、前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込むステップと、

前記リザベーションステーションは、スレッドIDに対応した優先度情報を、各スレッドに対応して優先度を設定するためのスレッド制御ユニットから求めるステップと、

前記リザベーションステーションは、命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送るステップと

を含むことにより、前記リザベーションステーションから前記演算器への命令発行を高い優先度のスレッドの命令が低い優先度の命令を追い越すようにした前記命令発行方法。

## 【請求項 10】

前記リザベーションステーションは、デコードされた命令を基に前記レジスタファイルから読み出されたデータを格納し、各オペランドに対してデータが有効であることを示す有効ビットをさらに含む、エントリを作成するステップと、

前記リザベーションステーションは、該リザベーションステーションに記憶された各エントリに対して、命令実行に必要なオペランドが全てそろうまで前記演算器の演算結果をオペランドとして取り込み、そのデータに対応する有効ビットをセットし、各エントリに対するスレッドIDに従い前記スレッド制御ユニットを参照して優先度を得てセットすることにより、各エントリを更新するステップと、

前記リザベーションステーションは、全ての有効ビットがセットされているエントリをオペランドがそろった演算可能なエントリと判断するステップと、

前記リザベーションステーションは、オペランドがそろったエントリが複数の演算可能である場合、各エントリの優先度を比較して、より高い優先度を持つエントリを選択して、前記演算器に該エントリの命令及びオペランド送るステップと

を含む請求項 9 に記載の命令発行方法。

## 【請求項 11】

前記リザベーションステーションは、命令がエントリに入力又は作成されたときにカウンタをリセットし、以後エントリを更新する処理クロック毎に又は命令を発行する処理クロック毎に該カウンタをカウントアップするステップと、

前記リザベーションステーションは、優先度の高いエントリが複数ある場合に、カウンタに従いその値の大きいエントリを選択して、その命令及びオペランドを前記演算器に発行するステップと、

をさらに含むことを特徴とする請求項 9 に記載の命令発行方法。

## 【請求項 12】

スレッド識別子（スレッドID）に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、実行すべきスレッドの命令及びオペランドが記憶されたレジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと；前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と；を備え、マルチスレッドプロセッサにおける命令発行装置を用い、コンピュータに次の各ステップを実行させるための命令発行プログラムであって、

10

20

30

40

50

前記リザベーションステーションは、前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込むステップと、  
 前記リザベーションステーションは、スレッドIDに対応した優先度情報を、各スレッドに対応して優先度を設定するためのスレッド制御ユニットから求めるステップと、  
 前記リザベーションステーションは、命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送るステップと  
 を、コンピュータに実行させるための命令発行プログラム。

【請求項13】

スレッド識別子(スレッドID)に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、実行すべきスレッドのオペランドが記憶されたレジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと；前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と；を備え、マルチスレッドプロセッサにおける命令発行装置を用い、コンピュータに次の各ステップを実行させるための命令発行プログラムを記憶したコンピュータ読み取り可能な記憶媒体であって、

前記リザベーションステーションは、前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込むステップと、

前記リザベーションステーションは、スレッドIDに対応した優先度情報を、各スレッドに対応して優先度を設定するためのスレッド制御ユニットから求めるステップと、  
 前記リザベーションステーションは、命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送るステップと

を、コンピュータに実行させるための命令発行プログラムを記憶したコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、命令発行方法及び装置、中央演算装置、命令発行プログラム及びそれを記憶したコンピュータ読み取り可能な記憶媒体に係り、特に、各種ロボット、自動車、プラント、ホームオートメーション等の種々の分散実時間制御を実現するために必要な実時間処理をハードウェアで支援する命令発行方法及び装置、中央演算装置、命令発行プログラム及びそれを記憶したコンピュータ読み取り可能な記憶媒体に関する。

【0002】

【従来の技術】

従来、マルチスレッドプロセッサを用いた技術として、特許文献1には、複数の命令フローを独立に処理し、命令フロー単位で処理性能を柔軟に制御するものが記載されている。このマルチスレッドプロセッサでは、命令フロー中の命令によって命令フロー毎の優先順位を制御し、一つの機能ユニットに対して複数同時に命令発行要求が出力された場合、機能ユニットに発行すべき命令を優先度によって決定することで命令フロー単位に必要な処理性能を動的に実現する。なお、スレッドとは、一般に、OSがあるプロセス又はタスクを並列処理するため、プロセス又はタスクを分割した処理単位又は最小単位のことをいう。この際、プロセス又はタスクが分割されることなく、1プロセス又は1タスクが1スレッドとなる場合もある。

【特許文献1】

特開平10-124316号公報

【0003】

10

20

30

40

50

**【発明が解決しようとする課題】**

従来のマルチスレッドプロセッサのリザベーションステーションでは、命令がどのスレッドのものかということに関係なく処理が行われる。そのため、複数のスレッドが同時に実行されていると、あるスレッドの実行時間が他のスレッドの実行に影響を受け、実行時間を予測することが難しくなる。そのためリアルタイム処理のように時間制約に厳しいシステムにおいては、この点が課題となる。

**【0004】**

本発明は、以上の点に鑑み、マルチスレッドプロセッサにおいて実時間処理を、

(1) 命令の優先度による追い越し、及び/又は、

(2) クロック毎の優先度の付け替え、

という手法を用いて実現することにより、他のスレッドに影響されることなく、スレッドの実時間処理の実行を可能とすることを目的とする。

**【0005】****【課題を解決するための手段】**

本発明では、特に、

1. 実行する命令に優先度を付け、リザベーションステーションにおいて高い優先度の命令が低い優先度の命令を追い越すこと、及び/又は、

2. 命令の優先度をクロック毎に付け替えること、

により、他のスレッドの影響を受けずにスレッドがリアルタイム処理を行うことを実現する。

**【0006】**

本発明の第1の解決手段によると、

中央演算装置が複数のスレッドの命令を実行するマルチスレッドプロセッサにおける命令発行装置であって、

各スレッドに対応して優先度を設定するためのスレッド制御ユニットと、

演算処理及び/又はメモリアクセス処理において実行すべきスレッドの命令及びオペランドが記憶されたレジスタファイルと、

スレッド識別子(スレッドID)に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、前記レジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと、

前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と、

を備え、

前記リザベーションステーションは、

前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込む手段と、

スレッドIDに対応した優先度情報を前記スレッド制御ユニットから求める手段と、

命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送る手段と

を有することにより、前記リザベーションステーションから前記演算器への命令発行を高い優先度のスレッドの命令が低い優先度の命令を追い越すようにした前記命令発行装置が提供される。

**【0007】**

本発明の第2の解決手段によると、

上述のような命令発行装置と、

命令及びデータをそれぞれキャッシュする命令キャッシュ及びデータキャッシュと、

前記命令キャッシュから命令をフェッチ及びデコードし、デコードされた命令を基に前記レジスタファイルをアクセスする命令フェッチユニットと、

外部の記憶装置及び/又は入出力装置とデータの入出力を行うためのインターフェースユ

10

20

30

40

50

ニットと、  
を備えた中央演算装置が提供される。

【 0 0 0 8 】

本発明の第 3 の解決手段によると、

スレッド識別子 (スレッド ID) に対応して、優先度情報と、命令と、該命令の実行に用いる各オペランドを示すデータとを含むエントリを記憶し、実行すべきスレッドのオペランドが記憶されたレジスタファイルからデータを受け取り、命令及びオペランドを発行するリザベーションステーションと； 前記リザベーションステーションから発行された命令及びオペランドを受け取り、該命令に従い各種演算を行い、演算結果を前記レジスタファイルに書き戻す演算器と； を備え、マルチスレッドプロセッサにおける命令発行装置

10

を用いた命令発行方法であって、  
前記リザベーションステーションは、前記演算器からの出力を監視し、前記レジスタファイルで未解決のオペランドである必要なデータが前記演算器から演算結果として出力された場合、その演算結果をオペランドとして取り込むステップと、

前記リザベーションステーションは、スレッド ID に対応した優先度情報を、各スレッドに対応して優先度を設定するためのスレッド制御ユニットから求めるステップと、

前記リザベーションステーションは、命令実行に必要な全てのオペランドがそろった命令であって、且つ、優先度情報に従い優先度の高いスレッドの命令を前記演算器へ送るステップと

を含むことにより、前記リザベーションステーションから前記演算器への命令発行を高い優先度のスレッドの命令が低い優先度の命令を追い越すようにした前記命令発行方法が提供される。さらに、第 3 の解決手段に記載された各ステップを、コンピュータに実行させるための命令発行プログラム及びその命令発行プログラムを記憶したコンピュータ読み取り可能な記憶媒体が提供される。

20

【 0 0 0 9 】

【 発明の実施の形態 】

1 . 関連技術

本実施の形態は、一例として、レスポンス・マルチスレッドプロセッサ (Responsive Multi-Threaded (RMT) Processor) 等のマルチスレッドプロセッサの中央演算装置 (CPU) 上で利用されている。そこで、まず、本実施の形態に関連する CPU を有するマルチスレッドプロセッサについて説明する。

30

【 0 0 1 0 】

図 1 に、本実施の形態に関連するアウトオブオーダー実行を行うマルチスレッドプロセッサの構成図を示す。ここで、アウトオブオーダー実行とは、プログラムで記述されている順番と異なる順番でも命令の演算を行うことをいう。そのために、アウトオブオーダー実行では、以下に説明するように、リオーダーバッファとリザベーションステーションを用いて、実行可能な命令から順に演算器に送り、リオーダーバッファで順番を元に戻すことが行われる。

【 0 0 1 1 】

このプロセッサは、CPU 101、メモリ 200、I/O 300、バス 400 を有する。CPU 101 は、バス 400 を介して、メモリ 200、I/O 300 等と接続されている。CPU 101 は、レジスタ群 1、命令フェッチユニット 2、命令キャッシュ 3、演算器 4、メモリアクセスユニット 5、データキャッシュ 6、バスインターフェースユニット 7、リオーダーバッファ 8、命令デコードユニット 9、リザベーションステーション 10、演算バス 11、コモンデータバス 12 を備える。レジスタ群 1 は、レジスタファイル 1-1、リネームレジスタ 1-2 を有する。

40

【 0 0 1 2 】

命令キャッシュ 3 及びデータキャッシュ 6 は、例えば、SRAM、フリップフロップ (FF) 等の素子が用いられ、アクセス、読み出し、書き込み等の処理速度が速いものの記憶容量が小さい。一方、CPU 101 外部のメモリ 200 は、SDRAM、DRAM 等の素

50

子が用いられ、アクセス、読み出し、書き込み等の処理速度がキャッシュより遅いものの記憶容量が大きい。

【0013】

命令フェッチユニット2は、命令キャッシュ3へアドレス( Address )を出力し、命令キャッシュ3から命令( instruction )をフェッチし、フェッチした命令を命令デコードユニット9に送る。命令デコードユニット9は、命令フェッチユニット2でフェッチされた命令をデコードし、それを基にレジスタ群1のレジスタファイル1-1から演算に必要なデータを読み出す。

【0014】

レジスタ群1のレジスタファイル1-1は、汎用レジスタ( GPR )、浮動小数点レジスタ( FPR )、プログラムカウンタ( PC )、ステータスレジスタ( SR )等の各種レジスタを含む。レジスタファイル1-1は、現在実行中の命令に必要なオペランド又はデータ等を記憶する。マルチスレッドプロセッサの場合は、レジスタファイル1-1が並列に複数存在することになる。レジスタ群1のリネームレジスタ1-2は、オペランドの依存関係を解決するためにオペランド名を変更する。リネームレジスタ1-2は、必要なオペランドがまだ演算中で結果が出ていない場合、データの代わりにリネームされたレジスタIDを出力する。レジスタファイル1-1又はリネームレジスタ1-2から出力された、オペランド又はデータは、デコードされた命令と共に演算バス11を介してリザベーションステーション10へ送られる。

10

【0015】

演算バス11は、レジスタ群1のレジスタファイル1-1又はリネームレジスタ1-2、リオーダバッファ8とリザベーションステーション10を並列に接続する。

20

【0016】

リザベーションステーション10は、レジスタファイル1-1及び/又はリネームレジスタ1-2から、デコードされた命令に従ってレジスタ群1から読み出された、演算に必要なオペランド又はデータを格納する。また、リザベーションステーション10は、各演算器4及びメモリアクセスユニット5からの出力をコモンデータバス12を介して監視し、レジスタファイル1-1で未解決のオペランドについては必要なデータが演算器4から出力されると、その結果をオペランドとして取り込む。リザベーションステーション10は、全てのオペランドがそろった命令から順に接続されている演算器4又はメモリアクセスユニット5へ送る。なお、ロード( Load )又はストア( Store )等のメモリアクセス命令の場合、メモリアクセスユニット5に接続されたりザベーションステーション10にその命令及びオペランドが格納される。

30

【0017】

演算器4は、局所性原理に従い、命令キャッシュ3、データキャッシュ6又はメモリ200から必要なデータ及び命令をリザベーションステーション10又はレジスタ群1を介して利用する。演算器4は、リザベーションステーション10から受け取った命令に従い演算を実行し、計算した結果をコモンデータバス12に出力する。

【0018】

また、メモリアクセスユニット5は、データキャッシュ6にアクセスしロード又はストアを実行し、コモンデータバス12に出力する。ストア命令の場合、メモリアクセスユニット5は、アドレスとデータをデータキャッシュ6に送り、データをデータキャッシュ6に格納する。ロード命令の場合、メモリアクセスユニット5は、アドレスをデータキャッシュ6に送りデータキャッシュ6からデータを読み出す。読み出したデータは、コモンデータバス12を介してレジスタファイル1-1に書き戻される。このとき、データキャッシュ6に求めるデータがなければ、バスインターフェースユニット7を介してメモリ200からそれを読み出す。バスインターフェースユニット7は、命令キャッシュ3、データキャッシュ6とCPU外部のメモリ200、I/O300等をバス400を介して接続し、CPU内部と外部の間でデータの入出力を行うユニットである。

40

【0019】

50

コモンデータバス12は、演算器4の演算結果、メモリアクセスユニット5のロード又はストアの実行結果をレジスタファイル1-1又はリネームレジスタ1-2、リオーダバッファ8、リザベーションステーション10に受け渡す。

【0020】

リオーダバッファ8は、各演算器4によりアウトオブオーダで実行された命令の順番を元の順番にもどしてから、演算結果を実際のレジスタファイル1-1へ書き込む。

【0021】

図2に、リザベーションステーション10のエントリのフォーマットを示す。

リザベーションステーション10のエントリは、ビジービット(busy bit)、命令(operation)、ひとつ又は複数の有効ビット及びデータの組、(valid 0及びdata0、valid1及びdata1、・・・)を含む。

10

【0022】

「ビジービット」は、エントリが有効であるか無効であるか、即ちエントリに命令があるかないかを示し、「命令」は、演算器4で演算するための命令又はメモリアクセスユニット5で実行するための命令を示す。また、「データ」は、命令実行に必要なオペランドを示し、「有効ビット」は、演算に用いる対応するオペランドに対して値が有効であるか否かを示す。リザベーションステーション10は、命令に応じて有効ビットとデータの組の数を設定することができる。リザベーションステーション10は、有効ビットを用いて、全てのオペランドがそろったことを判断することができる。

【0023】

20

図3及び図4に、リザベーションステーション10における演算器4への命令発行処理のフローチャート(1)及び(2)を示す。図3は、ステップS101からステップS109までのステップを、図4は、ステップS111からステップS117までのステップを示す。命令発行処理は、ステップS101からステップS109までのステップを処理した後、ステップS111からステップS117までのステップを処理する。

【0024】

リザベーションステーション10は、レジスタファイル1-1から読み出されたデータを受け取り、その命令実行に必要なデータを記憶するためのエントリを作成して記憶している。リザベーションステーション10は、このようなエントリをひとつ又は複数内部に記憶する。

30

【0025】

命令発行処理が開始されると、リザベーションステーション10の全てのエントリに対して、ステップS101からステップS109の繰り返しループ処理を行う。繰り返しループ処理では、まず、リザベーションステーション10は、各エントリについて、そのエントリが示す命令を実行するために必要なオペランドが全てそろっているか否か判断する(S103)。リザベーションステーション10は、必要なオペランドの数を命令に従って判別してもよいし、予め命令毎に必要な数又は領域をエントリに定めてもよい。リザベーションステーション10は、例えば、各エントリの有効ビットが全て有効であるか否かを判断する。ステップS103で、命令の実行に必要な全てのデータがオペランドとして得られた場合、例えば、該当する命令実行に必要な全てのオペランドに対する全ての有効ビットがセットされている場合、ステップS109に移る。一方、必要なオペランドがそろっていない場合、例えば、全ての有効ビットがセットされていない場合(S103)、リザベーションステーション10は、必要なデータをまだ得ていないことになり、ステップS105に移る。この場合、リザベーションステーション10は、コモンデータバス12から流れてくる演算結果を監視し、必要なデータが来れば(S105)、それをエントリのデータにオペランドとして取り込み、該当する有効ビットをセットする(S107)。一方、必要なデータが来なければ(S105)、ステップS109に移る。

40

【0026】

リザベーションステーション10の全てのエントリに対して、ステップS101からステップS109の処理を繰り返し行った後、ステップS111に進んで処理を継続する。

50



## 【 0 0 2 7 】

つぎに、図 4 を用いて、ステップ S 1 1 1 からステップ S 1 1 7 の処理について説明する。

ステップ S 1 1 1 では、リザベーションステーション 1 0 は、命令実行に必要な全てのオペランドがそろったエントリがあるか否か判断する ( S 1 1 1 )。例えば、上述のように、リザベーションステーション 1 0 は全ての有効ビットが有効かどうかでこれを判断することができる。全てのオペランドがそろったエントリが無い場合は、命令発行を終了する。一方、全てのオペランドがそろったエントリがある場合は、リザベーションステーション 1 0 は、そのようなエントリがひとつか複数か判断する ( S 1 1 3 )。例えば、全ての有効ビットがセットされると、命令実行に必要な全てのオペランドがそろったことになる。

10

## 【 0 0 2 8 】

リザベーションステーション 1 0 は、全てのオペランドがそろったエントリが 1 つの場合、該当エントリの命令及びオペランドを演算器 4 に送る ( S 1 1 5 )。一方、複数のエントリが全てのエントリがそろい演算可能である場合、リザベーションステーション 1 0 は、より古いエントリから演算器 4 に送る ( S 1 1 7 )。選択されなかったエントリは次の命令発行の処理クロック以降まで発行を待たされる。

## 【 0 0 2 9 】

2 . 優先度による複数スレッドの命令発行装置を備えた C P U

上述の「1 . 関連技術」では、リザベーションステーション 1 0 の動作は、主に、オペランドがそろい、演算が可能になった命令から演算器 4 に送り、複数の命令が同時に演算可能になっている場合は最も古い命令から実行することについて説明した。以下では、複数の命令が同時に演算可能になった場合、優先度の最も高いスレッドの命令から先に実行するための命令発行について説明する。

20

## 【 0 0 3 0 】

図 5 に、優先度を用いたアウトオブオーダー実行を行うマルチスレッドプロセッサの構成図を示す。

このプロセッサは、C P U 1 0 2、メモリ 2 0 0、I / O 3 0 0、バス 4 0 0 を有する。C P U 1 0 2 は、バス 4 0 0 を介して、メモリ 2 0 0、I / O 3 0 0 等と接続されている。C P U 1 0 2 は、レジスタ群 1、命令フェッチユニット 2、命令キャッシュ 3、演算器 4、メモリアクセスユニット 5、データキャッシュ 6、バスインターフェースユニット 7、リオーダバッファ 8、命令デコードユニット 9、演算バス 1 1、コモンデータバス 1 2、リザベーションステーション 2 0、スレッド制御ユニット 2 1 を備える。レジスタ群 1 は、レジスタファイル 1 - 1、リネームレジスタ 1 - 2 を含む。

30

## 【 0 0 3 1 】

命令フェッチユニット 2 は、命令キャッシュ 3 ヘアドレス ( A d d r e s s ) を出力し、命令キャッシュ 3 から命令 ( i n s t r u c t i o n ) をフェッチし、命令デコードユニット 9 で命令をデコードする。

## 【 0 0 3 2 】

スレッド制御ユニット 2 1 は、各スレッドの優先度を設定する。また、スレッド制御ユニット 2 1 は、設定した優先度を全てのリザベーションステーション 2 0 に送る。スレッド制御ユニット 2 1 内部には、各スレッドの優先度を識別するためのデータを所定数保持する。スレッド制御ユニット 2 1 は、そのために、例えば、各スレッドに対応した優先度の情報を記憶したメモリを備えることができる。また、スレッド制御ユニット 2 1 は、他に、スレッドの実行、停止、コンテキストをキャッシュするコンテキストキャッシュとの入れ替え制御等を行うことができる。ここで、コンテキストとは、例えば、汎用レジスタ、浮動小数点レジスタ、プログラムカウンタ、ステータスレジスタ等、記憶部 ( 例、レジスタファイル 1 - 1 ) に記憶されている各スレッドの実行のための情報又は現在実行中の状態のことをいう。

40

## 【 0 0 3 3 】

50

リザベーションステーション 20 は、上述したように、デコードされた命令に従ってレジスタファイル 1 - 1 及び / 又はリネームレジスタ 1 - 2 から読み出された、演算に必要なオペランド又はデータを格納する。

【 0 0 3 4 】

また、リザベーションステーション 20 は、各演算器 4 及びメモリアクセスユニット 5 からの出力をコモンデータバス 12 を介して監視し、レジスタファイル 1 - 1 で未解決のオペランドについては必要なデータが演算器 4 から出力されると、その結果をオペランドとして取り込む。さらに、リザベーションステーション 20 は、スレッド制御ユニット 21 から設定された優先度情報を受け取る、又は、スレッド制御ユニット 21 をアクセスし、所定のスレッドの優先度情報を得る。また、リザベーションステーション 20 は、スレッド毎に優先度情報を記憶したテーブルを内部のレジスタに記憶してもよい。リザベーションステーション 20 は、全てのオペランドがそろった命令のうち優先度が高い命令から順に接続されている演算器 4 又はメモリアクセスユニット 5 へ送る。なお、ロード又はストア等のメモリアクセス命令の場合、メモリアクセスユニット 5 に接続されたリザベーションステーション 20 にその命令及びオペランドが送られる。

10

【 0 0 3 5 】

他の各部の構成及び動作は、上述したように、図 1 の CPU 101 の同符号で示される各部の構成及び動作と同様である。

【 0 0 3 6 】

図 6 に、リザベーションステーション 20 のエントリのフォーマットを示す。このエントリは、リザベーションステーション 10 のエントリに、命令の優先度情報 ( p r i o r i t y ) が付加されている。

20

【 0 0 3 7 】

リザベーションステーション 20 のエントリは、ビジービット ( b u s y b i t )、スレッド ID ( t h r e a d I D )、優先度情報 ( p r i o r i t y )、命令 ( o p e r a t i o n )、ひとつ又は複数の有効ビット及びデータの組、 ( v a l i d 0 及び d a t a 0、 v a l i d 1 及び d a t a 1、 . . . ) を含む。

【 0 0 3 8 】

ビジービット、命令、有効ビット、データは、図 2 で説明したものと同様である。「スレッド ID」は、エントリの命令がどのスレッドのものかを示す。なお、スレッド ID を省略し、スレッド ID 毎に各エントリを識別する情報を記憶したテーブルを用いること等により、リザベーションステーション 20 は、各スレッド ID を適宜把握することもできる。「優先度情報」は、命令の優先度を示し、リザベーションステーション 20 に命令が入れられるとき、オペランドを得たとき、処理クロック毎、及び / 又は全てのオペランドがそろったとき等にスレッド制御ユニット 21 からセットされる。リザベーションステーション 20 は、スレッド毎に別途指定されたレジスタやスレッド制御ユニット 21 の設定に基づき、スレッド毎に優先度の値を調べ、優先度情報を変更する。本実施の形態ではスレッド制御ユニット 21 は、例えば、スレッド毎に 8 b i t のレジスタを用意し、優先度情報を 256 レベルの値として指定する。この値は、例えば、高い ( 大きい ) ほど優先度が高く、低い ( 小さい ) ほど優先度が低いとすることができる。

30

40

【 0 0 3 9 】

図 7 及び図 8 に、優先度を用いた、リザベーションステーション 20 における演算器 4 への命令発行処理のフローチャート ( 1 ) 及び ( 2 ) を示す。図 7 は、ステップ S 201 からステップ S 209 までのステップを、図 8 は、ステップ S 211 からステップ S 217 までのステップを示す。命令発行処理は、ステップ S 201 からステップ S 209 までのステップを処理した後、ステップ S 211 からステップ S 217 までのステップを処理する。

【 0 0 4 0 】

リザベーションステーション 20 は、レジスタファイル 1 - 1 から送られてくるデータを及び命令を格納し、その命令実行に必要なデータを記憶するためのエントリを作成して記

50

憶している。リザベーションステーション 20 は、このようなエントリをひとつ又は複数内部に記憶する。

**【0041】**

命令発行処理が開始されると、リザベーションステーション 20 の全てのエントリに対して、ステップ S 201 からステップ S 209 の繰り返しループ処理を行う。繰り返しループ処理では、まず、リザベーションステーション 20 は、各エントリについて、そのエントリが示す命令を実行するために必要なオペランドが全てそろっているか否か判断する (S 203)。リザベーションステーション 20 は、必要なオペランドの数を命令に従って判別してもよいし、予め命令毎に必要な数又は領域をエントリに定めてもよい。リザベーションステーション 20 は、例えば、各エントリの有効ビットが全て有効であるか否かを判断する。ステップ S 203 で命令の実行に必要な全てのオペランドがそろっている場合、例えば、該当する命令実行に必要な全てのオペランドに対する全ての有効ビットがセットされている場合、ステップ S 208 に移る。一方、必要なオペランドがそろっていない場合、例えば、全ての有効ビットがセットされていない場合 (S 203)、リザベーションステーション 20 は、当該エントリの命令の実行のために必要なデータをまだ得ていないことになり、ステップ S 205 に移る。ここで、リザベーションステーション 20 は、コモンデータバス 12 を監視し必要なデータが来れば (S 205)、それをエントリにオペランドとして取り込み該当する有効ビットをセットする (S 207)。一方、必要なデータが来なければ (S 205)、ステップ S 208 に移る。

10

**【0042】**

つぎに、リザベーションステーション 20 は、各エントリのスレッド ID から優先度情報を更新する (S 208)。例えば、リザベーションステーション 20 は、各エントリにはどのスレッドのものかを示すフィールド、即ちスレッド ID があるため、それを参照することによりそのエントリがどのスレッドのものか判断することができる。また、スレッド制御ユニット 21 では、メモリ等によりスレッド ID 毎に優先度情報が指定されているため、リザベーションステーション 20 は、スレッド制御ユニット 21 のメモリをアクセスする等により設定された優先度を得て、該当するエントリの優先度情報を更新することができる。逆に、スレッド制御ユニット 21 が、各リザベーションステーション 20 のエントリのスレッド ID を得て、そのスレッド ID に該当する優先度情報を与えることで、リザベーションステーション 20 が優先度情報を得るようにしてもよい。また、リザベーションステーション 20 は、この優先度のデータを適当なタイミングでスレッド制御ユニット 21 から得て、スレッド ID に対応して優先度情報を内部メモリに記憶しておくようにして、それを参照することでスレッド ID に従い優先度情報を得てもよい。

20

30

**【0043】**

リザベーションステーション 20 は、全てのエントリに対して、ステップ S 201 からステップ S 209 の処理を繰り返し行った後、ステップ S 211 に進む。

**【0044】**

つぎに、図 8 を用いて、ステップ S 211 からステップ S 217 の処理について説明する。

ステップ S 211 では、リザベーションステーション 20 は、命令実行に必要な全てのオペランドがそろったエントリがあるか否か判断する (S 211)。例えば、上述のように、リザベーションステーション 20 は全ての有効ビットが有効かどうかでこれを判断することができる。全てのオペランドがそろったエントリが無い場合は、命令発行を終了する。一方、全てのオペランドがそろったエントリがある場合は、リザベーションステーション 20 は、そのようなエントリがひとつか複数か判断する (S 213)。例えば、上述のように、全ての有効ビットがセットされると、命令実行に必要なオペランドがそろったことになる。

40

**【0045】**

リザベーションステーション 20 は、全てのオペランドがそろったエントリが 1 つの場合、該当エントリの命令及びオペランドを演算器 4 に送る (S 215)。一方、複数のエン

50

トリが全てのオペランドがそろい演算可能である場合、リザベーションステーション 20 は、命令の実行可能な各エントリの優先度情報を比較して、より高い優先度を持つエントリを選択する (S 217)。なお、ここで、リザベーションステーション 20 は、優先度が等しい又は略等しいエントリが複数あれば、その中でより古いエントリを選択して、又は、予め定められた順序によりエントリを選択して演算器 4 に送る。なお、選択されなかったエントリは次の命令発行の処理クロック以降まで発行を待たされる。

【0046】

このように、リザベーションステーション 20 は、優先度の値が高いエントリを優先的に演算器 4 に送ることができ、これにより優先度の高い命令が先に演算される。なお、ステップ S 208 の処理をステップ S 203 の前に実行してもよい。

10

【0047】

3. 優先度とカウンタを用いた複数スレッドの命令発行装置及び CPU

この実施の形態では、優先度とカウンタに基づき、先に実行すべき命令を発行するための命令発行について説明する。この実施の形態の命令発行装置及び CPU の構成及び動作は、上述の図 5 及びその説明箇所の通りであり、リザベーションステーション 20 で用いるエントリが異なる。

【0048】

図 9 に、リザベーションステーション 20 のカウンタ (counter) を付加したエントリのフォーマットを示す。

【0049】

このエントリは、ビジービット (busy bit)、スレッド ID (thread ID)、優先度情報 (priority)、命令 (operation)、ひとつ又は複数の有効ビット及びデータの組、(valid0 及び data0、valid1 及び data1、・・・)、カウンタ (counter) を含む。ビジービット、スレッド ID、優先度情報、命令、有効ビット、データは、図 2 又は図 5 で説明したものと同様である。カウンタは、例えば、リザベーションステーション 20 により命令がエントリに入れられた時にリセットされ、命令発行の処理クロック毎にカウントアップされるカウンタ値である。

20

【0050】

図 10 及び図 11 に、カウンタを用いた、リザベーションステーション 20 における演算器 4 への命令発行のフローチャート (1) 及び (2) を示す。図 10 は、ステップ S 201 からステップ S 209 までのステップを、図 11 は、ステップ S 211 からステップ S 307 までのステップを示す。命令発行処理は、ステップ S 201 からステップ S 209 までのステップを処理した後、ステップ S 211 からステップ S 307 までのステップを処理する。

30

【0051】

図 10 及び図 11 のフローチャートは、上述した図 7 及び図 8 のフローチャートと同じステップ番号の各ステップにおける処理は、上述した通りである。以下の説明では、主に、図 10 及び図 11 のステップ S 301 からステップ S 307 の処理、図 10 及び図 11 の処理の順序と図 7 及び図 8 の順序で異なる部分について説明する。

40

【0052】

リザベーションステーション 20 は、上述のように、レジスタファイル 1-1 から送られてくるデータ及び命令を格納し、その命令実行に必要なデータを記憶するためのエントリを作成して記憶している。リザベーションステーション 20 は、このようなエントリをひとつ又は複数内部に記憶する。

【0053】

命令発行処理が開始されると、リザベーションステーション 20 の全てのエントリに対して、ステップ S 201 からステップ S 209 の繰り返しループ処理を行う。繰り返しループ処理では、まず、リザベーションステーション 20 は、各エントリについて、エントリが有効か無効か、(例えば、命令が記憶されているか否か)を判断する (S 301)。リ

50

ザバージョンステーション20は、例えば、各エントリのビジービットにより、エントリが有効か無効かを判断する。ステップS301でエントリが無効の場合、ステップS209に移る。一方、エントリが有効である場合、リザバージョンステーション20は、そのエントリのカウンタ値を1つ増やす(S303)。カウンタは、例えば、命令がエントリに入れられた時にリセットされ、以後命令発行の処理クロック毎にカウントアップされる。

#### 【0054】

つぎに、上述のように、リザバージョンステーション20は、各エントリのスレッドIDから優先度情報を更新する(S208)。そして、上述のように、リザバージョンステーション20は、各エントリが示す命令を実行するために必要なオペランドが全てそろっているか否か判断し(S203)、命令の実行に必要な全てのオペランドがそろっている場合、ステップS209に移り、ステップS201から繰り返しループ処理を実行する。一方、必要なオペランドがそろっていない場合(S203)、リザバージョンステーション20は、コモンデータバス12を監視して必要なデータが来れば(S205)、それをエントリのデータにオペランドとして取り込み該当する有効ビットをセットする(S207)。一方、必要なデータが来なければ(S205)、ステップS209に移り、ステップS201から繰り返しループ処理を実行する。

#### 【0055】

つぎに、図11を用いて、ステップS211からステップS307の処理について説明する。

ステップS211では、上述のように、リザバージョンステーション20は、命令実行に必要な全てのオペランドがそろったエントリがあるか否か判断する(S211)。全てのオペランドがそろったエントリが無い場合は、命令発行を終了する。一方、全てのオペランドがそろったエントリがある場合は、リザバージョンステーション20は、そのようなエントリがひとつか複数か判断する(S213)。

#### 【0056】

リザバージョンステーション20は、全てのオペランドがそろったエントリが1つの場合、該当エントリの命令及びオペランドを演算器4に送る(S215)。一方、複数のエントリが全てのオペランドがそろい演算可能である場合、リザバージョンステーション20は、命令の実行可能な各エントリの優先度情報を比較して、より高い優先度を持つエントリを選択する(S305)。さらに、リザバージョンステーション20は、最も高い優先度のエントリが複数ある場合は、その中で最もカウンタ値の大きいエントリの命令を演算器4に送る(S305)。なお、複数のエントリが演算可能だった場合、リザバージョンステーション20は、例えば、上位bitに優先度情報、下位bitにカウンタの連結値を用いて比較し、より数値の大きい命令を選択するようにしてもよい。選択されなかったエントリは、次の命令発行の処理クロック以降まで発行を待たされる。ステップS215又はS305の処理を終了すると、リザバージョンステーション20は、演算器4に命令を送ったエントリのカウンタ値をクリアし、ビジービットを変更してエントリを無効とする(S307)。なお、ステップS208の処理をステップS207の後に実行してもよい。

これにより優先度の高い命令が選択され、優先度が等しい場合はより古い命令が選択される。

#### 【0057】

#### 4. その他

本発明の命令発行方法又は命令発行装置・システムは、その各手順をコンピュータに実行させるための命令発行プログラム、命令発行プログラムを記録したコンピュータ読み取り可能な記録媒体、命令発行プログラムを含みコンピュータの内部メモリにロード可能なプログラム製品、そのプログラムを含むサーバ等のコンピュータ、等により提供されることもできる。

#### 【0058】

10

20

30

40

50

## 【発明の効果】

本発明によれば、マルチスレッドプロセッサにおいて実時間処理を、

(1) 命令の優先度による追い越し、及び/又は、

(2) クロック毎の優先度の付け替え、

という手法を用いて実現することにより、他のスレッドに影響されることなく、スレッドの実時間処理の実行を可能とすることができる。

## 【図面の簡単な説明】

【図1】本実施の形態に関連するアウトオブオーダ実行を行うマルチスレッドプロセッサの構成図。

【図2】リザベーションステーション10のエントリのフォーマット。

10

【図3】リザベーションステーション10における演算器4への命令発行のフローチャート(1)。

【図4】リザベーションステーション10における演算器4への命令発行のフローチャート(2)。

【図5】優先度を用いたアウトオブオーダ実行を行うマルチスレッドプロセッサの構成図。

【図6】リザベーションステーション20のエントリのフォーマット。

【図7】優先度を用いた、リザベーションステーション20における演算器4への命令発行のフローチャート(1)。

【図8】優先度を用いた、リザベーションステーション20における演算器4への命令発行のフローチャート(2)。

20

【図9】リザベーションステーション20のカウンタ(counter)を付加したエントリのフォーマット。

【図10】カウンタを用いた、リザベーションステーション20における演算器4への命令発行のフローチャート(1)。

【図11】カウンタを用いた、リザベーションステーション20における演算器4への命令発行のフローチャート(2)。

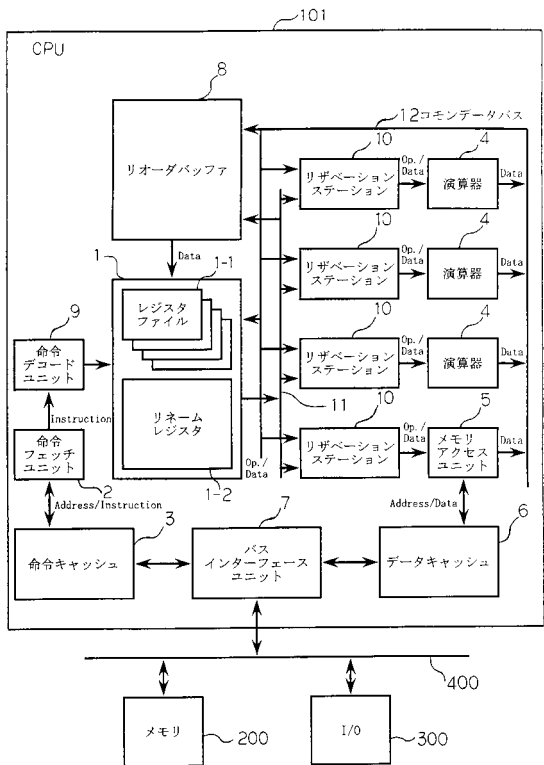
## 【符号の説明】

- 1 レジスタ群
- 1-1 レジスタファイル
- 1-2 リネームレジスタ
- 2 命令フェッチユニット
- 3 命令キャッシュ
- 4 演算器
- 5 メモリアクセスユニット
- 6 データキャッシュ
- 7 バスインターフェースユニット
- 8 リオーダバッファ
- 9 命令デコードユニット
- 10 リザベーションステーション
- 11 演算バス
- 12 コモンデータバス
- 20 リザベーションステーション
- 21 スレッド制御ユニット
- 101、102 CPU
- 200 メモリ
- 300 I/O
- 400 バス

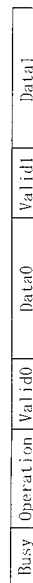
30

40

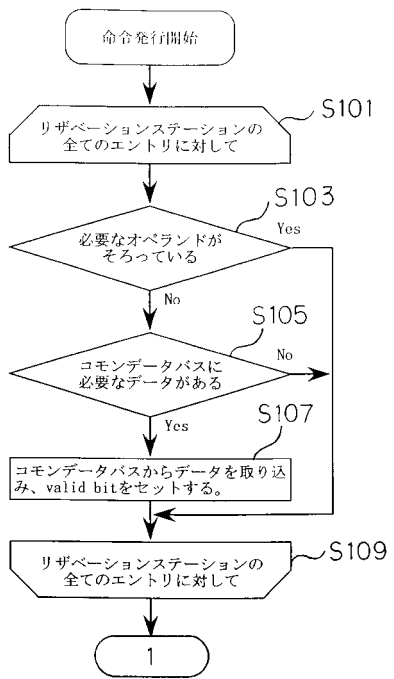
【 図 1 】



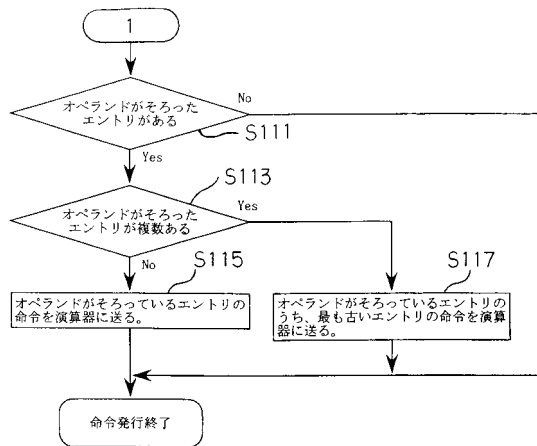
【 図 2 】



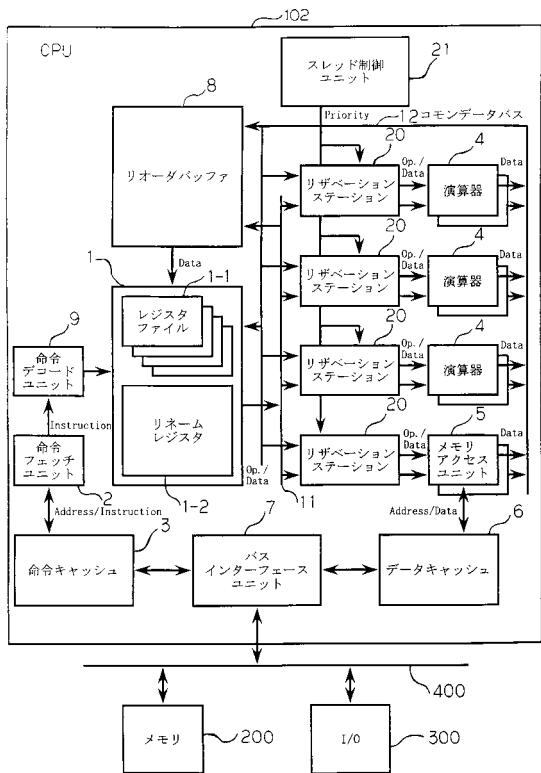
【 図 3 】



【 図 4 】



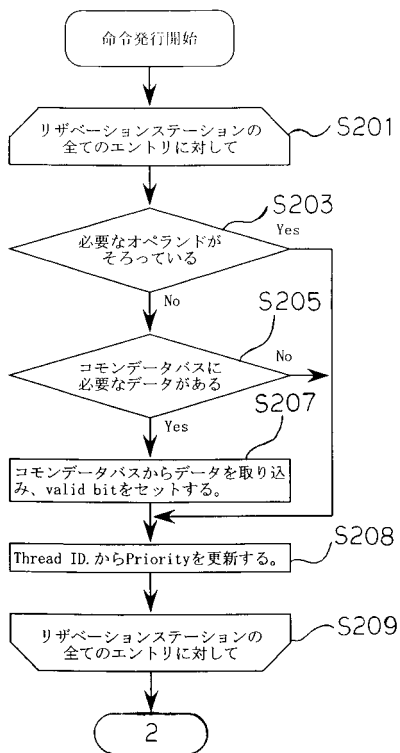
【 図 5 】



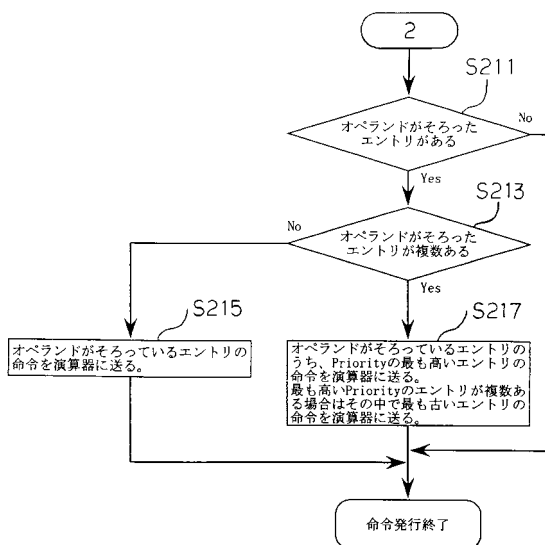
【 図 6 】



【 図 7 】



【 図 8 】

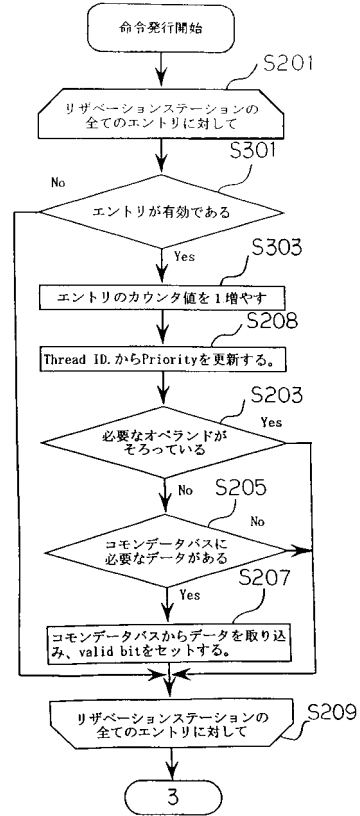




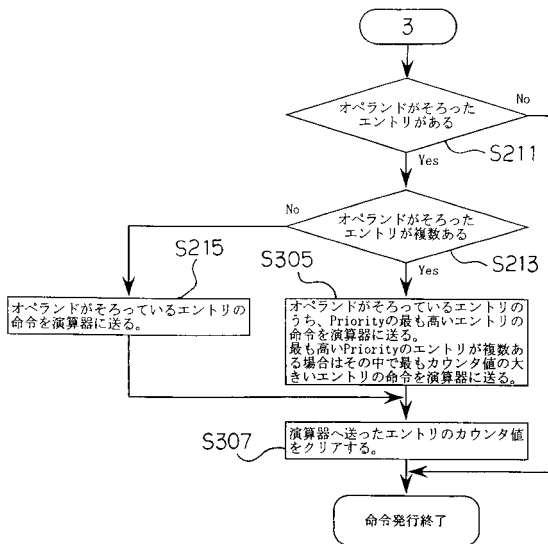
【 図 9 】

Counter
Data1
Valid1
Data0
Valid0
Operation
Priority
ID
Thread
Busy

【 図 10 】



【 図 11 】



---

フロントページの続き

- (56)参考文献 特開平10-40102(JP,A)  
特開平10-124316(JP,A)  
内山真郷、他3名、リアルタイム処理用マルチスレッドプロセッサの設計と実装、電子情報通信学会技術研究報告(CPSY99-117~122)、社団法人電子情報通信学会、2000年3月22日、第99巻、第725号、p.29-36
- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F 9/38  
G06F 9/46