

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3843325号
(P3843325)

(45) 発行日 平成18年11月8日(2006.11.8)

(24) 登録日 平成18年8月25日(2006.8.25)

(51) Int. Cl.		F I			
H03K	5/08	(2006.01)	H03K	5/08	T
A61B	5/00	(2006.01)	A61B	5/00	C
A61B	5/022	(2006.01)	A61B	5/02	333C

請求項の数 1 (全 7 頁)

<p>(21) 出願番号 特願2004-73963 (P2004-73963)</p> <p>(22) 出願日 平成16年3月16日 (2004.3.16)</p> <p>(65) 公開番号 特開2005-268854 (P2005-268854A)</p> <p>(43) 公開日 平成17年9月29日 (2005.9.29)</p> <p>審査請求日 平成16年3月16日 (2004.3.16)</p> <p>特許法第30条第1項適用 平成15年9月18日 電気関係学会九州支部連合会発行の「電気関係学会九州支部第56回連合大会講演論文集」に発表</p>	<p>(73) 特許権者 504159235 国立大学法人 熊本大学 熊本県熊本市黒髪二丁目39番1号</p> <p>(74) 代理人 100072051 弁理士 杉村 興作</p> <p>(72) 発明者 井上 高宏 熊本県菊池郡菊陽町津久礼4220-16</p> <p>審査官 石田 勝</p>
--	---

最終頁に続く

(54) 【発明の名称】 信号抽出回路

(57) 【特許請求の範囲】

【請求項1】

複数のインバータを有する電圧コンパレータ回路と、
前記電圧コンパレータ回路の動作点電圧を設定する動作点設定回路と、
前記動作点電圧と、センサによって検出された信号との和又は差を取る加算又は減算回路と、

前記センサによって検出された信号から直流又は低周波オフセット電圧成分を抽出し、
前記直流又は低周波オフセット電圧成分を、前記直流又は低周波オフセット電圧成分を除去する向きで前記加算又は減算回路からの出力に加算し、前記直流又は低周波オフセット電圧成分と前記加算又は減算回路からの出力との加算結果を、前記電圧コンパレータ回路に出力するオフセット除去回路とを具備することを特徴とする信号抽出回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、雑音信号及びスパイクパルス信号が重畳した信号（例えば、呼吸パルス信号、心拍パルス信号、心電パルス信号）に対し、雑音信号を抑制し、高レベルのスパイクパルス信号のみを抽出する信号抽出回路に関する。

【背景技術】

【0002】

従来、電圧コンパレータ回路を基本回路とする信号抽出回路（例えば、血圧信号検出回

20

路)では、コンパレータは単に平均信号と瞬時信号を比較してR波の到来時間を特定するのに用いられている(例えば、特許文献1参照)。

【特許文献1】特開昭61-68027号公報(第5頁右上欄第13行~左下欄第2行、第3図)

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の電圧コンパレータ回路では、回路を集積化するとデバイスの製造偏差、温度変化、経年変化又は入力信号のオフセットのために、信号を比較弁別するための動作点が設計値からずれ、正常な動作ができなくなるおそれがある。

10

【0004】

本発明の目的は、信号抽出回路が集積されるデバイスの製造偏差、温度変化、経年変化又は入力信号のオフセットに起因する信号抽出装置の動作の不都合を軽減することができる信号抽出回路を提供することである。

【課題を解決するための手段】

【0005】

本発明による信号抽出回路は、
複数のインバータを有する電圧コンパレータ回路と、
前記電圧コンパレータ回路の動作点電圧を設定する動作点設定回路と、
前記動作点電圧と、センサによって検出された信号との和又は差を取る加算又は減算回路と、

20

前記センサによって検出された信号から直流又は低周波オフセット電圧成分を抽出し、前記直流又は低周波オフセット電圧成分を、前記直流又は低周波オフセット電圧成分を除去する向きで前記加算又は減算回路からの出力に加算し、前記直流又は低周波オフセット電圧成分と前記加算又は減算回路からの出力との加算結果を、前記電圧コンパレータ回路に出力するオフセット除去回路とを具えることを特徴とする。

【発明の効果】

【0006】

本発明によれば、電圧コンパレータ回路の強い非線形特性を利用して、低レベルの雑音を振幅圧縮操作によってレベル抑圧するとともに、スパイクパルス信号が振幅伸張操作によりレベル拡大して、高レベルのスパイクパルス信号のみを抽出する処理を実現する。

30

【0007】

かかる操作を電圧コンパレータ回路によって実現するためには、センサによって検出された信号の適切な増幅と、電圧コンパレータ回路のしきい値電圧の適切な設定が必要となるが、信号抽出回路が集積されるデバイスの製造偏差や温度変動を予め予測することが不可能であり、かつ、信号抽出回路をデバイスに実装した後には特性のトリミングが不可能であるため、製造時の素子値のばらつきや温度変化を自動的に自己補償する必要がある。

【0008】

本発明においては、電圧コンパレータ回路の適切な動作点電圧を自動設定し、センサによって検出された信号から直流又は低周波オフセット電圧成分を抽出し、直流又は低周波オフセット電圧成分を、前記直流又は低周波オフセット電圧成分を除去する向きで加算又は減算回路からの出力に加算し、直流又は低周波オフセット電圧成分と加算又は減算回路からの出力との加算結果を、電圧コンパレータ回路に出力することによって、信号抽出回路が集積されるデバイスの製造偏差、温度変化、経年変化又は入力信号のオフセットに起因する信号抽出装置の動作の不都合を軽減することができる。

40

【発明を実施するための最良の形態】

【0009】

本発明による信号抽出回路の実施の形態を、図面を参照して詳細に説明する。

図1は、本発明による信号波形抽出回路の実施の形態の一例を示す図である。この信号波形抽出回路は、例えば、生体埋め込み用超小型スマートチップ内にセンサと一緒に実装

50

でき、マイクロ圧力センサからの心拍パルス信号又は心電パルス信号のみを抽出し、動作点電圧発生回路1と、増幅器2と、減算回路3と、オフセット除去回路4と、3段逆相コンパレータ5とを具える。

【0010】

動作点電圧発生回路1は、2個のMOSトランジスタM11, M12を有し、減算回路3は、4個のMOSトランジスタM7, M8, M9, M10を有し、オフセット除去回路4は、2個のキャパシタ C_F , C_S と、互いに重なり合わない2相クロック ϕ_1 , ϕ_2 で駆動される4個のCMOSアナログスイッチS1, S2, S3, S4とを有し、3段逆相コンパレータ回路5は、6個のMOSトランジスタM1, M2, M3, M4, M5, M6を有する。

10

【0011】

本実施の形態において、MOSトランジスタM1, M3, M5, M11は、同一のデバイス寸法を有し、互いに整合するように設計され、MOSトランジスタM2, M4, M6, M12は、同一のデバイス寸法を有し、互いに整合するように設計される。その結果、MOSトランジスタM1, M2; M3, M4; M5, M6; M11, M12の各トランジスタ対で構成される4個のインバータは、同一のバイアス電圧 V_B の下で整合した特性を有するようになる。したがって、後に詳しく説明するように、動作点電圧発生回路1で発生した直流電圧 V_Q は、後段の3段逆相コンパレータ回路5の第1段目のインバータ(MOSトランジスタM1, M2のトランジスタ対)の動作点(バイアス点)を自動設定することができる。

20

【0012】

また、オフセット除去回路4は、スイッチトキャパシタ技術で構成された低域通過フィルタであり、後に説明するセンサ信号を増幅した差動増幅器の出力 V_{sig} に含まれるオフセット信号(低周波同相信号)を抽出し、それを、減算回路3から出力される V_{out} ($=V_Q - V_{sig}$)に加算することによって、オフセット成分を除去する役割を果たしている。このようにして、3段逆相コンパレータ回路5の入力には、オフセット成分が除去された正味の V_{sig} の振動成分が動作点 V_Q の位置で印加され、3段逆相コンパレータ回路5で設定されたレベルを下回る信号成分のみが上向きパルスとして検出される。

【0013】

図2は、図1の増幅器の等価回路の一例を示す図である。この場合、増幅器2は、8個のMOSトランジスタM13, M14, M15, M16, M17, M18, M19, M20を有する。増幅器2としては低利得の増幅器を実現するため、入力 V_X をMOSトランジスタM13のソース・ゲート間電圧 $V_{DD} - V_{B1}$ だけレベルシフトしてMOSトランジスタM16のゲートに印加し、MOSトランジスタM16で電圧-電流変換して、MOSトランジスタM15, M17, M18からなる電流ミラーでA倍の増幅度を取得し、MOSトランジスタM19, M20からなるMOS抵抗によって電流-電圧変換して、A倍の電圧増幅器を実現している。

30

【0014】

図3は、図1の信号抽出回路に適用される圧力センサ及び差動増幅器の一例を示す図である。この場合、圧力センサ11は、ピエゾ抵抗11a, 11cと抵抗11b, 11dを有し、圧力センサ11によって検出されたセンサ信号 V_{sen} は、差動増幅器12によって増幅され V_{sig} が出力される。

40

【0015】

図4は、バイアス電圧発生回路を示す図である。このバイアス電圧発生回路は、2個のダイオード21, 22と、MOSトランジスタM21とを具え、図1の3段逆相コンパレータ回路5の(pチャンネル)MOSトランジスタM1, M3, M5と同図の動作点電圧発生回路の(pチャンネル)MOSトランジスタM11に必要なバイアス電圧 V_B 及び図2の増幅器2の(pチャンネル)MOSトランジスタM13に必要なバイアス電圧 V_{B1} を発生する。

【0016】

50

図5は、図1の3段逆相コンパレータ回路5の動作点の自動設定を説明するための図である。図5において、 V_{in} 、 V_{out} はそれぞれ、3段逆相コンパレータ回路5の入力電圧及び各インバータの出力電圧を表す。 $V_{out} = V_{in} / 2$ の特性線は、MOSトランジスタM11、M12(図1)のインバータにおいてその出力をA(この場合、2)倍に増幅して帰還した特性を示している。このように増幅器2(図1)を通じてMOSトランジスタM11、M12(図1)のインバータに帰還をかけると、MOSトランジスタM1、M2(図1)の1段目インバータ、MOSトランジスタM3、M4(図1)の2段目インバータ、及びMOSトランジスタM5、M6(図1)の3段目インバータの出力はそれぞれ、 $V_{out} = V_{in} / A$ の特性線と1段目インバータの出力特性曲線との交点で決まる $V_{in} = V_Q$ の位置に入力動作点が自動的に設定される。

10

【0017】

図5の場合、3段逆相コンパレータ回路5(図1)の動作点を、そのしきい値の少し右の V_{out} が低レベルの位置に設定している。動作点をしきい値の少し左の V_{out} の高レベルの位置に設定したい場合、増幅器2(図1)の代わりに減衰器を使用する。この場合には、3段逆相コンパレータ回路5で設定されたレベルを上回る信号成分のみが下向きパルスとして検出される。

【0018】

図6A~Fは、図1の信号抽出回路をマウスの生体用心拍センサに適用した場合の電圧 V_x 、 V_Q 、 V_{sig} 、 V'_{out} 、 V_{os} 、 V_{out} の波形図をそれぞれ示す。電圧 V_{os} (図6E)の波形からわかるように、オフセット除去回路4(図1)は30ミリ秒程度でオフセットの変化に対応できることがわかる。また、電圧 V_{sig} (図6C)の波形と電圧 V_{out} (図6F)の波形とを比較すると、実際のマウスの心音波形である電圧 V_{sig} (図6C)中のスパイク信号(心音スパイク信号)がほぼ忠実に検出されていることがわかる。

20

【0019】

図7は、図6Fに示す電圧 V_{out} の波形をFFT解析した結果を示す図である。図7において、マウスの心音である12Hzのスペクトルが捕らえられていることがわかる。元の信号に対応する電圧 V_{sig} を直接FFT解析しても上記スペクトルを捕らえることができないため、図1に示すような本発明による信号抽出回路がスパイクパルス信号を抽出するのに非常に有効であることがわかる。

30

【0020】

なお、図1に示すような本発明による信号抽出回路によれば、電源電圧 V_{DD} が3Vであれば動作することができ、この場合の消費電力が750 μ Wであるため、低電圧低消費電力の信号抽出回路を構成することができる。

【0021】

本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。

例えば、動作点電圧発生回路、増幅器、減算回路、オフセット除去回路及び3段逆相コンパレータ回路は、他の構成をとることもでき、3段逆相コンパレータの代わりに任意の複数段数の多段コンパレータ回路を用いることもできる。

40

【産業上の利用可能性】

【0022】

生体用心拍センサ、衝撃パルス信号センサ、光パルス信号センサ、音響エコーパルス信号センサ等の低レベル雑音信号が重畳したスパイクパルス信号から高レベルのスパイクパルス信号のみを抽出する処理を必要とする電子装置。

【図面の簡単な説明】

【0023】

【図1】本発明による信号波形抽出回路の実施の形態の一例を示す図である。

【図2】図1の増幅器2の等価回路の一例を示す図である。

【図3】図1の信号抽出回路に適用される圧力センサ及び差動増幅器の一例を示す図であ

50

る。

【図4】バイアス電圧発生回路を示す図である。

【図5】図1の3段逆相コンパレータ回路5の入力動作点の自動設定を説明するための図である。

【図6】図1の信号抽出回路をマウスの生体用心拍センサに適用した場合の電圧 V_x , V_Q , V_{sig} , V'_{out} , V_{OS} , V_{out} の波形図である。

【図7】図6Fに示す電圧 V_{out} の波形をFFT解析した結果を示す図である。

【符号の説明】

【0024】

- 1 動作点電圧発生回路
- 2 増幅器
- 3 減算回路
- 4 オフセット除去回路
- 5 3段逆相コンパレータ回路

10

- 11 圧力センサ
- 11a, 11c ピエゾ抵抗
- 11b, 11d 抵抗
- 12 差動増幅器

C_F , C_S キャパシタ

M1, M2, M3, M4, M5, M6, M7, M8, M9, M10, M11, M12, M13, M14, M15, M16, M17, M18, M19, M20, M21 MOSトランジスタ

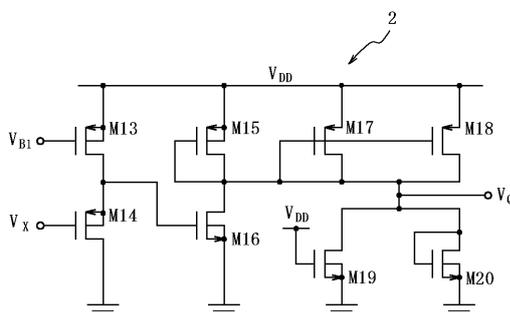
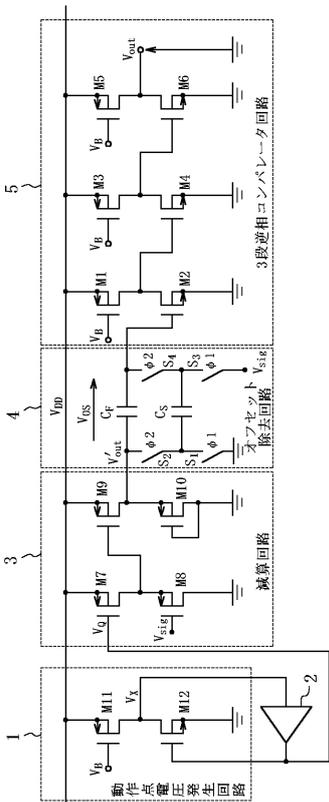
20

S1, S2, S3, S4 CMOSアナログスイッチ

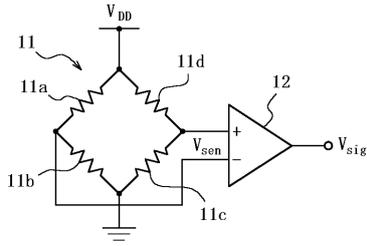
1, 2 2相クロック

【図1】

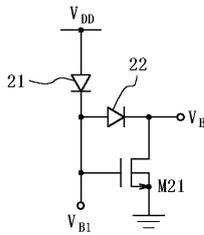
【図2】



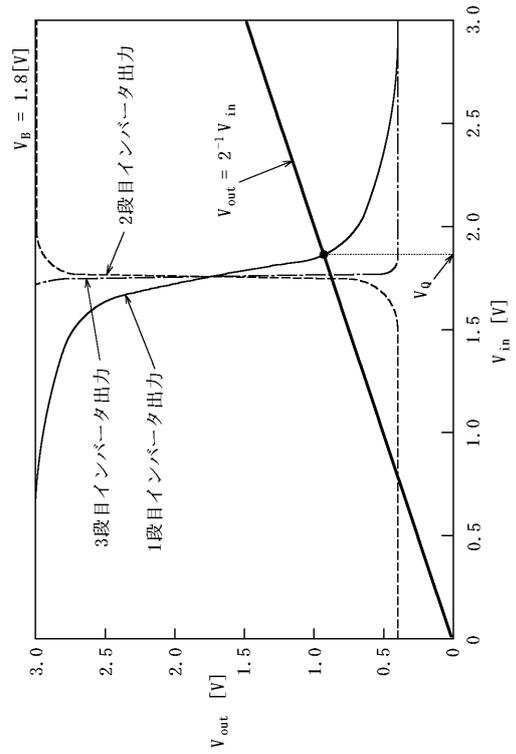
【図3】



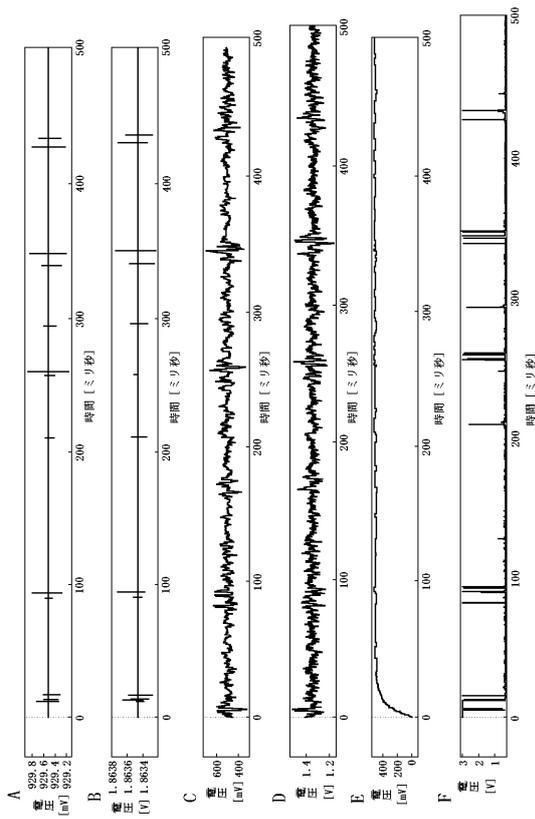
【図4】



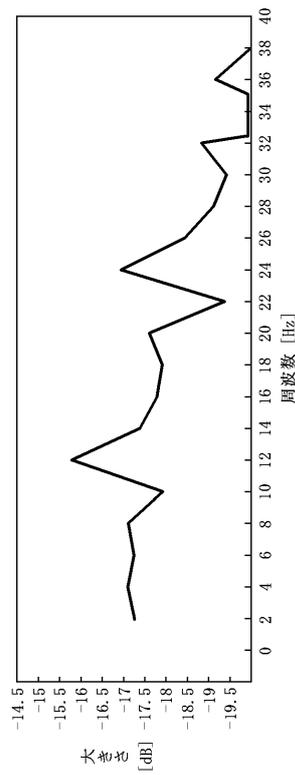
【図5】



【図6】



【図7】



フロントページの続き

- (56)参考文献 特開平04 - 223613 (JP, A)
特開平06 - 224758 (JP, A)
特開平07 - 058641 (JP, A)
特開2003 - 188729 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00 - 5/02@Z ; 5/08 - 5/12 ; 5/15 - 5/26@Z
H03K 3/26 - 3/36