

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4771329号  
(P4771329)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int. Cl.		F I	
<b>GO 1 L</b>	<b>1/14</b>	<b>(2006.01)</b>	GO 1 L 1/14 K
<b>GO 1 P</b>	<b>15/125</b>	<b>(2006.01)</b>	GO 1 P 15/125 Z
<b>HO 1 L</b>	<b>29/84</b>	<b>(2006.01)</b>	HO 1 L 29/84 C
<b>GO 1 P</b>	<b>15/08</b>	<b>(2006.01)</b>	GO 1 P 15/08 Z

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2005-262560 (P2005-262560)	(73) 特許権者	399030060
(22) 出願日	平成17年9月9日(2005.9.9)		学校法人 関西大学
(65) 公開番号	特開2007-71846 (P2007-71846A)		大阪府吹田市山手町3丁目3番35号
(43) 公開日	平成19年3月22日(2007.3.22)	(74) 代理人	100100158
審査請求日	平成20年8月29日(2008.8.29)		弁理士 鮫島 睦
特許法第30条第1項適用	平成17年3月10日(社)	(74) 代理人	100068526
電気学会主催の電気学会研究会	マイクロマシン・センサシステム研究会において文書をもって発表		弁理士 田村 恭生
		(74) 代理人	100091465
			弁理士 石井 久夫
		(73) 特許権者	509071437
			株式会社M. T. C
			神奈川県横浜市旭区若葉台四丁目24番1302号
		(74) 代理人	100100158
			弁理士 鮫島 睦

最終頁に続く

(54) 【発明の名称】 静電容量型センサとその製造方法

(57) 【特許請求の範囲】

【請求項1】

対向する2つの主面を有し、その一方の面に第1導電型のソース領域と第1導電型のドレイン領域が所定の間隔で設けられ、前記ソース領域と前記ドレイン領域の間に位置する第2導電型の領域をチャンネル領域とする基板と、

前記チャンネル領域に対向するゲート電極板とを備え、

前記ゲート電極板は、第2導電型シリコン単結晶からなりかつ前記チャンネル領域の表面に平行な一方向に移動可能に設けられており、前記チャンネル領域と前記ゲート電極板との対向面積の変化に基づいて前記ゲート電極板に加えられた力を検出することを特徴とする静電容量型センサ。

【請求項2】

前記ゲート電極板は、前記一方向に直交する長軸を有し前記一方の面と所定の間隔を隔てて前記一方の面に平行に設けられた2つの支持梁によって支えられており、前記2つの支持梁はそれぞれ両端が前記一方の面に固体されている請求項1記載の静電容量型センサ。

【請求項3】

前記一方の面において、前記ソース領域及び前記ドレイン領域とは別に、第1導電型の第2ソース領域と第1導電型の第2ドレイン領域が所定の間隔で設けられて前記第2ソース領域と前記第2ドレイン領域の間に第2導電型の第2チャンネル領域が形成され、その第2チャンネル領域に対向する第2ゲート電極板がさらに設けられ、

前記第2ゲート電極板は、第2導電型シリコン単結晶からなりかつ前記一方の面に平行でかつ前記一方向と直交する方向に移動可能に設けられており、前記第2チャンネル領域と前記第2ゲート電極板との対向面積の変位に基づいて前記第2ゲート電極板に加えられた力を検出する請求項1又は2に記載の静電容量型センサ。

【請求項4】

前記第2ゲート電極板は、前記一方向に長軸を有し前記一方の面と所定の間隔を隔てて前記一方の面に平行に設けられた2つの第2支持梁によって支えられており、前記2つの第2支持梁はそれぞれ両端が前記一方の面に固体されている請求項3記載の静電容量型センサ。

【請求項5】

前記一方の面において、さらに第1導電型の第3ソース領域と第1導電型の第3ドレイン領域が所定の間隔で設けられて前記第3ソース領域と前記第3ドレイン領域の間に第2導電型の第3チャンネル領域が設けられて、その第3チャンネル領域に対向する第3ゲート電極板をさらに有し、

前記第3ゲート電極板は、第2導電型シリコン単結晶からなりかつ前記第3チャンネル領域と前記第3ゲート電極板の間隔の変化に基づいて前記第3ゲート電極板に加えられた力を検出する請求項1～4のうちのいずれか1つに記載の静電容量型センサ。

【請求項6】

対向する2つの主面を有し、その一方の面に第1導電型のソース領域と第1導電型のドレイン領域が所定の間隔で設けられ、前記ソース領域と前記ドレイン領域の間に位置する第2導電型の領域をチャンネル領域とする基板と、

前記チャンネル領域に所定の間隔を隔てて対向するゲート電極板とを備え、

前記ゲート電極板は第2導電型シリコン単結晶からなり、前記チャンネル領域と前記ゲート電極板の間隔の変化に基づいて前記ゲート電極板に加えられた力を検出することを特徴とする静電容量型センサ。

【請求項7】

第1導電型のソース領域と第1導電型のドレイン領域の間にチャンネル領域を有する基板と、前記チャンネル領域に対向するゲート電極板とを備えた静電容量型センサの製造方法であって、

第2導電型シリコン基板上に絶縁層を介して第2導電型単結晶シリコン層を有するSOI基板において、前記第2導電型単結晶シリコン層をエッチングして前記ゲート電極板と該ゲート電極板の固定部となる部分を残して前記第2導電型単結晶シリコン層を除去する工程と、

前記ゲート電極板となる部分の両側の絶縁層を除去してその除去した部分に不純物を注入して、前記ソース領域と前記ドレイン領域を形成する工程と、

前記ゲート電極板となる部分の下にある絶縁膜を除去する工程と、

を含むことを特徴とする静電容量型センサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電容量型センサに関する。

【背景技術】

【0002】

静電容量型センサは圧力センサや加速度センサ等に広く用いられている。この静電容量型センサは2つの電極の一方を固定し、他方を圧力を受けることにより位置が変化する可動式として、その電極間の距離によって電極間の静電容量が変化することを利用したものである。

【0003】

この方法の問題点として、コンデンサに蓄積される電荷量を決定する誘電率が低いこと

10

20

30

40

50

が上げられる。これは電極間を可変とするために真空または空気などの誘電率の低い気体を用いなければならないためである。従って、感度の向上を行うためには電極面積を大きくしなければならない。これは素子面積の増加につながり、作製上の歩留まりの低下や小型化の妨げの要因となる。この問題を解決するためには素子に信号増幅機能を持たせることが考えられ、その一つの方法として電界効果トランジスタ(FET)を利用した静電容量圧力センサがある(非特許文献1)。

【非特許文献1】S. Buschnakowski, A. Bertz, W. Brauer, S. Heinz, R. Schuberth, G. Ebest and T. Gessner: "DEVELOPMENT AND CHARACTERISATION OF A HIGH ASPECT RATIO VERTICAL FET SENSOR FOR MOTION DETECTION" TRANSDUCERS '03, Boston, June 8-12, 2003, p. 1391-1394.

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、非特許文献1に開示された静電容量型センサは、一方向に加わった圧力や一方向に受けた加速度を高い感度で検出することは可能であるが、縦型の構造であることから、構造が複雑で製造工程が複雑になるという問題があった。

また、非特許文献1に開示された静電容量型センサは、一方向に加わった圧力や一方向に受けた加速度を高い感度で検出することは可能であるが、2以上の方向の圧力や加速度は検出することが出来ないという問題があった。

【0005】

20

そこで、本発明は、構造が簡単でかつ製造が容易な静電容量型センサを提供することを第1の目的とする。

また、本発明は、高い感度で、2以上の方向の圧力や加速度は検出することができる静電容量型センサを提供することを第2の目的とする。

【課題を解決するための手段】

【0006】

以上の上記第1の目的を達成するために、本発明に係る第1の静電容量型センサは、対向する2つの主面を有し、その一方の面に第1導電型のソース領域と第1導電型のドレイン領域が所定の間隔で設けられ、前記ソース領域と前記ドレイン領域の間に位置する第2導電型の領域をチャンネル領域とする基板と、前記チャンネル領域に対向するゲート電極板とを備え、前記ゲート電極板は、第2導電型シリコン単結晶からなりかつ前記チャンネル領域の表面に平行な一方向に移動可能に設けられており、前記チャンネル領域と前記ゲート電極板との対向面積の変化に基づいて前記ゲート電極板に加えられた力を検出することを特徴とする。

30

【0007】

また、上記第1の目的を達成するために、本発明に係る第2の静電容量型センサは、対向する2つの主面を有し、その一方の面に第1導電型のソース領域と第1導電型のドレイン領域が所定の間隔で設けられ、前記ソース領域と前記ドレイン領域の間に位置する第2導電型の領域をチャンネル領域とする基板と、前記チャンネル領域に所定の間隔を隔てて対向するゲート電極板とを備え、前記ゲート電極板は第2導電型シリコン単結晶からなり  
前記チャンネル領域と前記ゲート電極板の間隔の変化に基づいて前記ゲート電極板に加えられた力を検出することを特徴とする。

40

【0008】

さらに、上記第2の目的を達成するための本発明に係る静電容量型センサは、異なる方向に加えられた力を検出することができる上記第1の静電容量型センサを2つ備えていること、又は上記第1の静電容量型センサと第2の静電容量型センサとを備えることを特徴とする。

【発明の効果】

【0009】

以上のように構成された本発明に係る第1及び第2の静電容量型センサによれば、構造

50

が簡単でかつ製造が容易な静電容量型センサを提供することができる。

また、異なる方向に加えられた力を検出することができる上記第1の静電容量型センサを2つ備えるか、又は上記第1の静電容量型センサと第2の静電容量型センサとを備えることにより、2以上の方向の圧力や加速度を検出することができる静電容量型センサを提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明に係る実施の形態の静電容量型センサについて説明する。

この実施の形態の静電容量型センサでは、例えば、p型シリコン基板の上に、基板に垂直な方向であるz方向の圧力又は加速度を検出する検出部100zと、基板に平行な一方

10

【0011】

本実施の形態の静電容量型センサにおいて、検出部100x~100zはそれぞれ、p型シリコン基板10の一方の面に形成されたn型のドレイン領域とn型のソース領域と、ドレイン領域とn型のソース領域の間のチャンネル領域の上に検出すべき方向に移動可能に設けられた可動ゲート電極板とを含んでおり、その可動ゲート電極板の変位に伴うゲート容量の変化に基づいて可動ゲート電極板に加わった圧力又は加速度を検出するように構成されている。

【0012】

20

以下、本発明に係る実施の形態の静電容量型センサについてより詳細に説明する。

実施の形態の静電容量型センサにおいて、検出部100xは、p型シリコン基板10の一方の面に所定の間隔を隔てて設けられたn型のドレイン領域4xとn型のソース領域5xと、そのドレイン領域4xとソース領域5xの間の領域であるチャンネル領域6xの上方にx方向に移動可能に設けられた可動ゲート電極板1xを含んで構成されている。

【0013】

この可動ゲート電極板1xは、該ゲート電極板1がx方向の力を受けたときにその受け力に応じた距離だけx方向に位置が変位するように、それぞれ一方に長い柱状の梁である2つの支持梁2xによって保持されている。この2つの支持梁2xは、x方向に直交するy方向に長軸が一致するように設けられており、その一方にはその中央部に可動ゲート電極板1xの一边が連結され、他方にはその中央部に可動ゲート電極板1xの上記一边に対向する辺が連結されている。

30

【0014】

そして、支持梁2xの各端部には、支持梁2xを持ち上げて固定する柱状の固定部3xが設けられている。このようにして、2つの支持梁2xと可動ゲート電極板1xとが中空で保持され、ゲート電極板1xがx方向の力を受けたときにその受け力に応じて支持梁2xが弾性変形して、可動ゲート電極板1xは受け力に応じた距離だけx方向に位置が変位する。

【0015】

ここで、検出部100xにおいて、ゲート電極板1xに所定のゲート電圧を印加するためのゲート電源回路との接続は、可動ゲート電極板1xの変位を阻害しないように、例えば、支持梁2xの両端で行われる。

40

【0016】

また、検出部100yは、各構成部が検出部100xにおける配置を90度回転させた配置となるように設けられている他は検出部100xと同様の構成を有している。

尚、検出部100yにおいて、検出部100xと同様の要素には、同様の番号を付して示し、添え字としてyを付して示している。

【0017】

以上のように構成された検出部100yにおいて、2つの支持梁2yと可動ゲート電極板1yとが中空で保持され、ゲート電極板1yがx方向の力を受けたときにその受け力

50

に応じて支持梁 2 y が弾性変形して、可動ゲート電極板 1 y は受けた力に応じた距離だけ y 方向に位置が変位する。

【 0 0 1 8 】

実施の形態の静電容量型センサにおいて、検出部 1 0 0 z は、p 型シリコン基板 1 0 の一方の面に所定の間隔を隔てて設けられた n 型のドレイン領域 4 z と n 型のソース領域 5 z と、そのドレイン領域 4 z とソース領域 5 z の間の領域であるチャンネル領域 6 z に所定の間隔を隔てて対向しその間隔が z 方向に加わった力に応じて変化するように設けられた可動ゲート電極板 1 z を含んで構成されている。

【 0 0 1 9 】

この可動ゲート電極板 1 z は、一端が固定部 3 z に一体的に連結されて保持された両端固定のダイヤフラム構造になっており、ゲート電極板 1 z が z 方向の力を受けたときにその受けた力に応じた距離だけ他端が z 方向に変位するようになっている。

10

【 0 0 2 0 】

ここで、検出部 1 0 0 z において、ゲート電極板 1 z に所定のゲート電圧を印加するためのゲート電源回路との接続は、可動ゲート電極板 1 z の変位を阻害しないように、例えば、固定部 3 z 上で行われる。

【 0 0 2 1 】

以上のように構成された検出部 1 0 0 z において、両端固定のダイヤフラム構造のゲート電極板 1 z が z 方向の力を受けたときにその受けた力に応じてゲート電極板 1 z が弾性変形して、可動ゲート電極板 1 z が受けた力に応じた距離だけ z 方向に変位し、その結果、チャンネル領域 6 z と可動ゲート電極板 1 z の間隔が z 方向に加わった力に応じて変化する。

20

【 0 0 2 2 】

以下、本実施の形態の静電容量型センサの動作について説明する。

ここでは、まず、電界効果トランジスタの動作原理を、n チャンネル MOS F E T を例に簡単に述べる。この MOS F E T は、シリコン層の上に酸化膜を挟みゲート電極を配置し、これによってシリコン内に形成したソース・ドレイン領域間に流れる電流を制御するものである。この構造においてゲート電極、酸化膜、シリコン層の積層構造がコンデンサの様に振る舞う。まず、ゲート電極に電圧が印加されていない場合、ゲート直下の半導体層は p 型で有るため n + 型のソース、p 型シリコン、n + ドレインとなり、ソース・ドレイン間に電流は流れない。次にゲート電極に正電荷を印加すると、ゲート部のコンデンサ構造によってゲート電極には正電荷(ホール)が蓄積される。これに伴い、シリコン領域の酸化膜界面付近に負電荷である電子が誘起される。誘起された電子の密度が p 型シリコンの多数キャリアであるホールの密度を超えると半導体層の性質が逆転し n 型となる。これを反転層といい、反転層が形成されることによって n + 型であるソース・ドレインが導通し、電流が流れる。

30

【 0 0 2 3 】

このときのドレイン電流の特性を図 2 に示す。この図 2 から判る様に MOS F E T においてドレイン電流はあるゲート電圧においてドレイン電圧の増加に伴い、急激に増加した後飽和する特性を示す。また、その電流量はゲート電圧の 2 乗に比例する。ドレイン電流が飽和するバイアス領域を飽和領域といい、この領域におけるドレイン電流  $I_D$  は式 ( 1 ) で表される。

40

【 0 0 2 4 】

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_G - V_t)^2 \quad \text{式 (1)}$$

【 0 0 2 5 】

ここで、 $\mu$  は移動度、L はゲート長、W はゲート幅、 $V_G$  はゲート電圧、 $V_t$  はしきい値電圧である。また、 $C_{ox}$  は酸化膜の単位面積あたりの容量であり、 $C_{ox} = \epsilon_r \cdot \epsilon_0 A / t_{ox}$  ( $\epsilon_r$ : 比誘電率、 $\epsilon_0$ : 真空の誘電率、A: 面積、 $t_{ox}$ : 酸化膜の厚さ) で

50

ある。

【0026】

以上が一般的なMOSFETの動作原理であるが、本発明では、加えられる力に応じてチャンネル領域に対する相対位置が変化する可動ゲート電極板を用いて、以下のようにして圧力又は加速度を検出している。

【0027】

まず、基板に平行な方向に加わる力を検出する検出器100x, 100yでは、可動ゲート電極板1x, 1yの変位により、図3に示すようにゲート幅Wが変化するので、ドレイン電流IDが変化する。このとき、式(1)における、移動度 $\mu$ 、ゲート長L、単位容量 $C_x$ 及びしきい値電圧 $V_t$ は変化することはないと考えられるので、一定のゲート電圧 $V_g$ の下でのドレイン電流IDの変化は、ゲート幅Wの変化によるものと考えてもよい。また、支持梁2x, 2yの加わった力に対する弾性変位量は、支持梁22x, 2yのヤング率及び支持梁2x, 2yの長さや断面形状等の構造パラメータ等により容易に求めることができる。従って、検出器100x, 100yによりそれぞれ、x方向及びy方向に加えられた圧力又は加速度を検出することが可能となる。

10

【0028】

また、基板に垂直な方向(z方向)に加わる力を検出する検出器100zでは、可動ゲート電極板1zの変位により、チャンネル領域6zと可動ゲート電極板1zの間隔が変化するので、式(1)における単位容量 $C_x$ が変化して、ドレイン電流IDが変化する。このとき、式(1)における、移動度 $\mu$ 、ゲート長L、ゲート幅W及びしきい値電圧 $V_t$ は変化することはないと考えられるので、一定のゲート電圧 $V_g$ の下でのドレイン電流IDの変化は、チャンネル領域6zと可動ゲート電極板1zの間隔の変化によるものと考えてもよい。また、ゲート電極板1zの加わった力に対する弾性変位量は、ゲート電極板1zのヤング率及びゲート電極板1zの長さや断面形状等の構造パラメータ等により容易に求めることができる。従って、検出器100zにより、z方向に加えられた圧力又は加速度を検出することが可能となる。

20

【0029】

尚、本実施の形態の静電容量型センサでは、可動ゲート電極板とチャンネル領域の間には、酸化膜に代えて空間があるので、単位容量 $C_x$ を求める式において、 $r$ は1、 $t_x$ は可動ゲート電極板とチャンネル領域表面の間隔とする必要がある。

30

【0030】

以上のように構成された本発明に係る実施の形態の静電容量型センサは、基板に垂直な方向であるz方向の圧力又は加速度を検出する検出部100zと、基板に平行な一方向であるx方向の圧力又は加速度を検出する検出部100xと、基板に平行でかつx方向に直交するy方向の圧力又は加速度を検出する検出部100yとを備えているので、加えられた圧力又は加速度のx成分、y成分及びz成分を検出することができ、加えられた圧力又は加速度の大きさと方向を特定することができる。

【0031】

また、本実施の形態の静電容量型センサは、ゲート電圧の2乗に比例するドレイン電流IDの変化に基づいて可動ゲート電極板に加わる力を検出しているため、印可するゲート電圧により検出した圧力変化を増幅して取り出すことができ感度の高い検出が可能である。また、ゲート電圧により検出感度を調整することが可能であり、圧力又は加速度の大きさに応じて適切な感度を設定することができ、精度の高い圧力又は加速度の検出が可能である。すなわち、測定する圧力又は加速度の範囲によってゲート電圧を適当な値とすることで高い感度を保ったまま、広い範囲の圧力又は加速度を検出することができる。

40

【0032】

さらに、従来の静電容量圧力センサにおける容量は、コンデンサを構成する対向電極間の面積に比例するのに対し、本実施の形態の静電容量型センサでは、式(1)から分かる様に、検出されるドレイン電流IDはゲート長に反比例し、ゲート幅に比例する。このことから、ゲート長を短くすることにより、圧力又は加速度を受けて変位する部分の面積を

50

縮小しつつ感度を向上することが可能となる。

従って、ゲート電圧で増幅して出力することが可能であることとあいまってさらなる小型化が可能である。

【0033】

以上のように構成された本実施の形態の静電容量型センサにおいて、検出器100x及び検出器100yが、z方向に加えられた力に対応してz方向に変化することがあるが、その場合は、検出器100zにより検出されたz方向に加えられた力に基づいて、検出器100x及び検出器100yにおけるz方向に加えられた力による影響を差し引いてx方向又はy方向に加えられた力のみを算出することが可能である。

【0034】

以下、本実施の形態の静電容量圧力センサの製造方法について説明する。

尚、以下の説明に用いる図4A～図4Lは、図1におけるA-A'線の断面を工程順に示したものである。

【0035】

まず、例えば、厚さが600 $\mu$ mのSOI基板を準備する。このSOI基板は、約510 $\mu$ mのp型シリコン基板の上に絶縁層である厚さ2 $\mu$ mのSiO<sub>2</sub>層12が形成され、そのSiO<sub>2</sub>層12の上に90 $\mu$ mの厚さのp型シリコン層11aが形成されている(図4A)。

尚、絶縁層であるSiO<sub>2</sub>層12は、埋め込み酸化膜を利用することができる。

【0036】

次に、p型シリコン層11aの表面に、アルミ膜13を形成して、所定のパターンにパターンニングされたレジスト膜14を用いてアルミ膜13をパターンニングする(図4B)。ここで、アルミ膜13は、検出部100zでは、可動ゲート電極板1zと固定部3zを合わせた平面形状、検出部100x, 100yでは、可動ゲート電極板1x, 1yと支持梁2x, 2yとを合わせた平面形状になるようにパターンニングされる。

【0037】

そして、パターンニングされたアルミ膜を用いて、例えば、ボッシュプロセスにより、p型シリコン層11aをエッチングする(図4C)。これにより、可動ゲート電極板1zと固定部3zとが一体化された部分、可動ゲート電極板1xと支持梁2xとが一体化された部分、可動ゲート電極板1yと支持梁2yとが一体化された部分を残してp型シリコン層11aが除去される(図4D)。

【0038】

このゲート加工のためのエッチングでは、垂直性に優れたエッチング形状を得るためにエッチングガスに酸素ガスを添加することが好ましい。エッチングガスの中に酸素ガスが含まれていない場合には、エッチング後の形状が上が広く下が狭い逆テーパ形状となり、かつマイクロマスクが原因と思われる針状のSi柱が多数発生する傾向にある。しかしながら、酸素ガスが添加されたエッチングガスを用いると、上下の幅の差が極めて小さい良好なエッチング形状が得られる。これは、酸素添加により、酸化による側壁のSi表面が保護されること、及び酸素ラジカルによりエッチング面がクリーニングされたことによるものと考えられる。

具体的には、例えば、SF<sub>6</sub>:100(sccm)、C<sub>4</sub>F<sub>8</sub>:0.5(sccm)、Ar:0.5(sccm)、O<sub>2</sub>:10(sccm)の割合で混合されたエッチングガスを用いると、上下の幅の差が極めて小さいゲート電極板が形成できる。

【0039】

次に、可動ゲート電極板1(x, y, z)の両側にソース領域5(x, y, z)とドレイン領域4(x, y, z)をイオン注入法によって形成する。このとき同時に、ゲート電極板1x, 1y, 1z(支持梁2x, 2y及び固定部3zを含む)に導電性を付与するためにイオン注入する。

【0040】

具体的には、レジスト15を用いてイオン注入をする領域の表面を露出させるために、

10

20

30

40

50

SiO<sub>2</sub>層12をパターンニングして(図4E)、例えば、リンなどのn型ドーパントをイオン注入する。これにより、n型のソース領域5(x, y, z)とn型のドレイン領域4(x, y, z)が形成される(図4F)。尚、図4Fにおいて、16の符号を付して示すものは、イオン注入時に、例えば表面を保護するためのイオン注入用の保護膜であり、基板10の表面を薄く酸化することにより形成される。

尚、ゲート部分を形成した後は、約100μmの段差があるために、スピンコートによるレジスト塗布は困難であるが、例えば、スプレー塗布によりレジストを形成することができる。

#### 【0041】

次に、所定の配線を行う。

まず、ソース領域5(x, y, z)、ドレイン領域4(x, y, z)及びゲート電極1とオーミック接続するオーミック電極41, 51, 31を形成するために、保護膜16の一部を除去してその除去した部分にソース領域5(x, y, z)、ドレイン領域4(x, y, z)及びゲート電極1の表面を露出させて(図4G)、その露出した部分にオーミック電極41, 51, 31を形成し、その後保護膜16等を除去する(図4H)。

#### 【0042】

そして、オーミック電極41, 51にそれぞれ接続されたアルミ配線42及び52を形成する(図4J)。

以上のようにして、SOI基板の上部のp型Si層がゲートとなり、埋め込み酸化膜がゲート酸化膜となるMOSFETが作製される。

#### 【0043】

本発明では、さらに、可動ゲート電極板1xと支持板2xの下にあるSiO<sub>2</sub>層12、可動ゲート電極板1yと支持板2yの下にあるSiO<sub>2</sub>層12、及び可動ゲート電極板1zの下にあるSiO<sub>2</sub>層12を、緩衝フッ酸によって除去することにより、図1に示す実施の形態の静電容量型センサが完成する。このSiO<sub>2</sub>層12を除去する際、支持板2xの両端及び支持板2yの両端を固定する固定部3x, 3yとなるSiO<sub>2</sub>層12と、固定部3zを基板に固定するためのSiO<sub>2</sub>層は除去されないようにすることで、各固定部を同時に形成することができる。

#### 【0044】

以上のような製造方法によれば、MOSFETの製造プロセスを利用して、最後に所定のSiO<sub>2</sub>層12を除去することで可動ゲート構造を持った実施の形態の静電容量型センサを容易に作製することができる。

#### 【0045】

ここで、例えば、検出器100x, 100y, 100zのゲート長及びゲート幅はそれぞれ、10~100μm、50~500μmの範囲に設定することができるが、本発明はこれに限られるものではない。

#### 【図面の簡単な説明】

#### 【0046】

【図1】本発明に係る実施の形態の静電型センサの構成を示す斜視図である。

【図2】MOS電界効果トランジスタのドレイン電圧に対するドレイン電流を示すグラフである。

【図3】実施の形態の静電容量型センサにおけるゲート幅Wの変化を模式的に示す平面図である。

【図4A】実施の形態の静電容量型センサの製造に用いるSOI基板の断面図である。

【図4B】実施の形態の静電容量型センサの製造過程において、ゲート電極板を形成するためのマスクを形成した後の断面図である。

【図4C】実施の形態の静電容量型センサの製造過程において、ゲート電極板を形成するためにエッチングをしている途中の断面図である。

【図4D】実施の形態の静電容量型センサの製造過程において、ゲート電極板を形成するためにエッチングを終了したときの断面図である。

10

20

30

40

50



【図 4 E】実施の形態の静電容量型センサの製造過程において、ドレイン領域とソース領域を形成するためにイオン注入用のマスクを形成した後の断面図である。

【図 4 F】実施の形態の静電容量型センサの製造過程において、ドレイン領域とソース領域をイオン注入により形成した後の断面図である。

【図 4 G】実施の形態の静電容量型センサの製造過程において、ドレイン電極とソース電極を形成するためのマスクを形成した後の断面図である。

【図 4 H】実施の形態の静電容量型センサの製造過程において、ドレイン電極とソース電極を形成した後の断面図である。

【図 4 I】実施の形態の静電容量型センサの製造過程において、ドレイン電極とソース電極に接続されたアルミ配線を形成した後の断面図である。

【図 4 J】実施の形態の静電容量型センサの製造過程において、ゲート電極板の下の SiO<sub>2</sub> 膜を形成した後の断面図である。

10

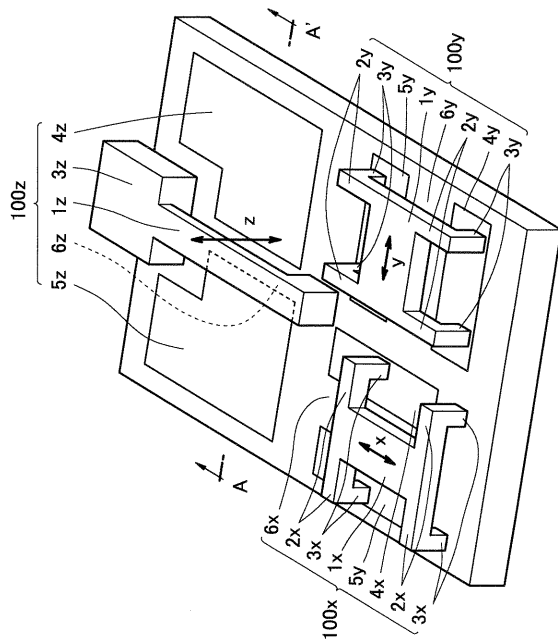
【符号の説明】

【 0 0 4 7 】

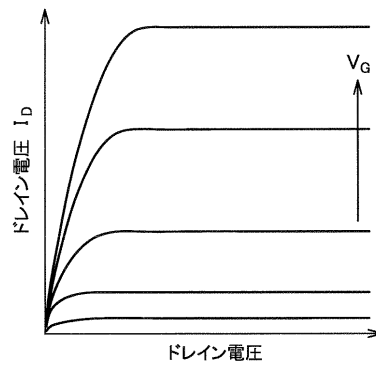
- 1 x , 1 y , 1 z : 可動ゲート電極板、
- 2 x , 2 y : 支持梁、
- 3 x , 3 y , 3 z : 固定部、
- 4 x , 4 y , 4 z : ドレイン領域、
- 5 x , 5 y , 5 z : ソース領域、
- 6 x , 6 y , 6 z : チャンネル領域。

20

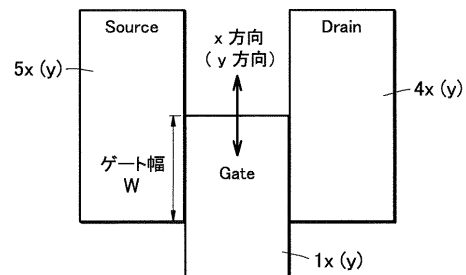
【 図 1 】



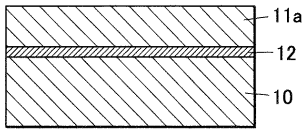
【 図 2 】



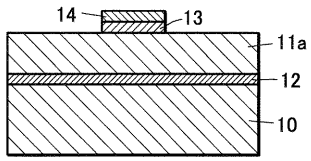
【 図 3 】



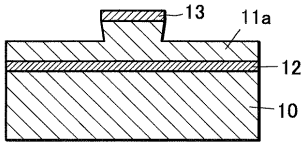
【 4 A 】



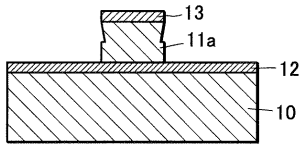
【 4 B 】



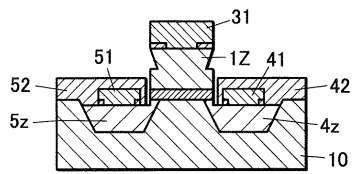
【 4 C 】



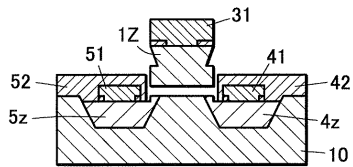
【 4 D 】



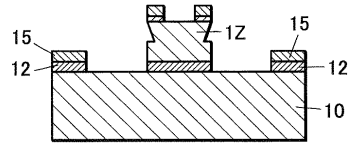
【 4 I 】



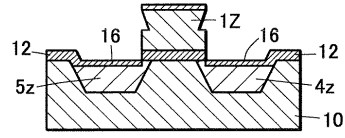
【 4 J 】



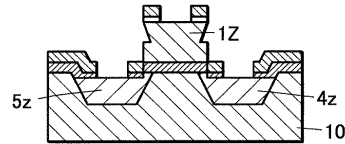
【 4 E 】



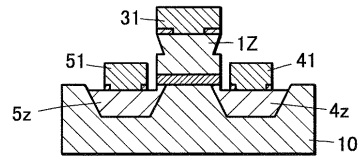
【 4 F 】



【 4 G 】



【 4 H 】



---

フロントページの続き

(74)代理人 100068526

弁理士 田村 恭生

(72)発明者 牧平 憲治

大阪府吹田市山手町3丁目3番35号 学校法人関西大学工学部内

(72)発明者 青柳 誠司

大阪府吹田市山手町3丁目3番35号 学校法人関西大学工学部内

審査官 田邊 英治

(56)参考文献 特開平07-307478(JP,A)

特開平06-207948(JP,A)

特開平07-253442(JP,A)

特開平10-178182(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01L 1/00 - 1/26

G01P 15/00 - 15/16

H01L 29/84