

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4892720号
(P4892720)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl. F I
G 1 1 C 15/04 (2006.01) G 1 1 C 15/04 6 0 1 W
 G 1 1 C 15/04 6 3 1 F

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2005-266250 (P2005-266250)	(73) 特許権者	504136568
(22) 出願日	平成17年9月14日 (2005. 9. 14)		国立大学法人広島大学
(65) 公開番号	特開2007-80375 (P2007-80375A)		広島県東広島市鏡山1丁目3番2号
(43) 公開日	平成19年3月29日 (2007. 3. 29)	(74) 代理人	100077931
審査請求日	平成20年7月18日 (2008. 7. 18)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 最小ユークリッド距離検索連想メモリ装置

(57) 【特許請求の範囲】

【請求項1】

検索データについて複数の参照データと並列に差の絶対値計算に基づくユークリッド距離の2乗を計算する距離計算回路と、前記ユークリッド距離の2乗の計算結果から最小距離の参照データを検索する検索回路とをメモリ上に形成してなる連想メモリ装置であって、

前記検索データおよび参照データがそれぞれkビット(k>1)単位でユニット化されている場合に、

前記距離計算回路は、

前記参照データをユニット単位で保存するためのW列R行のユニット保存回路と、

ユニット毎に参照データと検索データの差の絶対値計算を行うW列R行のユニット比較回路と、

行毎に前記W列のユニット比較回路で計算された差の絶対値の2乗の和に相当する電流または電圧信号を生成するR行のワード重み比較回路とを備える、ことを特徴とする最小ユークリッド距離検索連想メモリ装置。

【請求項2】

請求項1において、

前記R行のワード重み比較回路の各々は、

対応する行のユニット比較回路の各々に対応させて電流変換回路とアナログ2乗回路とが設けられており、

前記電流変換回路の各々は、
対応するユニット比較回路から出力されるデジタル信号をアナログ電流に変換するものであり、

前記アナログ2乗回路の各々は、
対応する電流変換回路からの出力電流を2乗して対応する行のマッチラインに出力するものである、

ことを特徴とする最小ユークリッド距離検索連想メモリ。

【請求項3】

請求項1において、

前記R行のワード重み比較回路の各々は、

対応する行のユニット比較回路の各々に対応させてデジタル2乗回路と電流変換回路とが設けられており、

前記デジタル2乗回路の各々は、

対応するユニット比較回路から出力されるデジタル信号を2乗するものであり、

前記電流変換回路の各々は、

対応するデジタル2乗回路から出力されるデジタル信号をアナログ電流に変換して対応する行のマッチラインに出力するものである、

ことを特徴とする最小ユークリッド距離検索連想メモリ。

【請求項4】

請求項1において、

前記距離計算回路および前記検索回路は半導体集積回路の同一チップ上に形成されている、

ことを特徴とする最小ユークリッド距離検索連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、カラー、グレースケールの画像圧縮、画像認識等の情報処理装置に用いられ、全並列処理による最小ユークリッド距離検索機能を有する連想メモリ装置に関する。

【背景技術】

【0002】

近年、情報処理技術、特に画像圧縮・画像認識の分野においては、最小距離検索機能を持つ連想メモリが注目されている。連想メモリは、知的情報処理で必要となる物体認識のためのパターンマッチングやコードブックと呼ばれるデータ群を利用したデータ圧縮に非常に有効である。連想メモリは、入力されたデータ列（検索データ）に対して連想メモリ内にある複数の参照データ中から最も類似した（距離の近い）データを検索する機能を持つ機能メモリの代表的なものの一つであり、その優れた検索機能により、先に述べた画像圧縮・画像認識などのパターンマッチング機能を有するアプリケーションにおいて、その性能を飛躍的に向上できるものとして期待されている。

【0003】

kビット×Wユニット幅R個の参照データから、入力データと最も似ているデータを見つけることはパターンマッチングにおいて基本的な処理である（非特許文献1）。ゆえに画像圧縮、画像認識などの情報処理には、最小距離検索連想メモリ（特許文献1）は中核を担う部分であるといえる。既存の全並列最小距離検索連想メモリとしては、単純な距離であるマンハッタン、ハミング距離の検索機能を持つものがそれぞれ提案されている。これらの距離は以下の数1で定義される（非特許文献2）。

【0004】

10

20

30

40

【数 1】

$$D = \sum_{i=1}^w |SW_i - REF_i|$$

【0005】

ここで、 $SW = \{SW_1, SW_2, \dots, SW_w\}$ は入力データ、 $REF = \{REF_1, REF_2, \dots, REF_w\}$ は参照データを表す。 SW_i と REF_i が 1 ビットの 2 進数である場合、 D はハミング距離となる。また、 SW_i と REF_i が k ビット ($k > 1$) の 2 進数であるときに、 D はマンハッタン距離となる。これまでに、全並列最小ハミング距離検索アーキテクチャ (非特許文献 2) や全並列最小マンハッタン距離検索アーキテクチャ (非特許文献 3、特許文献 2) が提案されてきている。

10

【0006】

しかし、いくつかのアプリケーションで使用されるアルゴリズムにおいては、距離指標としてユークリッド距離を適用することが望まれている。ユークリッド距離は数 2 で表されるものであり、ベクトル空間における 2 点間の距離を測定する尺度としてはマンハッタン距離よりも正確である。

【0007】

【数 2】

$$D = \sqrt{\sum_{i=1}^w (SW_i - REF_i)^2}$$

20

【特許文献 1】特開 2002 - 288985 号公報

【特許文献 2】特開 2005 - 209317 号公報

【特許文献 3】特開 2004 - 5825 号公報

【非特許文献 1】D. R. Tvetter, "The Pattern Recognition Basis of Artificial Intelligence," Los Alamitos, CA: IEEE computer society, 1998.

【非特許文献 2】H. J. Mattausch, T. Gyohten, Y. Soda, and T. Koide, "Compact Associative-Memory Architecture with Fully-Parallel Search Capability for the Minimum Hamming Distance," IEEE Journal of Solid-State Circuits, Vol. 37, pp. 218-227, 2002.

30

【非特許文献 3】H. J. Mattausch, N. Omori, S. Fukae, T. Koide and T. Gyohten, "Fully-Parallel Pattern-Matching Engine with Dynamic Adaptability to Hamming or Manhattan Distance," 2002 Symposium on VLSI Circuits Digest of Technical Papers, pp. 252-255, 2002.

【非特許文献 4】P. Heim, F. Krummenacher and E. A. Vittoz, "CMOS Full-wave Operational Transconductance Rectifier with Improved DC Transfer Characteristic," Electron. Lett., vol. 28, pp. 333-334, 1992.

【非特許文献 5】Y. Tulay and J. S. Marsland, "A Conic Section Function Network Synapse and Neuron Implementation in VLSI Hardware," IEEE Conf. Neural Networks, pp. 974-979, 1996.

40

【非特許文献 6】S. Churcher, A. F. Murray and H. M. Reekie, "Programmable Analogue VLSI for Radial Basis Function Networks," Electron. Lett., vol. 29, pp. 1603-1605, 1993.

【非特許文献 7】O. Landolt, E. Vittoz and P. Heim, "CMOS Selfbiased Euclidean Distance Computing Circuit with Highdynamic Range," Electron. Lett., vol. 28, pp. 352-354, 1992.

【非特許文献 8】S. Collins, G. F. Marshall and D. R. Brown, "An Analogue Radial Basis Function Circuit Using a Compact Euclidean Distance Calculator," IEEE Int. Symp. Circuits Systems, pp. 233-236, 1994.

50

【非特許文献 9】P. Hasler, B. A. Minch, J. Dugger, and C. Dorio, "Adaptive Circuits and Synapses using Floating Gate Devices," in Learning on Silicon: Adaptive VLSI Neural Systems, G. Cauwenberghs and M. A. Bayoumi, Eds. Boston, MA: Kluwer, pp. 33-65, 1999.

【非特許文献 10】M. Freeman, M. Weeks and J. Austin, "Hardware Implementation of Similarity Functions," IADIS International Conference on Applied Computing, Algarve, Portugal, vol. 2, pp. 329-332, 2005.

【非特許文献 11】Y. Yano, T. Koide and H. J. Mattausch, "Fully Parallel Nearest Manhattan-distance Search Memory with Large Reference-pattern Number," Extend. Abst. of the Int. Conf. on Solid State Devices and Materials (SSDM'2002), pp. 254-255, 2002. 10

【発明の開示】

【発明が解決しようとする課題】

【0008】

これまでに多くのユークリッド距離を計算する回路が提案されている（非特許文献 4～7）。しかし、それらの大部分において計算できる距離の大きさの制限や回路規模が大きいことなどの欠点がある。

【0009】

これらの問題を解決するために、フローティングゲートを用いたいくつかの回路が開発されている（非特許文献 8、9）。しかし、この回路は回路シミュレーションが難しいために、チップ製造前に回路動作を予想して設計することが難しい。 20

【0010】

一方、ユークリッド距離を逐次的に計算する回路とそのハードウェア記述言語 VHDL による記述が報告されている（非特許文献 10）。この回路は乗算器、加算器、レジスタ、平方根計算回路を用いたデジタル回路であるが、実装トランジスタ数が非常に多いために各参照データと入力データを全並列処理する連想メモリには適していない。

【0011】

ユークリッド距離を計算するためには二乗と平方根という複雑な計算が必要である。特に平方根は最新のプロセッサを使用しても負荷の大きな計算である。なぜなら平方根は近似を繰り返すこと、つまり値を入れてその値がエラーマージン以内になるまで繰り返し計算をすることにより算出されるからである。ハードウェアとして平方根の計算機能を持っていないような場合に、たとえ小さな値の平方根の計算でさえ不可能である。 30

【0012】

以上のように、ハードウェアで全並列最小ユークリッド距離検索メモリを実現する効果的なアーキテクチャはこれまで提案されていない。

【課題を解決するための手段】

【0013】

最も近いユークリッド距離を持つパターンデータを検索するために平方根の計算は必要ではなく 2 乗した距離だけを比較することで十分である。なぜならパターンマッチングでは、距離の相対的な大きさの比較だけが必要であり、平方根はこの相対的な大きさを変えないからである。本発明に係る連想メモリ装置は、このような観点に基づいており、以下のように構成される。 40

【0014】

検索データについて複数の参照データと並列に差の絶対値計算に基づくユークリッド距離の 2 乗を計算する距離計算回路と、前記ユークリッド距離の 2 乗の計算結果から最小距離の参照データを検索する検索回路とをメモリ上に形成してなる連想メモリ装置であって、

前記検索データおよび参照データがそれぞれ k ビット ($k > 1$) 単位でユニット化されている場合に、

前記距離計算回路は、

前記参照データをユニット単位で保存するためのW列R行のユニット保存回路(U S)と、

ユニット毎に参照データと検索データの差の絶対値計算を行うW列R行のユニット比較回路(U C)と、

行毎に前記W列のユニット比較回路で計算された差の絶対値の2乗の和に相当する電流または電圧信号を生成するR行のワード重み比較回路(W C)とを備えることを特徴とする。

【発明の効果】

【0015】

本発明による連想メモリ装置では、距離計算回路においてユークリッド距離の2乗を計算し、このユークリッド距離の2乗の計算結果から最小距離の参照データを検索回路において検索するようにしており、平方根計算を行わないため、回路規模の縮小および計算処理の高速化を実現することができる。この結果、連想メモリ装置への適用において、低消費電力で小面積なチップ構成で最小ユークリッド距離検索を実現することができる。

10

【0016】

このように、本発明では、全並列連想メモリベースシステムにおいて、カラーやグレースケールの画像圧縮・画像認識などに必要なユークリッド距離計算回路を開発し、低消費電力で小面積な最小ユークリッド距離検索連想メモリ装置を実現する。特にこの回路構成は、パターンマッチングアプリケーション(例えば、ネットワークルータ、コードブックベースデータ圧縮、および、対象認識)に対して従来のCMOS技術を用いて高効率な全並列連想メモリ装置のチップ化を可能にする。

20

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、本発明を実施するための最良な形態を詳細に説明する。

[全並列型連想メモリアーキテクチャ]

図1は、本発明に係る全並列型連想メモリ装置のアーキテクチャを示すブロック図である。メモリコア部分は、メモリ領域100、ウィナー・ラインナップ増幅回路(以下、W L A回路(Winner Line-Up Amplifier))200、全ウィナー取得回路(以下、W T A回路(Winner Take All Circuit))300で構成されており、また、周辺回路として列デコーダおよびR/W回路(Column Decoder and Read/Write(kxW Columns))110、行デコーダ(Row Decoder(R Rows))120、検索データ保存回路(Search Data(kxW Bits))130を持つ。この連想メモリ装置は集積回路として1チップ上に実現されており、上記メモリコア部分および周辺回路はこの1チップ上に形成されている。

30

【0018】

メモリ領域100は、参照データをユニット(kビット)単位で保存するためのS R A Mセルで形成されるW x R個のユニット保存回路(Unit Storage: U S)、ユニット毎に参照データと検索データの差の絶対値計算を行うW x R個のユニット比較回路(Unit Comparison: U C)、計算した絶対差をアナログ電圧(あるいは電流)に変換し変換結果を2乗するR個のワード重み比較回路(Word Comparison: W C)により構成されている。

【0019】

ワード重み比較回路W Cで生成された信号C(Comparison Signal)はW L A回路200に入り、W L A回路200がこの信号Cを回路自身のバランスにより制御し、最初の段階で各行の電圧の差を最も大きく増幅する。W L A回路200とW T A回路300は、行数Rに対する面積増加の割合が行数Rに対して線形のO(R)になるという特徴がある。

40

【0020】

W T A回路300は、W L A回路200により増幅された各行の電圧出力L Aの差を更に増幅する機能を持つ。W T A回路300の出力W T Aにおいては、winner(ウィナー)行が"1"、その他のloser(ルーザ)行が"0"のデジタル信号となる。W L A回路200は、フィードバック信号をワード重み比較回路W Cに返す際に、当該W L A回路200に内蔵された電圧フォロワ回路を用いることにより、フィードバックを高速化している。

50

[ユークリッド距離計算回路]

最も近いユークリッド距離を持つパターンデータを検索するために平方根の計算は必要ではなく2乗した距離だけを比較することで十分である。なぜならパターンマッチングでは、距離の相対的な大きさの比較だけが必要であり、平方根はこの相対的な大きさを変えないからである。本実施形態の連想メモリ装置に用いられるユークリッド距離計算回路は、このような観点に基づいて構成されている。

【 0 0 2 1 】

本実施形態によるユークリッド距離計算回路は、図1に示すように、取り扱うデータを符号化したkビット(k>1)相当のユニットをW個並べたものとなる。連想メモリ装置の入力となる検索データと連想メモリ装置内に格納されている参照データ(i行)をそれぞれSW、REF_iとおくとき、SWとREF_iの間のユークリッド距離の2乗は数3のように表される。

【 0 0 2 2 】

【 数 3 】

$$D_{\text{Euclid}, i} = \sum_{j=1}^W |SW_j - \text{REF}_{i,j}|^2$$

【 0 0 2 3 】

ユークリッド距離は主にカラー画像やグレースケール画像などのkビット、W個のデータの比較を必要とする画像データ処理などに用いられる。ユークリッド距離の計算を実現するためには、重み付けされた検索データ(SW)と参照データ(REF_i)の比較を行う回路、すなわちW個のユニットそれぞれの2つのkビットデータの差の絶対値(|SW_j - REF_{i,j}|)を生成する回路と、この絶対差の2乗を計算する回路が必要となる。

【 0 0 2 4 】

図2は、連想メモリ装置内に構築される、行iに対するユークリッド距離計算回路の構成を示すブロック図(Wユニット分)である。図2において、US_{i,1}~US_{i,W}はそれぞれ非反転信号SWおよび反転信号~SW(~は反転を意味する。以下同様)のkビットバイナリコードデータによる検索データユニットを取り込み、予め保存されている参照データユニットと共にビット単位で保存するユニット保存回路、UC_{i,1}~UC_{i,W}はそれぞれkビット減算器および絶対値計算回路を備え、ユニット保存回路US_{i,1}~US_{i,W}から検索データSWと参照データREF_iを受け取り、両者の差の絶対値を計算するユニット比較回路である。各ユニット比較回路UC_{i,1}~UC_{i,W}で計算された検索データSWと参照データREF_iの差の絶対値のデータは、各ビットの出力OUT={0,1}のデジタル値として、ワード重み比較回路WC_iへ送られ、ワード重み比較回路WC_iにおいて、全ビットのユークリッド距離の2乗(絶対差の2乗)の総和を計算する。

【 0 0 2 5 】

ワード重み比較回路WC_iには、ユニット比較回路UC_{i,1}~UC_{i,W}の各々に対して電流変換回路10およびアナログ2乗回路20が設けられている。

【 0 0 2 6 】

各ユニット比較回路UC_{i,1}~UC_{i,W}から出力されるデジタル信号OUT₁~OUT_kは、対応する電流変換回路10でアナログ電流に変換される。各電流変換回路10は、対応するユニット比較回路から出力されるデジタル信号OUT₁~OUT_k(デジタルの距離)をアナログ電流に変換するために、それぞれのデジタル信号をゲートに受けるk個のPMOS(電流変換トランジスタ)が用いられている。ここでは各ビットの出力値OUT₁, OUT₂, ..., OUT_kを、それぞれビットの位置に応じて、最下位ビットの出力OUT₁の電流値の2^{k-1}倍になるように調整し重み付けが行われている。調整方法としては、各ビットの出力OUT_kに接続するトランジスタのゲート幅W_kを整数(2^{k-1}×W₀)倍(W₀は基準となるトランジスタ幅を示す)して、アナログ2乗回路20に接続している

10

20

30

40

50

トランジスタに流れる電流値を制御することで各ビットの重み付けを行う。

【0027】

各電流変換回路10からの出力電流 I_i は、対応するアナログ2乗回路20により2乗される。アナログ2乗回路20の回路構成例を図3に示す。各アナログ2乗回路20から出力される電流（絶対差の2乗に応じた電流） I_0 はマッチラインに流れ、これによって各グループの検索データ SW_i と参照データ REF_{ij} のユークリッド距離の2乗に対応した電流が流れ、全体の検索データ SW と参照データ REF_i のユークリッド距離 $D_{Euclid, i}$ の2乗に相当する電流値 I が得られる。この電流値 I は電圧値に変換されてWLA回路200、WTA回路300に送られ、最もユークリッド距離が最小となる行の信号が増幅され、距離が最小の行から"1"が出力される。

10

【0028】

なお、図2に示したユニット保存回路(US)、ユニット比較回路(UC)については公知の回路を用いて実現可能であり、たとえば特許文献2に開示されているものを用いて実現することができる。

[最小ユークリッド距離検索連想メモリの性能評価]

本実施形態に基づく最小ユークリッド距離検索連想メモリの性能をHSPICEによってシミュレーションで確認した。テクノロジーは $0.35\mu\text{m}$ CMOSで16個の5-bitパイナリ(図2における $W=16$ 、 $k=5$)と128個の参照データ(図1における $R=128$)を用いた。図3に示したアナログ2乗回路20のBasic Squarer部についてのシミュレーション結果を図4に、最小ユークリッド距離の参照データを検索するための時間(Winner 検索時間)の結果を図5に、平均消費電力の結果を図6にそれぞれ示す。このように、本実施形態に基づく最小ユークリッド距離検索連想メモリは、ウィナーを参照データとウィナー距離の広い範囲において見つけることができる。

20

[本実施形態の変形例]

なお、図2に示したユークリッド距離計算回路の代わりに図7に示すユークリッド距離計算回路を用いることも可能である。図7に示すユークリッド距離計算回路のワード重み比較回路 WC_i には、ユニット比較回路 $UC_{i1} \sim UC_{iW}$ の各々に対してデジタル2乗回路30および電流変換回路40が設けられている。各ユニット比較回路 $UC_{i1} \sim UC_{iW}$ から出力されるデジタル信号(k ビット) $OUT_1 \sim OUT_k$ は、対応するデジタル2乗回路により2乗される。デジタル2乗回路30からの出力($2k$ ビット、 $k > 1$) $OUT_1 \sim OUT_{2k}$ は、対応する電流変換回路40でアナログ電流に変換される。各電流変換回路40は、対応するデジタル2乗回路30から出力されるデジタル信号 $OUT_1 \sim OUT_{2k}$ をアナログ電流に変換するために、それぞれのデジタル信号をゲートに受ける $2k$ 個のPMOS(電流変換トランジスタ)が用いられている。ここでは各ビットの出力値 $OUT_1, OUT_2, \dots, OUT_{2k}$ を、それぞれビットの位置に応じて、最下位ビットの出力 OUT_1 の電流値の 2^{2k-1} 倍になるように調整し重み付けが行われている。調整方法としては、各ビットの出力 OUT_{2k} ($k > 1$)に接続するトランジスタのゲート幅 W_{2k} を整数($2^{2k-1} \times W_0$)倍(W_0 は基準となるトランジスタ幅を示す)して、電流変換回路40内のトランジスタに流れる電流値を制御することで各ビットの重み付けを行う。各電流変換回路40から出力される電流(絶対差の2乗に応じた電流)はマッチラインに流れ、これによって各グループの検索データ SW_i と参照データ REF_{ij} のユークリッド距離の2乗に対応した電流が流れ、全体の検索データ SW と参照データ REF_i のユークリッド距離 $D_{Euclid, i}$ の2乗に相当する電流値 I が得られる。

30

40

【0029】

また、本実施形態において示した回路(図2、3、7)の論理は一例であり、論理回路を正または負論理に反転させることも可能である。例えば、メモリ領域のN-MOSをP-MOS、電流変換回路10、40のP-MOSをN-MOSに変更したりしても、その作用効果に変わりはない。

【産業上の利用可能性】

【0030】

50

本発明に係る連想メモリ装置は、人工知能システム、データベースシステム、インターネットルータ、モバイル端末（例えば、モバイルテレビ電話）、コードブックベースデータ圧縮、および、対象認識などの圧縮、認識処理技術全般に利用することができる。

【図面の簡単な説明】

【0031】

【図1】本発明に係る実施形態として、ユークリッド距離計算回路を用いる全並列型連想メモリ装置のアーキテクチャを示すブロック図。

【図2】図1に示すメモリ内のユークリッド距離計算回路の1行分の構成を示すブロック図。

【図3】図2に示すアナログ2乗回路の内部構成を示す回路図。

10

【図4】図3に示したアナログ2乗回路20のBasic Squarer部についてのシミュレーション結果を示す図。

【図5】Winner 検索時間のシミュレーション結果を示す図。

【図6】平均消費電力のシミュレーション結果を示す図。

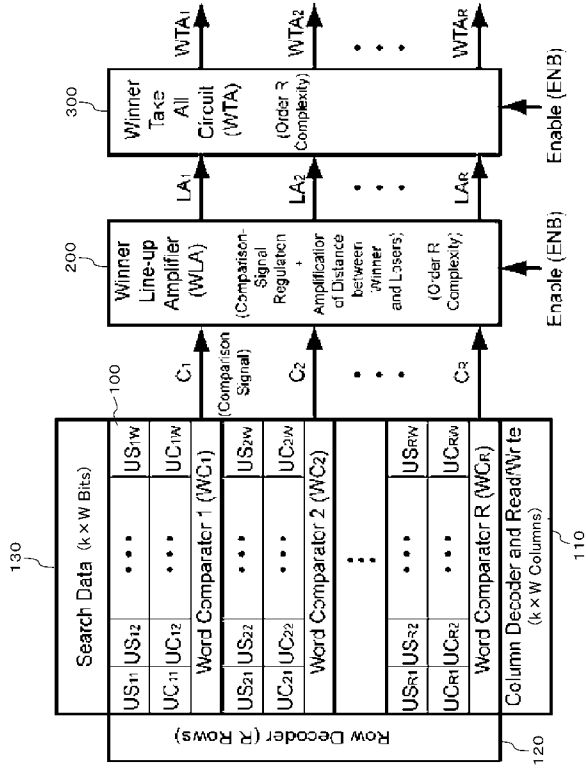
【図7】図1に示すメモリ内のユークリッド距離計算回路の1行分の構成の変形例を示すブロック図。

【符号の説明】

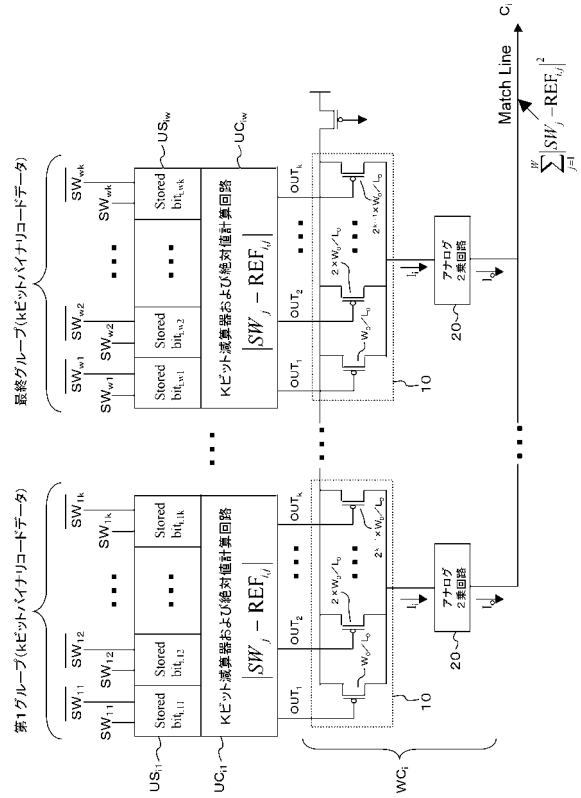
【0032】

- | | | |
|-----|--|----|
| 100 | メモリ領域 | |
| 200 | ウィナー・ラインナップ増幅回路 (WLA: Winner Line-Up Amplifier) | 20 |
| 300 | 全ウィナー取得回路 (WTA: Winner Take All Circuit) | |
| 110 | 行デコーダおよびR/W回路 (Column Decoder and Read/Write (k x W Column)) | |
| 120 | 列デコーダ (Row Decoder (R Rows)) | |
| 130 | 検索データ保存回路 (Search Data (k bit x W)) | |
| US | ユニット保存回路 (Unit Storage) | |
| UC | ユニット比較回路 (Unit Comparison) | |
| WC | ワード重み比較回路 (Word Comparison) | |
| 10 | 電流変換回路 | |
| 20 | アナログ2乗回路 | 30 |
| 30 | デジタル2乗回路 | |
| 40 | 電流変換回路 | |

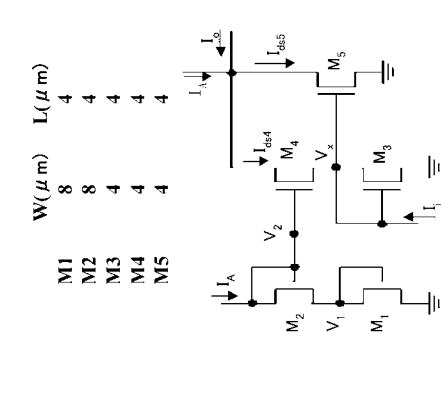
【図 1】



【図 2】

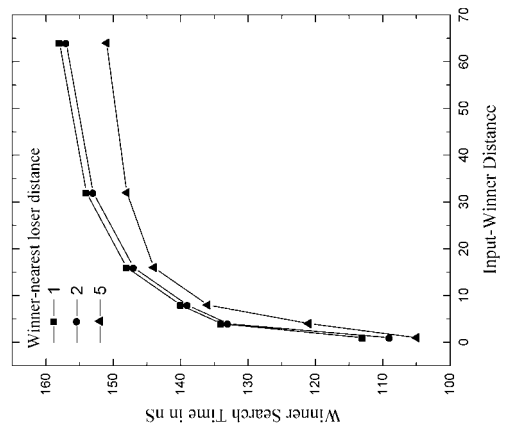
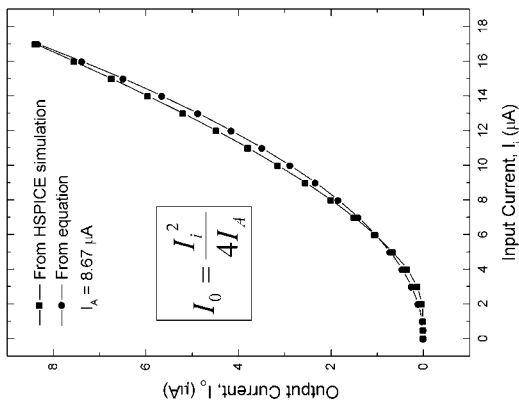


【図 4】

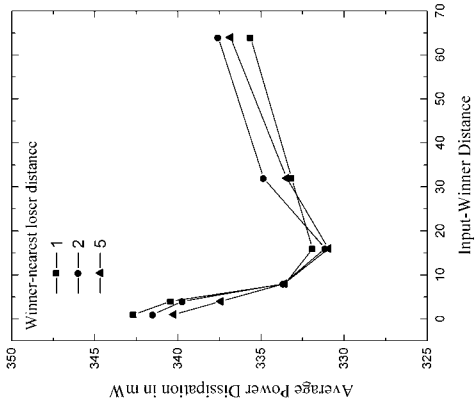


【図 5】

Distance Measure	Euclid Distance
Winner-N. Loser Distance	16, 5-bit Binaries
Reference Patterns	1(One), 2 (Two) and 5(Five)
Technology	128
	0.35 μm

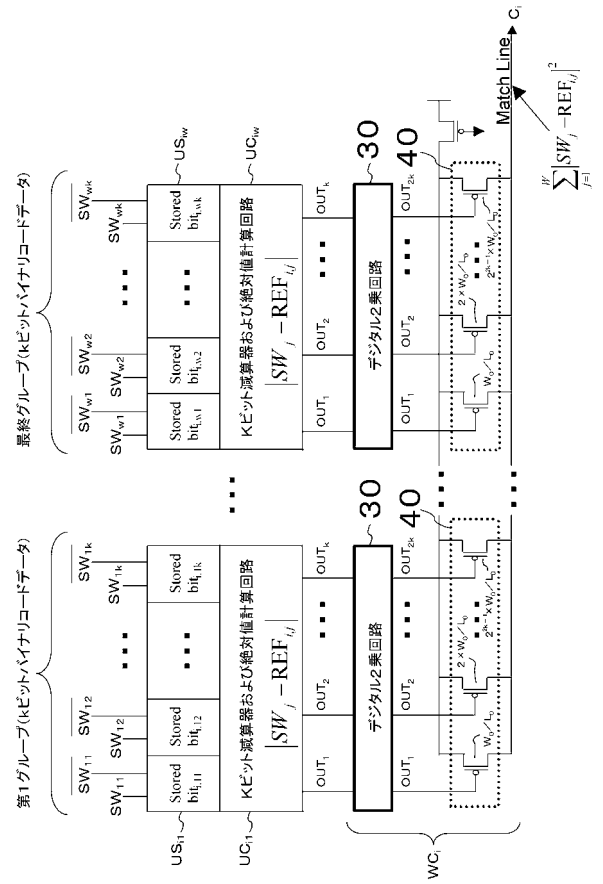


【図 6】

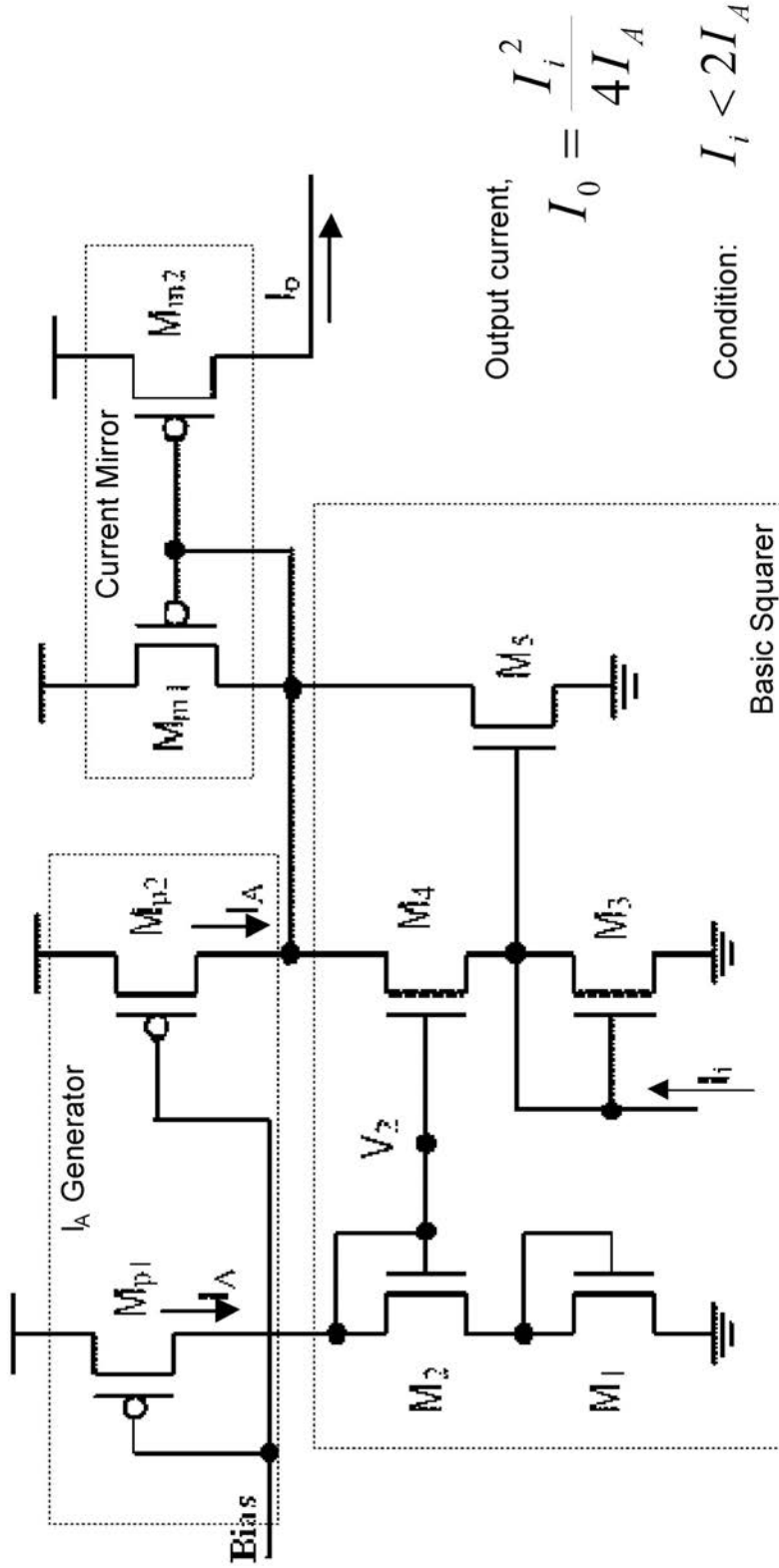


Distance Measure	Euclid Distance 16, 5-bit Binaries
Winner-N. Loser Distance	1(One) 2 (Two) and 5(Five)
Reference Patterns	128
Technology	0.35 μ m

【図 7】



【 図 3 】



Transistor Parameter: W / L

M_{p1} --- $2u / 2u$	M_2 --- $8u / 4u$	M_5 --- $4u / 4u$
M_{p2} --- $2.2u / 2u$	M_3 --- $4u / 4u$	M_{m1} --- $4u / 2u$
M_1 --- $8u / 4u$	M_4 --- $4u / 4u$	M_{m2} --- $4u / 2u$

フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 マタウシュ ハンスユルゲン
広島県東広島市鏡山1丁目4番2号 国立大学法人広島大学ナノデバイス・システム研究センター
内
- (72)発明者 小出 哲士
広島県東広島市鏡山1丁目4番2号 国立大学法人広島大学ナノデバイス・システム研究センター
内
- (72)発明者 アベディン モハマド アノワルル
広島県東広島市鏡山1丁目4番2号 国立大学法人広島大学ナノデバイス・システム研究センター
内

審査官 堀江 義隆

- (56)参考文献 特開2005-242808(JP,A)
特開2005-190429(JP,A)
特開2002-288985(JP,A)
特開平03-283193(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 15/04