

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4069203号
(P4069203)

(45) 発行日 平成20年4月2日(2008.4.2)

(24) 登録日 平成20年1月25日(2008.1.25)

(51) Int.Cl.		F I			
HO3M	1/34	(2006.01)	HO3M	1/34	
HO3M	1/08	(2006.01)	HO3M	1/08	A
HO4N	5/335	(2006.01)	HO4N	5/335	Z

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2003-93386 (P2003-93386)	(73) 特許権者	304023318
(22) 出願日	平成15年3月31日 (2003.3.31)		国立大学法人静岡大学
(65) 公開番号	特開2004-304413 (P2004-304413A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成16年10月28日 (2004.10.28)	(74) 代理人	100088155
審査請求日	平成18年1月16日 (2006.1.16)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目2番12号
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 イメージセンサ用2段階A/D変換器

(57) 【特許請求の範囲】

【請求項1】

イメージセンサ用2段階A/D変換器であって、該イメージセンサはリセットレベルの画素出力と信号レベルの画素出力とを出力する画素群を有し、

前記イメージセンサのカラムにおいてアレイ状に配置された、N-bitのA/D変換手段とアンプとを有する要素回路を含み、前記アンプは、前記イメージセンサの画素からの前記リセットレベルの画素出力と前記信号レベルの画素出力との差分を得る機能を有し、これによりノイズキャンセルを行い、

前記アンプは、前記画素出力の前記差分と前記N-bitのA/D変換結果との差であるアナログ残差を増幅し、

前記イメージセンサ用2段階A/D変換器は、前記アナログ残差に対しA/D変換を行うM-bitのA/D変換手段をさらに備え、

前記イメージセンサの前記カラムにおける画素出力に対してN-bitのA/D変換手段により第1段階のA/D変換を行い、増幅されたアナログ残差に対して、M-bitのA/D変換手段により第2段階のA/D変換を行うことで、N+M-bitのA/D変換を行うことを特徴とするイメージセンサ用2段階A/D変換器。

【請求項2】

前記アンプは、キャパシタの容量比を用いて前記カラムでG倍の増幅を行うものであり、前記アンプの入力に一端が接続されたキャパシタの他端の接続電位を切換えることによりA/D変換結果をアナログ信号に変換し、該アナログ信号を入力信号から減ずることに

よって、前記 G 倍の増幅を行ってもアンプの出力を飽和させず線形領域に制御することを特徴とする請求項 1 記載のイメージセンサ用 2 段階 A / D 変換器。

【請求項 3】

前記アンプは、キャパシタの容量比を用いて前記カラムで G 倍の増幅を行うものであり、前記 N - b i t の A / D 変換は一旦画素信号に対して前記 G 倍の増幅の動作をさせた後、比較器で前記アンプの出力と参照電圧を逐次比較しながら、前記アンプの出力が前記参照電圧を越えたときに別のキャパシタを用いて入力信号から一定値を引き去ることで、一旦前記アンプの出力が飽和した場合でも、線形領域に引き戻し、一定電圧の刻みとして何段階分の電圧で引き戻したかを N - b i t のデジタル値とし、引き戻したあとの前記アンプの出力をアナログ残差として出力することを特徴とする請求項 1 記載のイメージセンサ用 2 段階 A / D 変換器。

10

【請求項 4】

前記画素出力に対して行う N - b i t の A / D 変換手段は、1 ビットの比較器を用いて行い、前記アンプは、キャパシタの容量比を用いてカラムで G 倍の増幅を行うものであり、キャパシタの一端を前記アンプの入力に接続し、前記キャパシタの他端をリセット時に参照電圧に接続するとともに、前記アンプの出力電圧の動作点を定める前記参照電圧を、前記 1 ビットの比較器の出力によって、変化させることで、前記 G 倍の増幅を行っても前記アンプの出力を飽和させず線形領域に制御することを特徴とする請求項 1 記載のイメージセンサ用 2 段階 A / D 変換器。

【請求項 5】

20

前記アナログ残差に対する M - b i t の A / D 変換手段は、そのアナログ値を水平走査したのち、M - b i t の A / D 変換を行うことを特徴とする請求項 1 ~ 4 のいずれか一項記載のイメージセンサ用 2 段階 A / D 変換器。

【請求項 6】

前記アナログ残差に対する M - b i t の A / D 変換手段は、M - b i t の A / D 変換要素を前記カラムにアレイ状に並べて動作させることを特徴とする請求項 1 ~ 4 のいずれか一項記載のイメージセンサ用 2 段階 A / D 変換器。

【請求項 7】

前記 M - b i t の A / D 変換手段は、1 個の比較器と、前記カラムに共通のランプ信号発生器と、前記カラムの外部から与えられるグレイコード値を前記比較器の出力の変化時点で取り込むためのレジスタからなる請求項 6 記載のイメージセンサ用 2 段階 A / D 変換器。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ用 A / D 変換器の改良に関する。

【0002】

【従来の技術】

CMOS イメージセンサでは、イメージセンサ上に様々な機能回路を集積化できることが大きな特徴の 1 つであり、その 1 つに A / D 変換回路の集積化がある。これによってデジタル出力のイメージセンサが実現でき、システムのコンパクト化が図れるとともに、センサチップの出力に混入するノイズの影響を排除することができる。

40

【0003】

イメージセンサに集積化する A / D 変換器として開示されているものとして以下の文献がある。

[1] A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, " A digital vision sensor, " Sensors and Actuators, A46-47, pp. 439-443, 1995.

[2] B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, " A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor, " Dig. Tech. Papers, Int. Solid-State Circuits Conf., " pp.312-313,1999.

50

[3] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., " pp.108-109, 2000.

[4] S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEE E J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

[5] 特開2002-232291号公報

【0004】

上記[1]は、ランプ信号発生器、比較器、レジスタを用いた8 bitの積分型A/D変換器要素をカラムに集積化するものである。同種の技術は、特許第2532374号明細書にも記載されている。

また[3]は、同様に積分型A/D変換器要素をカラムに集積化するものであるが、精度向上した比較器を用いて10 bitを実現している。これら積分型A/D変換器は、変換時間が長く、特に分解能をあげようとするとき指数関数的に変換時間が長くなるので、そのままではこれ以上の分解能の実現は困難である。しかし、線形性に優れる利点がある。

また[2]は、キャパシタを用いた逐次比較型A/D変換器をカラムに並べて動作させるもので、高速なA/D変換が可能であるため、高フレームレート、多画素数のイメージセンサに適している。しかし、これも実際の精度としては、8 bit程度にとどまっている。

また[4]は、サイクリックA/D変換器要素をカラムに並べて動作させるもので、これも高速A/D変換に適している。しかし分解能としては、9 bit程度である。

また[5]は、カラムにおいてノイズキャンセルされた信号に対して、2段階で積分型のA/D変換を行うものであるが、増幅の機能を有していないので、2段階化によって信号対雑音比(SNR)の改善を図るものではない。

なお、これら以外に、画素内にA/D変換要素をもつイメージセンサが幾つか報告されているが、本発明と直接関係しないため割愛する。

【0005】

【特許文献1】

特開2002-232291号公報

【特許文献2】

特許第2532374号明細書

【非特許文献1】

A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor," Sensors and Actuators, A46-47, pp. 439-443, 1995.

【非特許文献2】

B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor," Dig. Tech. Papers, Int. Solid-State Circuits Conf., " pp.312-313,1999.

【非特許文献3】

T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., " pp.108-109,2000.

【非特許文献4】

S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEEE J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

【0006】

【発明が解決しようとする課題】

これまでのイメージセンサ用A/D変換器は、カラムに並べて並列に動作させることの利

10

20

30

40

50

点のみを利用するものである。

本発明は、イメージセンサ用A/D変換器として、A/D変換の機能の一部を、カラムのノイズキャンセル回路を用いて行い、かつ同時に増幅を行うことで、高シグナルノイズ比(SNR)化を図りながら、その後のA/D変換部とあわせて高分解能のA/D変換を実現しようとするものであり、高感度で広ダイナミックレンジのデジタルイメージセンサが実現できる。

【0007】

【発明の概略】

本発明は、イメージセンサにおいて、カラムでのノイズキャンセル動作とともにN-bitのA/D変換を行い、その残差アナログ値に対し、カラムあるいは、水平走査後にM-bitのA/D変換を行うことで、高分解能で高いSNRを保持したA/D変換を行うことを目的とする。

また、ノイズキャンセルを行うアンプを用いてA/D変換の一部を行わせ、回路の簡素化を図るものである。

本発明は、イメージセンサ用2段階A/D変換器であって、該イメージセンサはリセットレベルの画素出力と信号レベルの画素出力とを出力する画素群を有し、前記イメージセンサのカラムにおいてアレイ状に配置された、N-bitのA/D変換手段とアンプとを有する要素回路を含み、前記アンプは、前記イメージセンサの画素からの前記リセットレベルの画素出力と前記信号レベルの画素出力との差分を得る機能を有し、これによりノイズキャンセルを行い、前記アンプは、前記画素出力の前記差分と前記N-bitのA/D変換結果との差であるアナログ残差を増幅し、前記イメージセンサ用2段階A/D変換器は、前記アナログ残差に対しA/D変換を行うM-bitのA/D変換手段をさらに備え、前記イメージセンサの前記カラムにおける画素出力に対してN-bitのA/D変換手段により第1段階のA/D変換を行い、増幅されたアナログ残差に対して、M-bitのA/D変換手段により第2段階のA/D変換を行うことで、N+MbitのA/D変換を行う。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記アンプは、キャパシタの容量比を用いて前記カラムでG倍の増幅を行うものであり、前記アンプの入力に一端が接続されたキャパシタの他端の接続電位を切換えることによりA/D変換結果をアナログ信号に変換し、該アナログ信号を入力信号から減ずることによって、前記G倍の増幅を行ってもアンプの出力を飽和させず線形領域に制御する。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記アンプは、キャパシタの容量比を用いて前記カラムでG倍の増幅を行うものであり、前記N-bitのA/D変換は一旦画素信号に対して前記G倍の増幅の動作をさせた後、比較器で前記アンプの出力と参照電圧を逐次比較しながら、前記アンプの出力が前記参照電圧を越えたときに別のキャパシタを用いて入力信号から一定値を引き去ることで、一旦前記アンプの出力が飽和した場合でも、線形領域に引き戻し、一定電圧の刻みとして何段階分の電圧で引き戻したかをN-bitのデジタル値とし、引き戻したあとの前記アンプの出力をアナログ残差として出力する。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記アナログ残差に対するM-bitのA/D変換手段は、そのアナログ値を水平走査したのち、M-bitのA/D変換を行う。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記アナログ残差に対するM-bitのA/D変換手段は、M-bitのA/D変換要素を前記カラムにアレイ状に並べて動作させる。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記M-bitのA/D変換手段は、1個の比較器と、前記カラムに共通のランプ信号発生器と、前記カラムの外部から与えられるグレイコード値を前記比較器の出力の変化時点に取り込むためのレジスタからなる。

また、本発明に係るイメージセンサ用2段階A/D変換器では、前記画素出力に対して

10

20

30

40

50

行う N -bit の A/D 変換手段は、1ビットの比較器を用いて行い、前記アンプは、キャパシタの容量比を用いてカラムで G 倍の増幅を行うものであり、キャパシタの一端を前記アンプの入力に接続し、キャパシタの他端をリセット時に参照電圧に接続するとともに、前記アンプの出力電圧の動作点を定める前記参照電圧を、前記 1 ビットの比較器の出力によって、変化させることで、前記 G 倍の増幅を行っても前記アンプの出力を飽和させず線形領域に制御する。

また、本発明に係るイメージセンサ用 2 段階 A/D 変換器では、前記アンプはリセットレベルの画素出力と信号レベルの画素出力との差分を得る機能を有し、これによりノイズキャンセルを行う。

【0008】

10

【実施例】

図 1 は、第 1 の実施例のブロック図を示している。イメージセンサのカラムにおいてアレイ状に並べた、ノイズキャンセル、信号増幅とともに N -bit の A/D 変換を行う要素回路を並列に動作させる。そのアナログ残差を水平走査し、その出力に対して M -bit の A/D 変換を行うことで、 $N + M$ bit の A/D 変換を行うものである。

垂直シフトレジスタからの制御線 S , TX , R は図 6 の制御線に各々対応する。

図 2 は、第 2 の実施例のブロック図を示している。これは、イメージセンサのカラムにおいてアレイ状に並べたノイズキャンセル、信号増幅とともに N -bit の A/D 変換を行う要素回路により並列に A/D 変換を行い、アナログ残差出力に対して、 M -bit の A/D 変換要素をアレイ状に並べて動作させるものである。

20

【0009】

カラムにおいて、ノイズキャンセルと増幅及び、 N -bit の A/D 変換を行う単位回路の構成を図 3 及び図 4 に示す。いずれの場合も、イメージセンサのカラムにおいて、 G 倍のゲインで増幅を行いながら、 N -bit の A/D 変換を行い、その結果に応じて、ある一定値を差し引くことで、アンプの出力が飽和するのをさけることがポイントである。図 3 は、画素出力に対してまず N -bit の A/D 変換を行い、画素出力信号から、アンプの出力が線形範囲で動作する範囲に入るように一定値を差し引く。

【0010】

図 4 の場合には、まず画素出力に対して G 倍の増幅を行い、その増幅された出力に対して A/D 変換を行い、その結果を D/A 変換して、アンプの入力から一定量を差し引き、アンプが線形範囲に入るまで繰り返すものである。これを引き戻し法と呼ぶことにする。

30

等価的に、これらと同じ動作をする構成はいろいろと考えられ、このブロック図に忠実な構成に限定するものではない。また、図 3、図 4 には、画素部で発生するノイズをキャンセルする機能は明示的に書いていないが、 G 倍のアンプにおける増幅動作においてノイズキャンセルの機能を持たせることができる。実例は、あとで述べる。

【0011】

図 3 の構成に相当する 2-bit の場合の回路例を図 5 に示す。また、画素部の構成例を図 6 に示す。これは、埋め込みフォトダイオードを用いた 4 トランジスタ + 1 フォトダイオードの画素回路である。3 トランジスタ画素回路など、他の画素回路を利用することもできる。

40

埋め込みフォトダイオード (PD) により変換された光電荷がトランジスタ (MIN , MX) により取り出され、信号線 (Signal line) を経由して画素 (PIXEL) 群の出力端 (Output) に出力される。この信号は、画素出力として A/D 変換器 (2-bit ADC) に印加されるとともにキャパシタ $4C$ (キャパシタ C の 4 倍の容量を有す) を経由してゲイン G を有するアンプの入力に接続される。 A/D 変換器からは入力信号のレベルに対応したスイッチ用制御信号 A , B , C , D が出力される。

【0012】

A/D 変換器による A/D 変換値をキャパシタ C , $2C$ (注: $2C$ は C の 2 倍の容量を有す) により D/A 変換し、これを入力から引く。すなわち、入力 X に対して、出力 Y は、次式のように求める。

50

$$Y = G \times X - R \times D \quad (\text{a1})$$

ここで、Rは、入力フルスケール(FS)値である。Gとしては、2ビットの場合には一般には $G = 4$ とするが、これよりも大きな値にしてより大きな増幅機能を持たせることも可能である。

【0013】

また、Dは、2ビットでA/D変換された結果であり、以下のように定める。

【数1】

$$D = \begin{cases} 0 & (X \leq FS/4) \\ 1 & (FS/4 < X \leq FS/2) \\ 2 & (FS/2 < X \leq 3FS/4) \\ 3 & (3FS/4 < X \leq FS) \end{cases} \quad 10$$

(a2)

このDを、上位の2ビットA/D変換値として出力する。一方、Yは、アナログ残差出力値である。

図5と図6の画素回路を組み合わせ、上記の動作を行う際のタイミング図を図7に示す。画素出力(センサ出力)からは、リセットレベル V_R と信号レベル V_S が図7のように出力されるものとする。 20

1, 2, 3, 4は、アンプ周辺のスイッチ回路を開閉する制御信号である。

【0014】

まず、アンプの $1 = 1$ としてアンプの入出力をショートしておき、キャパシタ4Cに V_R のレベルをサンプルする。このとき、 $2 = 1$ としておく。ついで、 $1 = 0$, $2 = 0$ とし、 $3 = 1$ とすることで、 V_S のレベルを4Cに与える。その結果、アンプの出力には、 $V_R - V_S$ が4倍に増幅された信号が現れる。また、 $X = V_R - V_S$ を2bit A/D変換器に与え、その結果によって、A, B, C, Dが変化する。その結果、 $R = V_{R2} - V_{R1}$ として、式(a1), (a2)にしたがって出力電圧(アナログ残差出力)が決定される。2bit A/D変換器の中の比較器がサンプル中は、 $A = C = 1$, $B = D = 0$ とする。その比較結果を出力するタイミングにおいて、図8のようにA, B, C, Dを変化させる。 30

【0015】

次に、カラムにおいて引き戻しA/D変換とアナログ残差を計算する回路を図9に、その入力部の具体的な回路例を図10に示す。その動作タイミング図を図11に示す。画素回路としては、図6に示す画素内で電荷転送を行う4トランジスタ型であるとする。なお、3トランジスタの画素回路など、他の画素回路もタイミングを変更することで、同様に利用可能である。まず、最初にリセットレベル V_R があらわれ、次いで信号レベル V_S が出力されるものとする。

【0016】

図11は8倍の増幅を行う場合を示している。まず、アンプの $1 = 1$, $2 = 1$, $3 = 0$ としてアンプの入出力をショートし、帰還容量Cの一端を V_{ref} に接続しておき、容量Cの8倍の容量を有すキャパシタ8Cに V_R のレベルをサンプルする。ついで、 $1 = 0$, $2 = 0$ とし、 $3 = 1$ とした後で、信号レベル V_S を8Cに与える。その結果、アンプの出力には、 $V_R - V_S$ が8倍に増幅された信号が現れる。しかし $V_R - V_S$ が大きい場合には、増幅された信号がアンプの線形範囲を越え、飽和することになる。しかし、このときアンプの入力部の電荷 Q_0 が変化しなければ、入力部でキャパシタを使って線形範囲に引き戻すことができる。

【0017】

V_R をサンプルしているとき、アンプの入力部での電荷 Q_0 は次式で与えられる。 50

【数2】

$$Q_0 = 8C(V_0^* - V_R) + C(V_0^* - V_{REF}) + 4C(V_0^* - V_{SW0}) + C_i V_0^*$$

(1)

ここで、 V_0^* は V_R サンプル時のアンプ入力部の電圧であり、 C_i はアンプ入力部と接地点の間の寄生容量である。また V_{SW0} は階段波の初期電圧である。

【0018】

入力を V_S に切り替え、また帰還容量 C をアンプ出力に接続した後、 Q_0 に変化がないとすると次式となる。

10

【数3】

$$Q_0 = 8C(V_0 - V_S) + C(V_0 - V_{OUT}) + 4C(V_0 - V_{SW}) + C_i V_0$$

(2)

ここで、 V_{SW} は階段波の電圧である。また V_0 は、 V_S サンプル時のアンプ入力部の電圧である。このとき、 $V_R - V_S$ が大きいとアンプが飽和し、 V_0 が V_0^* から大きく変化する。しかし、 V_{SW} を操作し、アンプが高いゲインで動作する領域に引き戻したとき、次式が成り立つ。

【数4】

20

$$V_{OUT} = A(V_0^* - V_0) + V_0^*$$

(3)

ここで A はアンプの開ループゲインである。 A が十分大きければ、この回路は負帰還回路として動作しているので、 V_{OUT} が線形領域で動作するような電圧をとるためには、 $V_0^* - V_0$ がほぼゼロにならなければならない。これは、開ループゲインが大きい演算増幅器を用いて負帰還回路を構成した場合には、プラス入力とマイナス入力の差電圧がほぼゼロで動作するのと同様に考えれば容易に理解できる。

30

【0019】

いま $V_0^* - V_0 = 0$ として、(1),(2)を連立させれば、次式が得られる。

【数5】

$$V_{OUT} = V_{REF} + 8(V_R - V_S) - 4(V_{SW} - V_{SW0})$$

(4)

これは、出力電圧が、 V_{REF} を基準として、 $V_R - V_S$ が8倍に増幅されるとともに、 $V_{SW} - V_{SW0}$ の差電圧を4倍したものをひいた電圧になることを意味する。つまり、 Q_0 が変化しないように動作させ、アンプが高いゲインで動作する点に引き戻すことによって、式(4)で決まる線形な動作が行える。

40

【0020】

このことを利用し、階段波発生器と、比較器を用いてA/D変換を行い、残差アナログ値を生成する回路が図9のように構成できる。図11のタイミング図に示すように、最初、階段波発生器の出力を V_{SW0} のままにしておき、増幅するとアンプの出力で飽和し、クリップされる。次いで、階段波を与えると、あるところから、アンプの出力が高いゲインで動作する領域に入り、式(4)が満たされるようになり、階段波のレベルにしたがって、アンプの出力が下がってくる。そこで、比較器でアンプの出力としきい値 V_T を階段波のステップが上がるごとに、比較動作(サンプル(S)&判定(D))を行うと、アンプの出力が V_T 以下になった時点で、比較器の出力がHighからLowに変化する。これにより、アンプの出

50

力に接続されたサンプル&ホールド回路(S/H)にその時点の信号をサンプルし記憶する。これがアナログ残差になる。また、このときにアンプの出力が V_T 以下になるステップ数をA/D変換値とする。図11の場合は、5ステップ目になっている。

【0021】

いま階段波の1ステップを V_S とすると、ステップ数をDとして、式(4)は以下のように書ける。

【数6】

$$V_{OUT} - V_{REF} = 8(V_R - V_S) - 4D\Delta V_S$$

10

(5)

この関係を $V_T = 4 V_S$ として図示すると、図12のようになる。A/D変換値に相当するDの値を記憶するために、階段波にステップ数に相当するコード(例えばGrayコードを用いる。バイナリコードでも可能。)をデータラッチに与えておいて、比較器の出力でそのコードをデータラッチに記憶するようにしておく。図12では、3ビットのA/D変換が行え、アンプ出力のアナログ残差が、その入力が0から V_T までの範囲を取るときには、出力も0から V_T の間に収まることを示している。

【0022】

イメージセンサのカラムの初段でこのような処理を行うことは多くの利点がある。まず、式(5)からわかるように、このような機能を持ちながら、画素部のリセットレベルと信号レベルの差分を増幅することになるので、画素部で発生する固定パターンノイズや、リセットノイズをキャンセルする機能をもち、また画素部で発生する $1/f$ ノイズの低減効果もある。

20

また、アンプの出力が飽和するのを避けながら高いゲインで増幅することができる。これによって、その後の回路により加わるノイズの影響を大幅に軽減でき、ノイズレベルの低いイメージセンサが実現できる。また、この回路で部分的なA/D変換が行えることによって、その後に接続するA/D変換回路を簡単化でき、またそのA/D変換回路の負担を軽減することができる。

【0023】

最後の利点は、例えば、上記の回路の後ろに積分型A/D変換を用いる場合には、特に有利となる。積分型A/D変換器は、線形性に優れるため、高精度A/D変換方式として広く用いられているが、変換時間が長いという問題がある。積分型A/D変換器は、ランプ信号と入力信号を比較器に与え、カウンタを用いて、ランプ信号が入力信号を超えるまでのクロックのカウント数をA/D変換値とするものであり、例えば10ビットのA/D変換を積分型で行う場合、一般には、1024回までのカウントをする必要がある。イメージセンサ上で、積分型を利用し、10ビットA/D変換を行うものも報告されているが、これを高速のイメージセンサに応用するのは困難である。

30

【0024】

本発明のように、あらかじめ3ビットのA/D変換を行い、そのアナログ残差に対し積分型A/D変換を行うようにすれば、カウント数は $1/8$ の128カウントでよく、高速のイメージセンサにも積分型が利用できる。また、非常に高分解能なA/D変換を行いたい場合で、積分型A/D変換として10bitで1024カウントが実現可能な場合には、その前に3ビットのA/D変換を行うことによって、13ビット相当のA/D変換が行えることになり、高分解能なデジタル出力のイメージセンサが実現できる。

40

【0025】

なお、図12のアナログ残差は、理想的には、0から V_T の範囲の値をとるが、比較器の判定に誤差が生じると、この範囲を越える。そこで、アナログ残差に対する次の段のA/D変換のアナログ入力範囲をこれよりも広げた範囲にしておくこと。これにより、比較器に多少の誤差が生じても、最終的なA/D変換されたデジタル値には影響しないため、

50

比較器の精度要求が緩和されるという利点がある。

【 0 0 2 6 】

なお、図 1 2 は、3 ビットの場合で、8 倍の増幅を行うものであるが、このように N ビット A/D 変換を行う場合に、ゲインを 2^N に選ぶことで、アナログ残差出力の電圧範囲を大きくすることができる。しかし、A/D 変換の分解能を高くする場合には、ゲインが非常に大きくなり、実現が困難になる場合もある。この場合には、ゲインを 2^N よりも低く設定してもよい。この場合、アナログ残差出力が小さくなるが、図 9 の中に示したように、S/H 回路のゲインを 1 ではなく大きくとって増幅してもよい。(図 9 の場合、 G_2) としている。

【 0 0 2 7 】

図 1 3 は、第 3 の実施例である、カラムでノイズキャンセルと 2 倍増幅を行いながら 1 ビットの A/D 変換を行う場合の構成を示している。この回路は、先に信号レベルが出力され、あとでリセットレベルが出力される画素回路に適用できる。

アンプ出力を V_{OUT} 、画素部の出力の信号レベルを V_S 、リセットレベルを V_R とし、その差電圧を $V_{in} = V_R - V_S$ とし、次式が成り立つ。

【数 7】

$$V_{out} = -2\Delta V_{in} + V_{R1} - D(V_{R1} - V_{R2})$$

(6)

【 0 0 2 8 】

ここで、D は A/D 変換値であり次式のように定める。

【数 8】

$$D = \begin{cases} 0 & (V_S > V_T) \\ 1 & (V_S \leq V_T) \end{cases}$$

(7)

つまり、この回路は A/D 変換の結果によって、アンプ出力の基準バイアス電圧を変化させる。具体例をあげる。信号レベル V_S が、2 V から 1 V まで変化し、 V_R が 2 V の場合、 $V_T = 1.5$ V とする。このとき、 V_{in} は 0 ~ 1 V まで変化する。このとき式 (6) の $V_{R1} = 2$ V、 $V_{R2} = 3$ V とすると、 V_{in} に対して、 V_{out} は図 1 4 のように変化する。

【 0 0 2 9 】

入力信号の変化範囲 1 V に対して、出力も 2 V から 1 V までの 1 V の範囲に収めることができる。また入力信号に対する出力の利得は 2 倍である。このように入力信号を 2 倍して高感度化しているにも関わらず、出力の振幅範囲が 1 V に収められる。

【 0 0 3 0 】

図 1 5 は、カラムアンプのオフセット電圧の除去のために、アンプのリセットレベルを記憶するサンプルホールド回路を設けたものである。画素回路としては、図 6 の示す画素内で電荷転送を行う 4 トランジスタ型であるとする。なお、3 トランジスタの画素回路など、他の画素回路もタイミングを変更することで、同様に利用可能である。まず、最初にリセットレベル V_R があらわれ、次いで信号レベル V_S が出力されるものとする。

まず、アンプの $\phi_1 = 1$ 、 $\phi_2 = 1$ としてアンプの入出力をショートし、8 C に V_R のレベルをサンプルする。ついで、 $\phi_1 = 0$ 、 $\phi_2 = 0$ とし、アンプの出力を 1 つのサンプル & ホールド回路に記憶する。その後で、画素内の TX を開くことで信号レベル V_S を 8 C

10

20

30

40

50

に与える。その結果、アンプの出力には、 $V_R - V_S$ が8倍に増幅された信号が現れる。この場合、 V_R をサンプルしているとき、アンプの入力部での電荷 Q_0 は次式で与えられる。

【数9】

$$Q_0 = 8C(V_0^* - V_R) + 4C(V_0^* - V_{SW0}) + C_i V_0^*$$

(b1)

入力を V_S に切り替え、また帰還容量 C をアンプ出力に接続した後、 Q_0 に変化がないとすると次式となる。

【数10】

$$Q_0 = 8C(V_0 - V_S) + C(V_0 - V_{OUT}) + 4C(V_0 - V_{SW}) + C_i V_0$$

(b2)

ここで、 V_{SW} は階段波の電圧である。このとき、 $V_R - V_S$ が大きいとアンプが飽和し、 V_0 が V_0^* から大きく変化する。しかし、 V_{SW} を操作し、アンプが高いゲインで動作する領域に引き戻したとき、負帰還により、 $V_0^* - V_0$ がゼロに近づく。いま $V_0^* - V_0 = 0$ として、(b1)、(b2)を連立させれば、次式が得られる。

【数11】

$$V_{OUT} = V_0^* + 8(V_R - V_S) - 4(V_{SW} - V_{SW0})$$

(b3)

これは、出力電圧が、 V_0^* を基準として、 $V_R - V_S$ が8倍に増幅されるとともに、 $V_{SW} - V_{SW0}$ の差電圧を4倍したものをひいた電圧になることを意味する。アンプショート時の出力 V_0^* をサンプルホールドしておき、(b3)式の結果を記憶する別のサンプル&ホールド回路の出力との差を求めようすれば、アンプのオフセット電圧がキャンセルされる。この点を除けば、その他の動作は図9と同様である。なお、図15の3は、図9のサンプルホールド回路と同様に、比較器の出力によって制御される。

【0031】

【発明の効果】

以上述べた構成により、最初のN-bitのA/D変換したアナログ残差を増幅したものに対して、第2のM-bitのA/D変換を行うので、M-bit A/D変換として10bit程度の高分解能でA/D変換が行えるため、第1段のN-bit A/D変換として3bitあるいは4bitとすれば、13bit~14bitといった極めて高い分解能のA/D変換も可能であり、広いダイナミックレンジのデジタル出力イメージセンサが実現可能である。

また、イメージセンサ用A/D変換器として、A/D変換の機能の一部を、カラムのノイズキャンセル回路を用いて行い、かつ同時に増幅を行うことで、高シグナルノイズ比(SNR)化を図りながら、その後のA/D変換部とあわせて高分解能のA/D変換を実現できる。

【図面の簡単な説明】

【図1】 アナログ残差を水平走査後A/D変換を行う2段階A/D変換器のブロック図

【図2】 アナログ残差に対するA/D変換をカラムで行う2段階A/D変換器のブロック図

【図3】 カラム増幅とN-bit A/D変換を行う単位回路(先にA/D変換)

【図4】 カラム増幅とN-bit A/D変換を行う単位回路(引き戻し法)

【図5】 4倍の増幅と2ビットA/D変換の回路例

【図6】 4トランジスタ画素回路

10

20

30

40

50

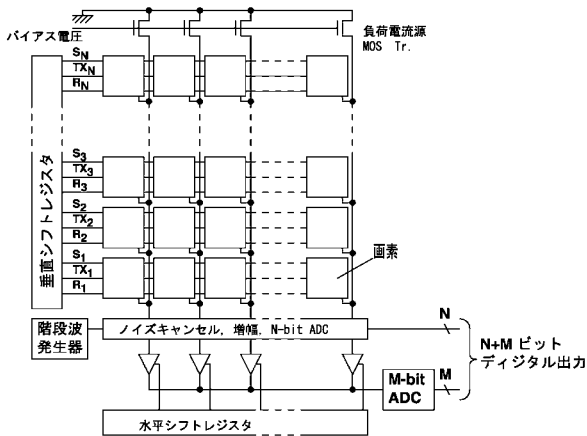
- 【図 7】 2 ビットカラム A/D 変換の動作タイミング図
- 【図 8】 2bit A/D 変換における D の値に対する A, B, C, D の変化
- 【図 9】 引き戻し型 N-bit A/D 変換とアナログ残差を発生するカラム読み出し回路
- 【図 10】 8 倍増幅を行いながらノイズキャンセルと引き戻しを行う回路の例
- 【図 11】 引き戻し A/D 変換の動作
- 【図 12】 アンプの入出力の関係
- 【図 13】 ノイズキャンセルと 2 倍増幅、及び 1 ビット A/D 変換を行う回路
- 【図 14】 図 13 の回路の伝達特性
- 【図 15】 アンプリセットレベルとアナログ残差出力を別々に出力する図 9 の変形
- 【符号の説明】

10

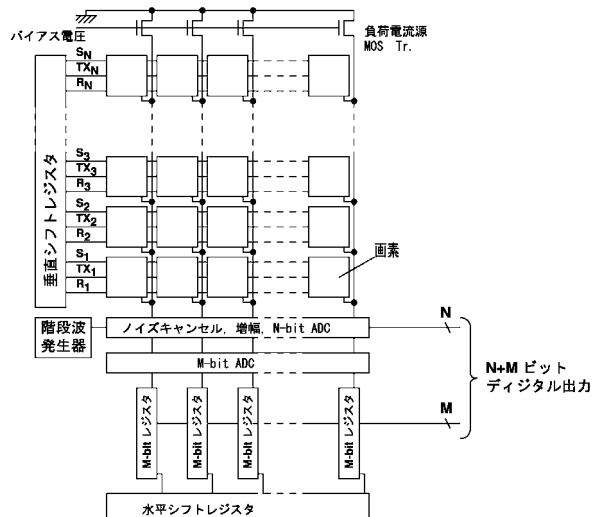
- P D 埋め込みフォトダイオード
- V R リセット電位
- V r e f リセット電位
- V R 1, V R 2 D/A 変換用基準電位
- V s 信号電位
- V D D 電源電位
- C キャパシタ
- 2 C キャパシタ C の 2 倍の容量を有すキャパシタ
- 4 C キャパシタ C の 4 倍の容量を有すキャパシタ
- 8 C キャパシタ C の 8 倍の容量を有すキャパシタ
- T X, R, S 制御信号線
- A, B, C, D スイッチの開閉を制御する信号
- 1, 2, 3, 4 スイッチの開閉を制御する信号
- V T しきい値電位

20

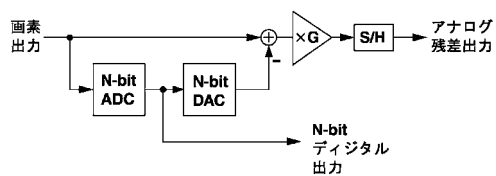
【図 1】



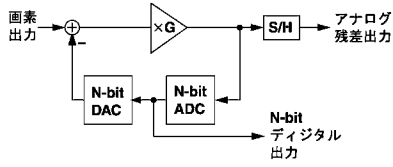
【図 2】



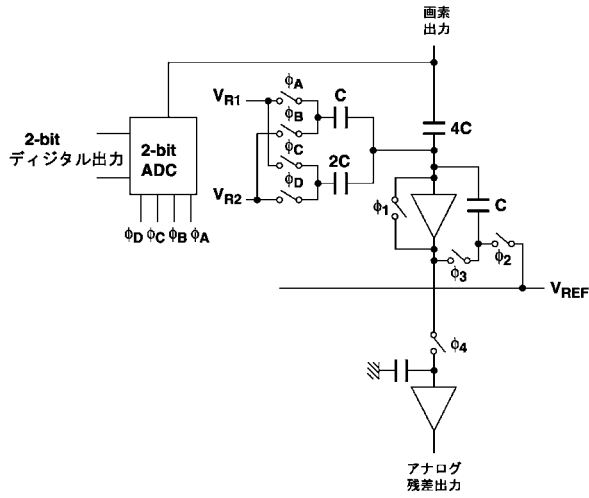
【図 3】



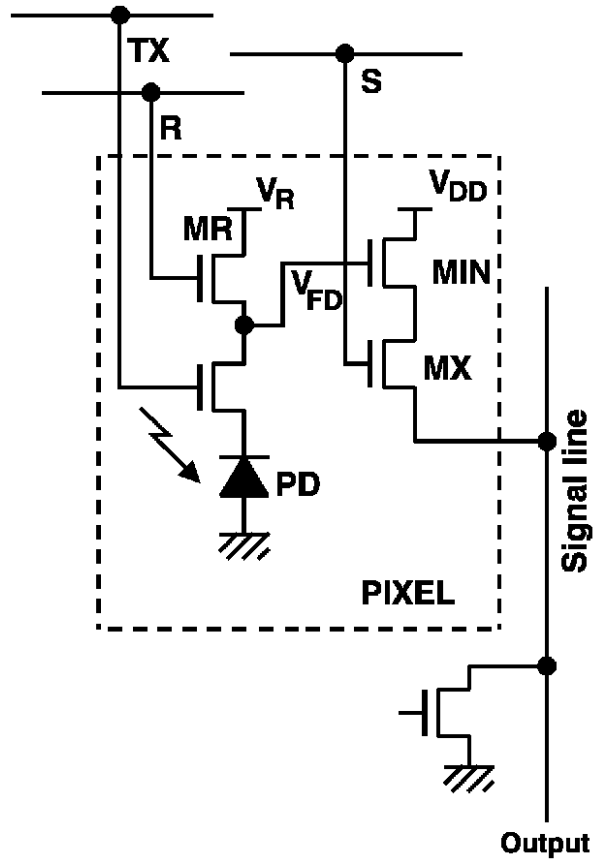
【図4】



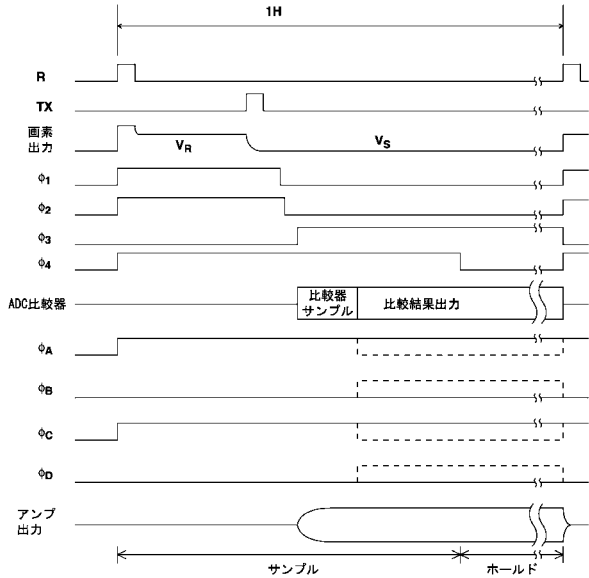
【図5】



【図6】



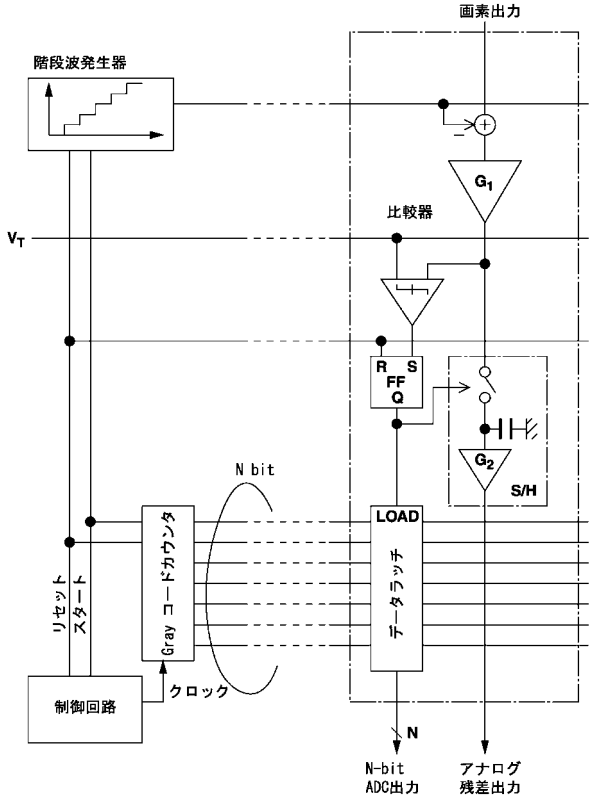
【図7】



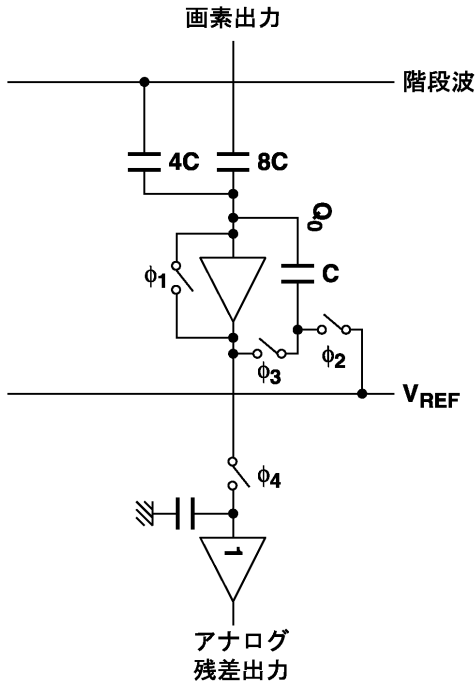
【図8】

D	phi A	phi B	phi C	phi D
0	1→1	0→0	1→1	0→0
1	1→0	0→1	1→1	0→0
2	1→1	0→0	1→0	0→1
3	1→0	0→1	1→0	0→1

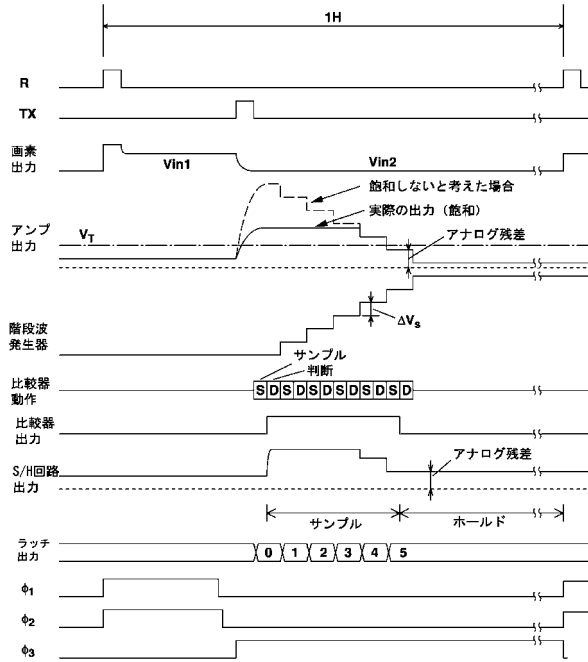
【図9】



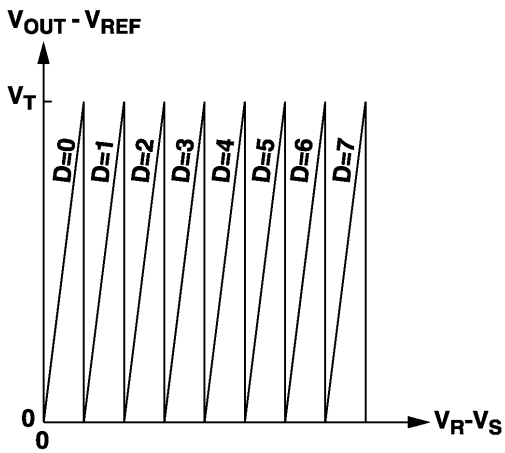
【図10】



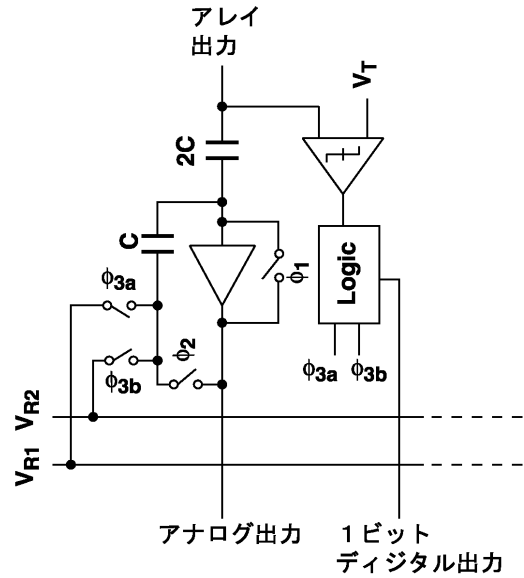
【図11】



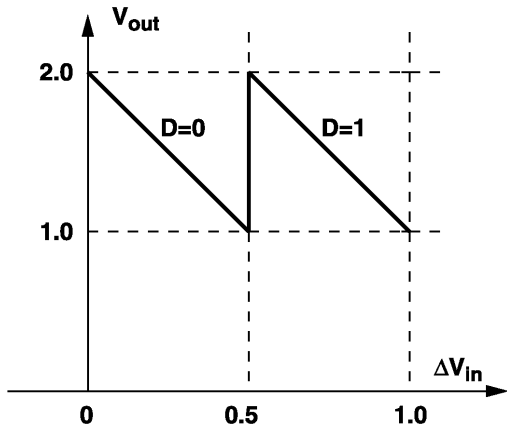
【図12】



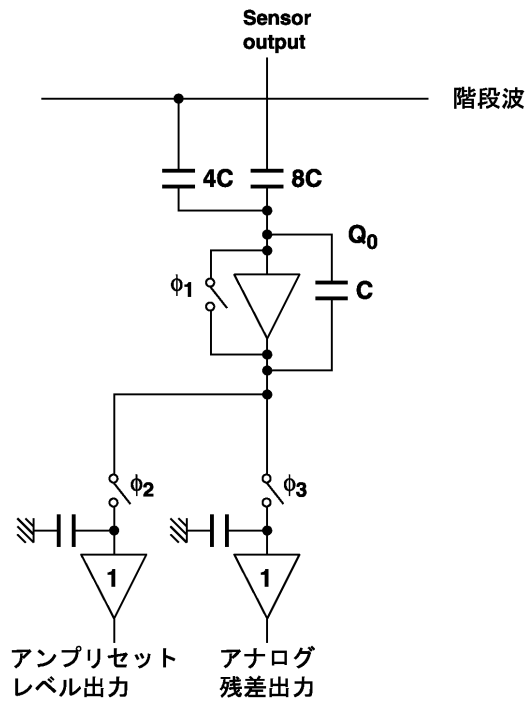
【図13】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

- (56)参考文献 特開2002-124877(JP,A)
特開2000-32342(JP,A)
特開平05-152959(JP,A)
特開2002-261613(JP,A)
特開2002-232291(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88

H04N5/335