

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3962788号

(P3962788)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年6月1日(2007.6.1)

(51) Int. Cl.		F I		
<b>HO3M</b>	<b>1/40</b>	<b>(2006.01)</b>	HO3M	1/40
<b>HO4N</b>	<b>5/335</b>	<b>(2006.01)</b>	HO4N	5/335

P

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2003-368340 (P2003-368340)	(73) 特許権者	304023318
(22) 出願日	平成15年10月29日 (2003.10.29)		国立大学法人静岡大学
(65) 公開番号	特開2005-136540 (P2005-136540A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成17年5月26日 (2005.5.26)	(74) 代理人	100088155
審査請求日	平成18年1月16日 (2006.1.16)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目2番12号
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 A/D変換アレイ及びイメージセンサ

(57) 【特許請求の範囲】

【請求項1】

A/D変換アレイにおいて、1サイクルあたりNビットのA/D変換を行う回路要素と、該回路要素のデジタル出力を第1のスイッチング手段と第1のキャパシタによりD/A変換する回路要素と、その変換結果のアナログ値をアナログ入力から減算及び増幅するために、前記第1のキャパシタとの比により利得を決定する第2のキャパシタを反転増幅器の入出力間に接続してなる増幅手段と、該増幅手段の出力を第2のスイッチング手段と前記第1のキャパシタによりサンプル&ホールドする回路要素と、前記増幅手段の出力と入力信号との一方を選択するとともに選択された信号を前記第1のキャパシタを介して前記増幅手段の入力として与える第3のスイッチング手段とからなる単位回路をアレイ状に配置するとともに、前記第1乃至第3のスイッチング手段の制御手段をアレイの外部に設け、最初の段階で入力信号を前記増幅手段の入力として与え、次の段階で前記サンプル&ホールド回路要素を経由した信号を前記増幅手段の入力に与えることにより、巡回型の多ビットのA/D変換を行うことを特徴とするA/D変換アレイ。

10

【請求項2】

前記増幅手段におけるD/A変換に用いる第1のキャパシタを2個設け、これら複数のキャパシタをD/A変換用とサンプルホールド用とに交互に用いることにより1サイクルあたりの変換速度を2倍にしたことを特徴とする請求項1記載のA/D変換アレイ。

【請求項3】

前記NビットのA/D変換を行う回路要素は入力であるアナログ信号を電圧レベルによ

20

り3つの領域に区分し、3つの領域に対し1, 0, -1の値を割り振るものである請求項1記載のA/D変換アレイ。

【請求項4】

前記増幅手段における増幅器を差動入力、差動出力を有する差動増幅器により構成し、その周辺のキャパシタ及びスイッチング手段を含めて全差動回路構成とした請求項1記載のA/D変換アレイ。

【請求項5】

請求項1乃至4記載のA/D変換アレイをイメージセンサアレイのカラムに配置することにより、イメージセンサアレイの出力に対して並列にA/D変換を行うことを特徴とするイメージセンサ。

10

【請求項6】

前記イメージセンサアレイのカラムにノイズキャンセル回路を設け、該ノイズキャンセル回路は、第2の反転増幅器と、イメージセンサアレイの出力と前記第2の反転増幅器の入力との間に接続される第3のキャパシタと、前記第2の反転増幅器の入力と出力間に接続される第4のキャパシタと、それらの接続を切り替えるスイッチング手段とからなるものであり、前記巡回型A/D変換アレイにおける反転増幅器を前記ノイズキャンセル回路の第2の反転増幅器と兼用し、前記第1のキャパシタを前記第3のキャパシタと兼用し、前記第2のキャパシタを前記第4のキャパシタと兼用してなる請求項5記載のイメージセンサ。

【請求項7】

20

ノイズキャンセル動作の際にのみ、イメージセンサアレイの出力と反転増幅器の入力との間に接続されるキャパシタとして、第5のキャパシタを設け、前記第2のキャパシタとの容量比により増幅機能を得ることを特徴とする請求項6記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサ特にCMOSイメージセンサのカラムにA/D変換器を集積化し、デジタル出力とするとともに、高速度の信号読みだしを可能にする技術に関する。この技術は、イメージセンサからの信号を集中して短時間で読みだす機能を備えたイメージセンサや、高速撮像用のイメージセンサとして有用である。

30

【背景技術】

【0002】

このようにCMOSイメージセンサのカラムにおいてA/D変換を行う従来技術としては、以下がある。

[1] 特許第2532374号明細書

[2] A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor," Sensors and Actuators, A46-47, pp. 439-443, 1995.

[3] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp.108-109, 2000.

40

[4] B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp.312-313, 1999.

[5] S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEE E J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

【0003】

上記[1]は、ランプ信号発生器、比較器、レジスタを用いた8-bitの積分型A/D変換器要素をカラムに集積化するものである。同様なものが[2]にも報告されている。また[

50

3]は、同様に積分型A/D変換器要素をカラムに集積化するものであるが、精度向上した比較器を用いて10bを実現している。これら積分型A/D変換器は、変換時間が長く、特に分解能をあげようとするとき指数関数的に変換時間が長くなるので、そのままではこれ以上の分解能の実現は困難である。しかし、線形性に優れる利点がある。

また、[4]は、キャパシタを用いた逐次比較型A/D変換器をカラムに並べて動作させるもので、高速なA/D変換が可能であるため、高フレームレート、多画素数のイメージセンサに適している。しかし、これも実際の精度としては、8bit程度にとどまっている。また、[5]は2段の巡回型A/D変換器要素をカラムに並べて動作させるもので、これも高速A/D変換に適している。しかし2個のアンプを用いるため、回路規模が大きくなる。

10

#### 【0004】

なお、これら以外に、画素内にA/D変換要素をもつイメージセンサが幾つか報告されているが、本発明と直接関係しないため割愛する。

#### 【特許文献1】特許第2532374号明細書

【非特許文献1】A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor," Sensors and Actuators, A46-47, pp. 439-443, 1995.

【非特許文献2】T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp. 108-109, 2000.

20

【非特許文献3】B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp. 312-313, 1999.

【非特許文献4】S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEEE J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

#### 【0005】

従来技術の[5]は、本発明に最も関連があるので回路を取り上げて説明する。これは、図1のように、1ビットのA/D変換を行う回路を2段従属接続し、その出力を入力に戻すことで巡回型のA/D変換を行うものである。このような方式では、各段毎に増幅器が必要であり、面積が大きくなるとともに、消費電力が増大する。また、イメージセンサのカラムに集積化するA/D変換器として用いた場合、ノイズキャンセル用アンプとA/D変換器用アンプと合わせて、3つのアンプが各カラム毎に必要なのである。

30

#### 【発明を実施するための最良の形態】

#### 【0006】

カラムにA/D変換器を集積化する本発明のCMOSイメージセンサの構成を図2に示す。行単位でカラム読みだし回路に読み出された信号は、まずノイズキャンセルがなされ、その信号が各画素毎に巡回型A/D変換回路に与えられる。ここで、必要な分解能のA/D変換を行い、そのデジタル値を水平走査により読み出す。高速な信号の読みだしのため、全部を直列に水平走査するのではなく、複数の出力を設けて部分的な水平走査を並列に実行する方法、図3のように、ADC(アナログデジタル変換器)出力をマルチプレクスして、デジタル化された信号を複数線で並列に出力する方法が多々考えられる。また、後述するが、図2、3において、1の部分、すなわちノイズキャンセルと巡回型ADCを、1つのアンプを用いて構成し、一体化することも可能である。

40

以下において述べるように、巡回型A/D変換として、1サイクルあたり、例えば2進で-1, 0, 1の3値を取る冗長表現を用いるが、最終的にはデータ出力線数を減らすために、非冗長表現に変換した後に、そのデジタルデータを、水平走査(あるいは並列出力のときは部分的水平走査)を行って出力する。なお出力のデータレートが低い場合には、水平走査後、冗長表現から非冗長表現に変換してもよい。この変換は、Nビットの場合には、N+1桁の加算を行う加算器を用いて行うことができる。

50

## 【実施例 1】

## 【0007】

本発明は、巡回型の A/D 変換を行うための増幅器の数とキャパシタの数を減らしたことを特徴とする。図 4 に、1 サイクルあたり 1 ビットまたは 1 ビット半の A/D 変換を行う本発明の巡回型 A/D 変換器の回路例を示す。これは機能としては、図 6 と等価である。

図 5 に、図 4 の巡回型 A/D 変換器の変換特性を示す。図 4 において、 $V_{RM}$ 、 $V_{RP}$  は、図 5 の  $V_{ref}$ 、 $-V_{ref}$  に対応する。図 4 のデジタル出力  $D_0$ 、 $D_1$  と図 5 の  $D$ 、及び比較器 (3) への入力信号  $V_{in}$  との関係は、次式ようになる。

## 【数 1】

$$D = \begin{cases} 1 & (D_1=1, D_0=1) \quad (V_{in} > V_{ref}/4) \\ 0 & (D_1=0, D_0=1) \quad (V_{ref}/4 \geq V_{in} \geq -V_{ref}/4) \\ -1 & (D_1=0, D_0=0) \quad (-V_{ref}/4 > V_{in}) \end{cases} \quad (1)$$

すなわち、入力に (1)  $-V_{ref}$  から  $-V_{ref}/4$ 、(2)  $-V_{ref}/4$  から  $V_{ref}/4$ 、(3)  $V_{ref}/4$  から  $V_{ref}$  の 3 領域に分割し、これらの領域に対して 3 値の A/D 変換を行って  $-1$ 、 $0$ 、 $1$  のデジタルコードを割り当てる。最初のコードは最上位桁になる。図 4 の特性に従って演算し、出力を生成する。その演算は、次式で表される。

## 【数 2】

$$V_{out} = 2V_{in} - D \times V_{ref} \quad (2)$$

すなわちこれは、上位桁から順に A/D 変換し、入力を 2 倍して、その A/D 変換値によって、一定値をさしひくことで、その出力が必ず  $\pm V_{ref}$  の範囲になるようにし、これを再び入力に与えて同じことを繰り返すことで、多ビットの A/D 変換を行うというものである。このときに 1 回あたり (1 桁)、3 値で A/D 変換を行うので、デジタル値には冗長性が生じる。この冗長性により、比較器の精度要求が大きく緩和され、高精度な A/D 変換が可能となる。

## 【0008】

2 進数では、各桁毎に 0 と 1 の 2 値を取るが、各桁毎に  $-1$ 、 $0$ 、 $1$  の 3 値を取ることで、1 段あたり 1.5 ビットの A/D 変換を行っていると考えられる。実際の動作としては、図 6 に示すように、最初は、制御信号 A (以下、A と略す) によるスイッチをオンし、入力信号を与え、1 段あたり 1.5 ビットの演算を行う。その結果により、式 (2) に従って演算を行う。その出力を S/H (サンプルホールド) 回路に記憶する。これで最初の 1 サイクルが完了する。次に、制御信号 B (以下、B と略す) によるスイッチをオンし、A によるスイッチをオフして、S/H 回路の出力を 1.5 ビットのビットの A/D 変換器に与え、同じことを繰り返す。これを、N 回繰り返した場合、 $N+1$  ビットの A/D 変換が行える。

## 【0009】

図 4 は、図 6 と同じ機能を実現しながら、必要なアンプと容量の数を減らしたものである。その動作タイミング図を図 7 に示す。図 7 では、3 サイクル目までを示している。図 4 では、まず最初  $C_1$  と  $C_2$  とともに  $V_{in}$  をサンプルし、その後  $C_2$  は反転増幅器 (2) の入出力間に接続し、2 つの比較器 (Comparator) により、式 (1) による 1.5 ビットの A/D 変換を行う。 $C_1$  は、D/A 変換器に接続する。これにより、次式の演算が実行される。

## 【数 3】

$$V_{out}(0) = \left(1 + \frac{C_1}{C_2}\right) V_{in} - D(0) \times \frac{C_1}{C_2} V_{ref} \quad (3)$$

## 【0010】

$C_1 = C_2$  であれば、これは、式 (2) と等価である。ここで、 $V_{out}(0)$  は、最初のサイク

10

20

30

40

50

ルの出力、D(0)は、最初のA/D変換値、つまり最上位桁の値である。その出力を、サンプルし、ホールドするため、図6では、S/H回路を設けているが、図4では、それと等価な処理となるように容量とスイッチを制御する。まず、C2にはもともとVout(0)が記憶されている。そこで、C1を用いてVout(0)と接地点との間の電圧を記憶し、次いで、A/D変換の結果に従って、これをDAC(デジタル・アナログ変換器)と反転増幅器(2)の仮想接地点の間に接続し直せば、その差に比例した電荷

【数4】

$$Q = C_1(V_{out}(0) - D(1)V_{ref})$$

が、C2に転送され、その結果次式の演算が実行される。

【0011】

【数5】

$$\begin{aligned} V_{out}(1) &= V_{out}(0) + \frac{C_1(V_{out}(0) - D(1)V_{ref})}{C_2} \\ &= \left(1 + \frac{C_1}{C_2}\right)V_{out}(0) - \frac{C_1}{C_2}D(1)V_{ref} \end{aligned} \quad (4)$$

これを必要なサイクル数だけ繰り返す。

図4の構成をとることで、1つの反転増幅器(2)と2つの容量を用いて、A/D変換器が構成される。これは、回路構成が簡単であるため、これを複数並べて、並列に入力信号を与えて動作させ、全体として高速なA/D変換を行うことができる。

【0012】

ここで、回路の基本動作を説明する。最初にキャパシタC1とC2をとともに入力(Vin)に接続し、それぞれに電圧Vinで充電する。それぞれの電荷をQ1, Q2とすると、 $Q1 = C1 \cdot Vin$ ,  $Q2 = C2 \cdot Vin$ となる。その後、キャパシタC2の一端を反転増幅器(2)の出力端に接続する。すなわち、キャパシタC2には、最初からQ2の電荷が充電されている。また、キャパシタC1の一端はDAC(デジタル・アナログ変換器)に接続を替える。DACの出力電圧をVdacとすると、キャパシタC1の端子電圧はVinからVdacに変化するので、キャパシタC1に充電されている電荷の変化は、 $Q1 = C1(Vin - Vdac)$ となり、この変化分がキャパシタC2に転送される。その結果、最終的な出力は、 $Vout = (Q2 + Q1) / C2 = ((C1 + C2)Vin - C1 \cdot Vdac) / C2$ となる。もし、 $C1 = C2$ に選べば、 $Vout = 2Vin - Vdac$ となるから、入力を2倍してDACの出力を引くという巡回型A/D変換の基本演算ができる。従来の巡回型は、アンプの出力にS/H回路があり、S/H回路の出力をサンプルして巡回するために、まさに前述の基本動作が繰り返される。

【0013】

発明者の提案する回路では、この動作を1個のアンプで行うために、巡回時に前述のVinという電圧は、アンプの出力電圧Voutになるので、上記"C2をVinで充電する"のVinは、巡回時にはVoutに相当する。すなわち、C2は最初からVin(=Vout)で充電されているので、C1だけを最初Vout(=Vin)に接続して、その後DACに接続を切り替えるというだけのことです。Vout = 2Vin - Vdac の演算ができる。この場合もC1 = C2に選定する。これにより、従来型よりキャパシタを減らすことができる。

【0014】

あとで説明するノイズキャンセル動作と巡回型A/D変換動作を両立させる場合には、入力Vinと反転増幅器の入力間にC1を接続し、C2は反転増幅器の入出力間に接続する。C2の電荷は初期化(Q2 = 0)しておき、C1の一端をVs(信号電圧)からVR(リセット電圧)に変化させることで、ノイズキャンセルを行う。その結果、 $C1 = C2$ に選定してあると、 $Vout = Q1 / C2 = C1(Vs - VR) / C2 = Vs - VR$ となり、利得は1であるものの、VsからVRを引くことによりノイズキャンセル動作となる。その後、巡回型A/D変換動作に入る。

10

20

30

40

50

## 【実施例 2】

## 【0015】

図 8 は、容量を追加し、交互に用いることで、半クロックで 1.5 ビットの A/D 変換が行えるようにした回路の例を示している。その動作タイミング図を図 9 に示す。図 8 では、2 サイクル目までを示しているが、このように、2 サイクルで、4 桁分の 1.5 ビット A/D 変換が実行されている。

ここでは、A/D 変換のために比較器 (3) を 2 セット用いているが、1 セットの比較器の入力と出力にスイッチング手段を設け、時分割利用することにより、1 セットのみの比較器で構成することもできる。

## 【実施例 3】

## 【0016】

このような巡回型 A/D 変換器をアレイ状に配置したものは、イメージセンサのカラムに用いて、並列に信号を与えて A/D 変換を行うのに有用である。この場合、図 2, 3 に示したように、カラムで画素部が発生するノイズを低減するノイズキャンセル回路をカラムに並べて、その出力に対し、以上述べた A/D 変換器アレイを並べて動作させることも可能であるが、より効率の良い回路構成として、ノイズキャンセルの回路、あるいはノイズキャンセルをしながら一定の利得で増幅を行う回路と、巡回型 A/D 変換を一体化し、1 つのアンプを用いて、ノイズキャンセル・増幅及び A/D 変換を行う回路を構成することができる。

## 【0017】

図 10 に示す回路では、光信号による信号電圧 (これを  $V_S$  とする) が  $V_{in}$  に印加される。この電圧を  $C_1$  にサンプルする。このとき、 $C_1$  の他方は、 $A_1$  がオンとなった反転増幅器 (2) の入力に接続されており、ほぼ接地電位となっている。次いで、 $A_1$  をオフにしたのちフォトダイオード部をリセットして、そのリセット電圧  $V_R$  を  $V_{in}$  に与える。これにより、 $V_R - V_S$  の電圧差と  $C_1$  の積による電荷が  $C_2$  に転送され、アンプ出力の電圧が変化する。その出力電圧を  $V_{out}(0)$  とすると、これは次式で表される。

## 【数 6】

$$V_{out}(0) = \frac{C_1}{C_2} (V_S - V_R)$$

すなわち、画素部の信号レベルとリセットレベルの差が  $C_1/C_2$  の容量比で増幅され、画素部の固定パターンノイズのキャンセルを行うことができる。アンプの出力に対して、2 つの比較器 (3) で 1.5 ビット A/D 変換を行い、その結果を用いて、次の桁の A/D 変換を行うための演算を行う。以降の動作は、図 4 の場合と同じである。

## 【0018】

図 10 の回路では増幅度は  $C_1/C_2$  の容量比で決定される。 $C_1$  をノイズキャンセルと A/D 変換の両方に使う場合は  $C_1 = C_2$  とする必要があり、その比は 1 となる。そこで、入力に第 3 のキャパシタ  $C_3$  を追加することにより、増幅度を高める回路を提案する。その回路例を図 11 に示す。また、その動作タイミング図を図 12 に示す。

図 11 において、 $C_3$  は、増幅を行う場合に用いる容量で、増幅を行わない場合 (つまり、利得 1 でノイズキャンセルする。) は、図 11 の破線の A の部分を削除する。 $C_3 = (n - 1)C_0$ 、 $C_1 = C_2 = C_0$  とすることで、ノイズキャンセルされた信号に対して、 $n$  倍の利得により増幅することができる。図 11 の  $V_{in}$  には、図 13 に示す画素内に数個のトランジスタを用いた増幅型イメージセンサの画素出力を接続する。ここでは、3 個のトランジスタを用いた場合 (図 13) を例にとって説明するが、これに限定するものではなく、画素内で電荷転送を行う 4 トランジスタ、5 トランジスタをはじめ、他の増幅型イメージセンサにも適用可能である。

## 【0019】

3 トランジスタ型の増幅型イメージセンサの場合、選択された画素に対して、まず信号がフォトダイオードに蓄積された結果発生する電圧レベル (これを  $V_s$  とする) を出力し

10

20

30

40

50

、図11のC1とC3にサンプルする。このとき、Aによるスイッチをオンし、反転増幅器(2)の入出力をショートしておき、そのときの反転増幅器(2)の入力に、C1, C3の他方は接続されている。次いで、Aによるスイッチを開き、フォトダイオード部に蓄積された電圧をリセット(Rによるスイッチをオン)し、そのときのフォトダイオード部のリセット電圧レベル(これをVRとする)を図11のVinに与える。これにより、VR - VSの電圧差とC1 + C3の積による電荷が、C2に転送され、アンプ出力の電圧が変化する。その出力電圧をVout(0)とすると、これは次式で表される。

【数7】

$$V_{out}(0) = \frac{(C_1 + C_3)(V_S - V_R)}{C_2} = n(V_S - V_R) \quad (5)$$

10

すなわち、画素部の信号レベルとリセットレベルの差がn倍で増幅され、画素部の固定パターンノイズのキャンセルと信号増幅を行うことができる。アンプの出力に対して、2つの比較器(3)で1.5ビットA/D変換を行い、その結果を用いて、次の桁のA/D変換を行うための演算を行う。以降の動作は、図4の場合と同じであり、C3については、最初の増幅の際にのみ用い、以降のA/D変換においては用いない。

【実施例4】

【0020】

なお、図11は、一端を接地した増幅器による回路を例として示したが、これを全差動の回路として構成することもできる。図14に全差動回路により図11と同様な処理を行う回路の例を示す。図14においても増幅を行わない場合は、Aの部分削除する。

20

図14は、全差動であるので、入力信号は、VIPとVIMの差電圧として与えられること想定している。増幅型のイメージセンサが画素部において、2本の信号線で差電圧として出力する場合は、図14の2つの入力を画素部からの垂直信号線に接続すればよい。画素部からの信号が、シングルエンド信号であり、信号線が1本だけの場合は、図14のVIPを画素部からの垂直信号線に接続し、図14のVIMについては、一定電圧を参照電圧として与えておく。

【実施例5】

【0021】

次に、半サイクルで1.5bのA/D変換を行う図8の方式をイメージセンサのカラムに用い、ノイズキャンセル動作を行わせる場合の回路構成を図15に示す。その動作タイミング図を、図16に示す。その動作は、図11の場合とほぼ同様であるが、2セットの比較器(3)を用いて、半サイクル毎に交互に用い、半サイクル毎に2つの容量C1を、式(4)に相当する演算と、出力のサンプル&ホールドの動作に用いる。

30

ここでは、A/D変換のために比較器(3)を2セット用いているが、1セットの比較器の入力と出力にスイッチング手段を設け、時分割利用することにより、1セットのみの比較器で構成することもできる。

なお、図11の回路に対しての全差動回路の構成を示したが、同様に図4や図8、図15についても全差動回路とすることは当然可能であり、これらは、図4、図8、図11と図14から容易に類推できる。

40

【実施例6】

【0022】

以上の回路では、容量やアンプの数を減らすことができるが、一方、アンプのもつオフセット電圧をキャンセルする機能を持たないため、このようなアンプのオフセット電圧や、スイッチのインジェクションによるオフセット電圧を除去することが必要である。これは、デジタル領域で、あらかじめ測定しておいたオフセット電圧をカラム毎に差し引くことで除去することができる。ただし、このような処理を容易に行えない場合もあり、その場合には、アンプのオフセット電圧のばらつきの影響を受けにくい回路とする必要がある。その場合には、アンプがもう1つ必要になるが、イメージセンサのノイズキャンセル用アンプと兼用することで、効率化できる。

50

## 【0023】

その回路例を図17に示す。その動作タイミング図を図18に示す。イメージセンサ出力の信号レベルのサンプルを行う際、Aで制御されるスイッチにより、最初、参照電圧 $V_R$ に接続しておき、増幅時に、2dで制御されるスイッチにより、アンプの入出力間に接続する。これにより、ノイズキャンセル及び増幅時のアンプのオフセット電圧をキャンセルする。さらに、同じアンプを用いて1サイクルあたり1.5ビットのA/D変換を行う巡回型A/D変換を行う。そのアンプの出力をサンプルホールド回路により、記憶する。サンプルホールド回路は、アンプA2の入出力間を2Aにより制御されるスイッチによりショートした電圧を基準として、容量C4に記憶し、その後、2と2Aで制御されるスイッチを開き、C4を1dで制御されるスイッチにより、アンプの入出力間に接続する動作をする。これにより、サンプルホールド回路もアンプのオフセット電圧の影響を受けない。

10

## 【0024】

次の桁のA/D変換のため、サンプルホールド回路の出力を前段の回路のC1とC2にサンプルする。このとき1Aで制御されるスイッチにより、アンプA1の入出力間をショートした電圧を基準として、サンプルし、その後、2Aで制御されるスイッチにより、C2をアンプの入出力間に接続し、C1の一方の端子をDACの出力に接続するようにすることで、式(3)と同様の演算がなされるが、この動作においてもアンプA1のオフセット電圧の影響を受けない。このようにノイズキャンセル、A/D変換時、ともにアンプのオフセット電圧を受けない動作が可能となる。

20

## 【0025】

なお、以上は、比較器を二つ使い、1サイクルあたり1.5ビットのA/D変換を繰り返す場合について述べたが、比較器を1つ用いて1ビットのA/D変換を繰り返す方法、比較器を複数用いて、さらにアンプでの増幅も4倍、8倍、16倍として、1サイクルあたり多ビットのA/D変換を巡回する方法も考えられ、これらの方法を排除するものではない。

さらに、図19に示すように巡回型ADCやノイズキャンセル回路の特性ばらつきに起因する誤差を、補正する回路をカラムに集積化することもできる。

また、ここでは反転増幅器(2)として差動入力を有する反転増幅器を用いて説明をしたが、差動入力をもたずシングルエンド入力をもつ反転増幅器を用いても、同様な回路を構成できることは自明であり、これら他の増幅器の採用を排除するものではない。

30

## 【産業上の利用可能性】

## 【0026】

本発明は、イメージセンサのカラムにおいて、巡回型のA/D変換器をアレイ状に配置することで高速で高分解能のA/D変換を行う方法とこれを用いて高速度イメージセンサを実現する方法を提供する。特に、従来の巡回型よりも増幅器の数とキャパシタ(容量)の数を減らした点を特徴とするとともに、イメージセンサの画素部で発生するノイズ(リセットノイズ、固定パターンノイズ)をキャンセルするカラムのアンプを用いて巡回型のA/D変換を行う。これにより、面積と消費電力を少なくすることができる。

## 【図面の簡単な説明】

40

## 【0027】

【図1】2段巡回型A/D変換器(従来技術)

【図2】巡回型A/D変換器をカラムに集積したイメージセンサの構成

【図3】巡回型A/D変換器をカラムに集積したイメージセンサの構成(並列出力)

【図4】一回あたり1.5ビットのA/D変換を行う巡回型A/D変換器の回路構成例

【図5】一サイクルあたり1.5bitのA/D変換を行う巡回型A/D変換器の変換特性

【図6】一サイクルあたり1.5bitのA/D変換を行う巡回型A/D変換器の等価ブロック図

【図7】図4のA/D変換器の動作タイミング図

【図8】半サイクルで、1.5ビットのA/D変換を行う巡回型A/D変換器

50

【図 9】図 8 の回路の動作タイミング

【図 10】ノイズキャンセルと A/D 変換を一体化したイメージセンサ用 A/D 変換器

【図 11】ノイズキャンセル・増幅と A/D 変換を一体化したイメージセンサ用 A/D 変換器

【図 12】図 11 の回路の動作タイミング図

【図 13】3 トランジスタ画素回路

【図 14】図 11 の回路を全差動回路構成とした回路例

【図 15】半サイクルで A/D 変換を行う回路とノイズキャンセル・増幅機能を一体化した構成

【図 16】図 15 の回路の動作タイミング図

10

【図 17】S/H アンプを設けたイメージセンサ用 A/D 変換器

【図 18】図 17 の回路の動作タイミング図

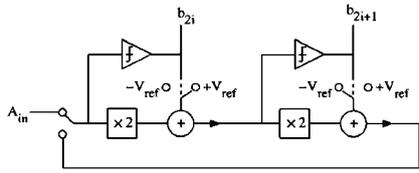
【図 19】イメージセンサのカラムで ADC の誤差補正を行う場合の構成

【符号の説明】

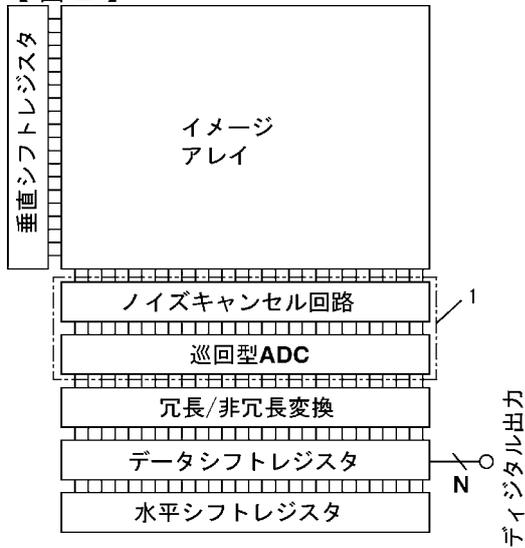
【0028】

1	ノイズキャンセル回路と巡回型 A/D コンバータの集合体	
2	反転増幅器	
3	比較器 (comparator)	
4	差動増幅器	
A1, A2	アンプ	20
A <sub>in</sub> , V <sub>in</sub>	信号入力	
b <sub>1</sub> , D	2 進値出力	
V <sub>ref</sub> , V <sub>r</sub>	A/D (アナログ・デジタル) 変換用参照電圧	
V <sub>rm</sub> , V <sub>rp</sub>	D/A (デジタル・アナログ) 変換用参照電圧	
C	キャパシタンス	
	制御信号 $\phi$ でオンオフが制御されるスイッチ	
S/H	サンプルホールド回路	
DAC	D/A (デジタル・アナログ) 変換部	

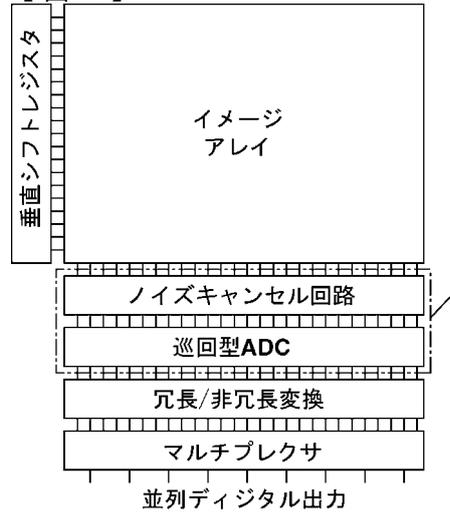
【図1】



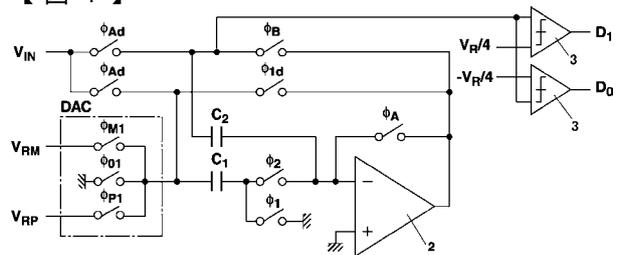
【図2】



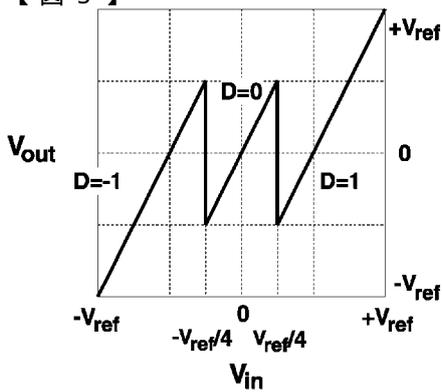
【図3】



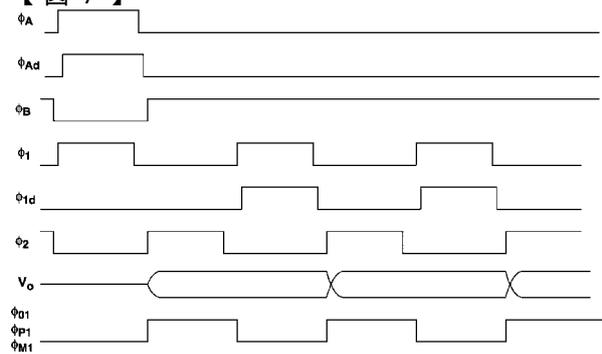
【図4】



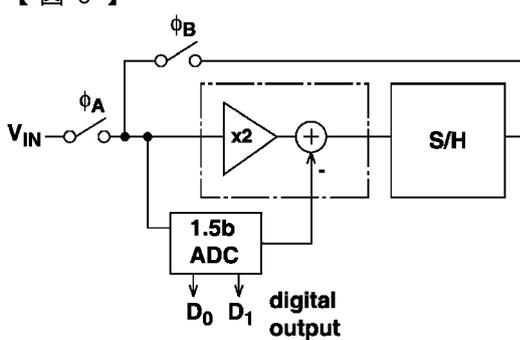
【図5】



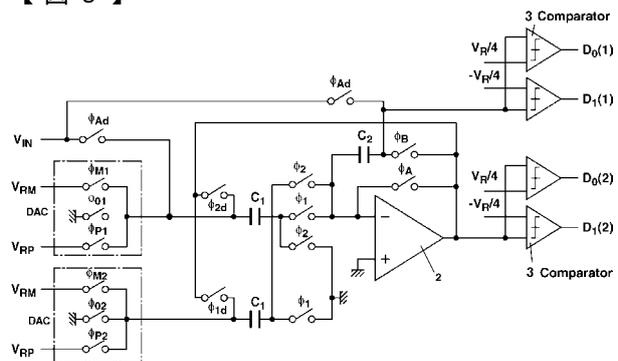
【図7】



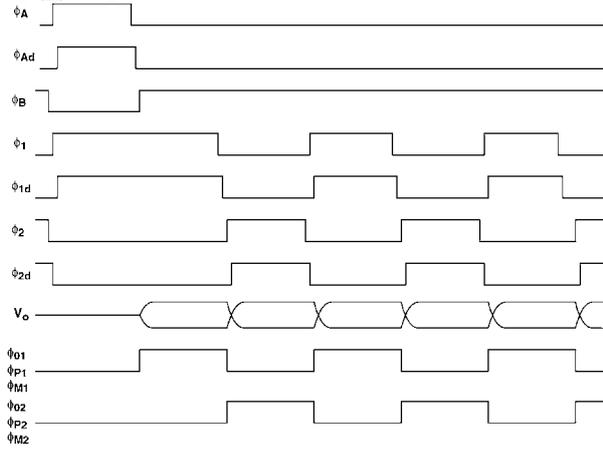
【図6】



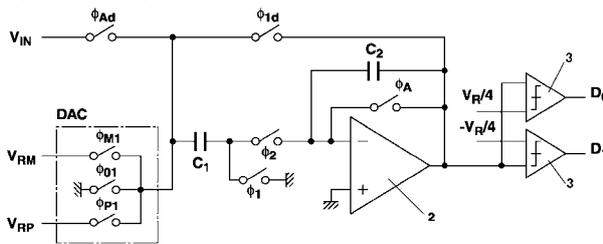
【図8】



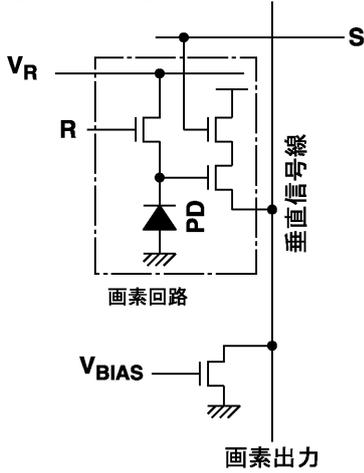
【 図 9 】



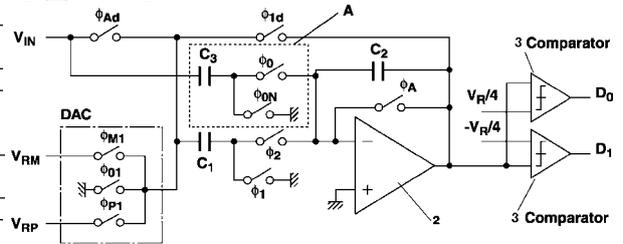
【 図 10 】



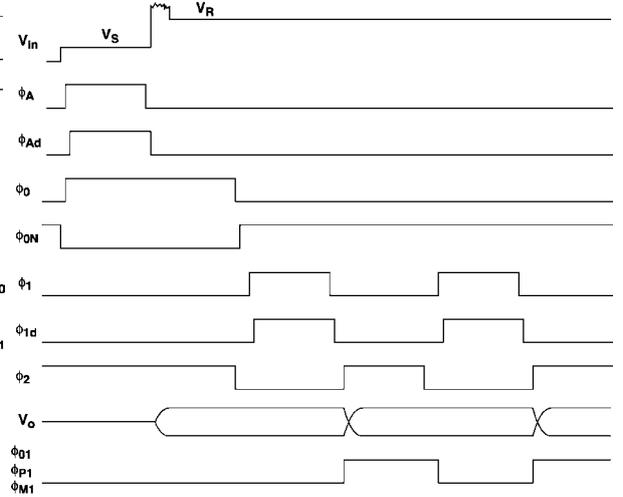
【 図 13 】



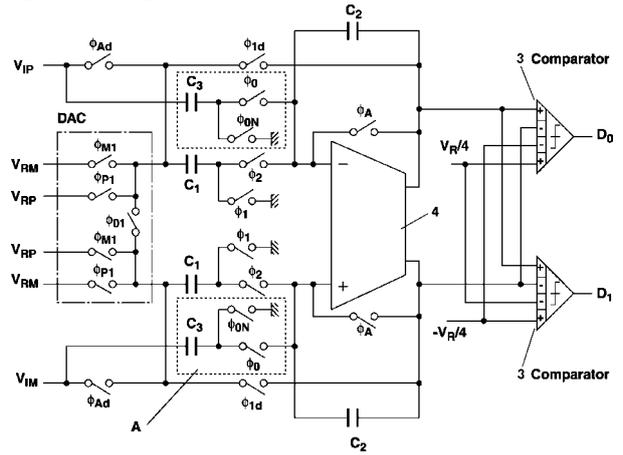
【 図 11 】



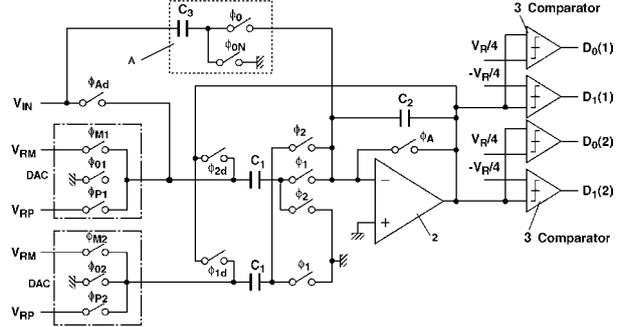
【 図 12 】



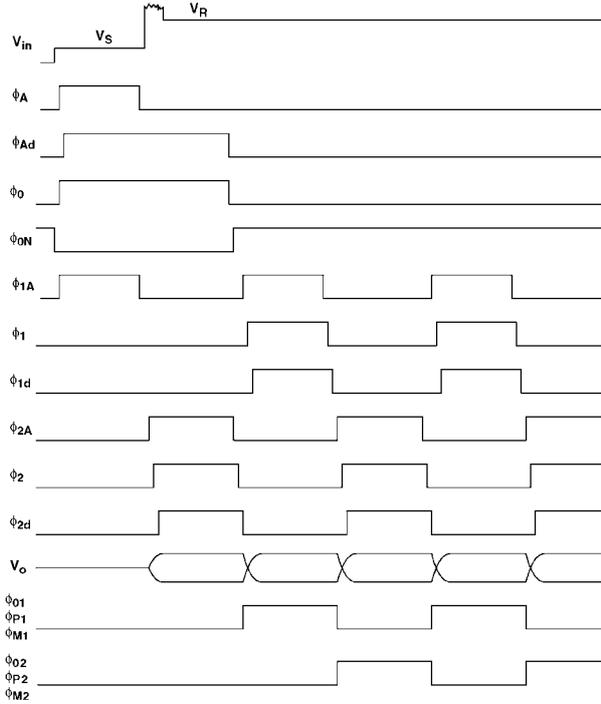
【 図 14 】



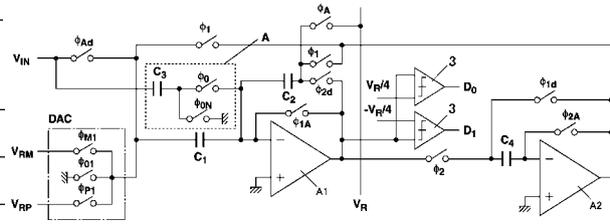
【 図 15 】



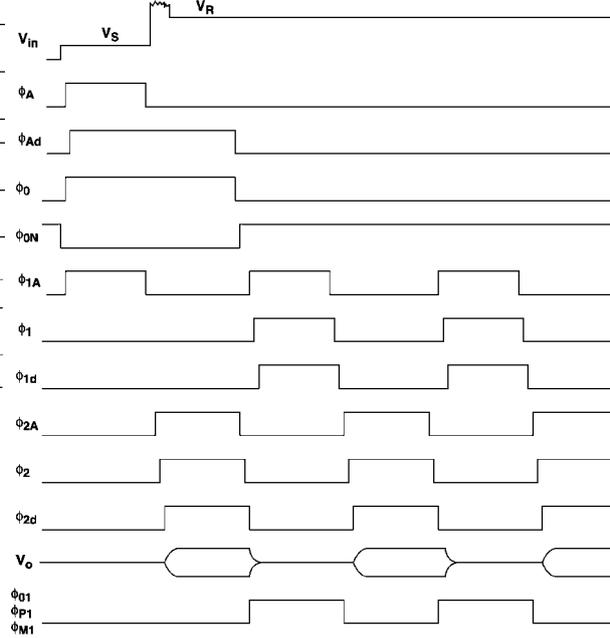
【 図 16 】



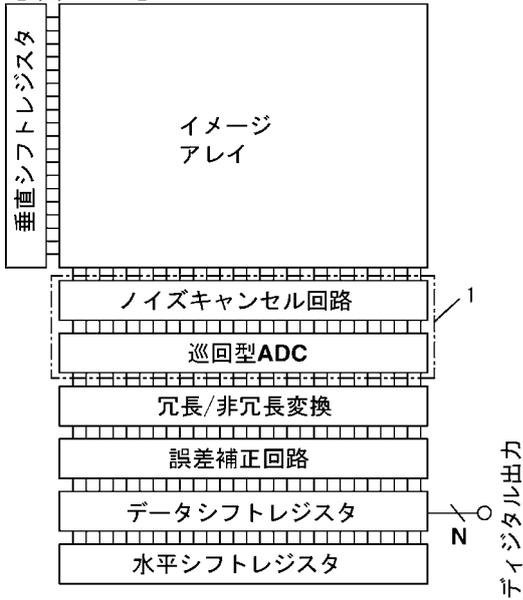
【 図 17 】



【 図 18 】



【 図 19 】



---

フロントページの続き

(56)参考文献 特開平2 - 279021 (JP, A)  
特開平11 - 27148 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H03M1/00 - 1/88, H04N5/355