

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3878613号

(P3878613)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.

F I

HO 4 N 5/335 (2006.01)

HO 4 N 5/335 E

HO 1 L 27/146 (2006.01)

HO 4 N 5/335 Z

HO 1 L 27/14 A

請求項の数 6 (全 14 頁)

(21) 出願番号 特願2004-61540(P2004-61540)
 (22) 出願日 平成16年3月5日(2004.3.5)
 (65) 公開番号 特開2005-252743(P2005-252743A)
 (43) 公開日 平成17年9月15日(2005.9.15)
 審査請求日 平成16年4月2日(2004.4.2)

(73) 特許権者 504143441
 国立大学法人 奈良先端科学技術大学院大
 学
 奈良県生駒市高山町8916-5
 (74) 代理人 100095670
 弁理士 小林 良平
 (72) 発明者 太田 淳
 奈良県奈良市中登美ヶ丘4-1
 (72) 発明者 徳田 崇
 京都府京都市中京区西洞院通錦小路下る蟻
 螂山町461-1
 (72) 発明者 香川 景一郎
 奈良県生駒市高山町8916-5大学宿舎
 D-406

最終頁に続く

(54) 【発明の名称】 イメージセンサ及び該センサを用いた画像信号処理装置

(57) 【特許請求の範囲】

【請求項1】

a) n 行 \times m 列 (n 、 m はともに 2 以上の整数) の 2 次元状に配列された複数の画素セルであって、それぞれが、受光した光を電荷信号に変換して蓄積する光電変換部、後記行選択制御回路により選択された状態においてリセット制御信号を受けて前記光電変換部の蓄積電荷による電位を所定電位にリセットする電位リセット部、及び後記行選択制御回路による選択に応じて前記光電変換部による電気信号を出力する出力部、を含む画素セルと、

b) n 行のいずれかを選択するための行選択制御回路と、

c) m 個の各列毎に設けられた信号変換処理回路であって、対応する列内の n 個の画素セルにおいて前記出力部を通して出力された電気信号を基準電位と比較することで二値信号に変換する二値変換部、及びその二値信号の値に応じて元の電気信号を得た画素セルの光電変換部の電位をリセットするためのリセット制御信号を生成するリセット信号生成部、を含む m 個の信号変換処理回路と、

d) 該 m 個の信号変換処理回路で得られる二値信号を順次選択して順番に出力する列選択出力制御回路と、

を備え、前記行選択制御回路により行を選択する毎に、該行に属する m 個の画素セルに対応して前記信号変換処理回路により得られる m 個の二値信号を前記列選択出力制御回路により順次選択して出力することで、全ての又は一部の画素セルで受光した光強度に対応した二値信号を時系列的に得るようにしたことを特徴とするイメージセンサ。

【請求項2】

10

20

請求項 1 に記載のイメージセンサにおいて、前記信号変換処理回路は、二値信号に変換する前の各画素セルからの電気信号を前記列選択出力制御回路を通して順次出力するための出力切替部と、その二値信号の値に拘わらず強制的にリセット制御信号を与えるための強制リセット信号生成部とをさらに含むことを特徴とするイメージセンサ。

【請求項 3】

請求項 1 又は 2 に記載のイメージセンサにおいて、各列の信号変換処理回路の二値変換部の出力電位を各画素セルの光電変換部のリセット電位としてフィードバックして与えるようにしたことを特徴とするイメージセンサ。

【請求項 4】

請求項 1 に記載のイメージセンサにおいて、各画素セルは光電変換部による電気信号を増幅するための増幅用素子を含み、前記信号変換処理回路にはその増幅用素子の負荷となる抵抗用素子を含むことを特徴とするイメージセンサ。

10

【請求項 5】

請求項 1 ~ 4 に記載のイメージセンサを用いた画像信号処理装置であって、前記行選択制御回路による行選択を画像のフレームレートよりも高速で行うことによって、2次元状の二値信号を繰り返し取得し、各画素セルに対する時系列的な二値信号をパルス幅変調信号とみなしてデジタル画素信号に変換することを特徴とする画像信号処理装置。

【請求項 6】

請求項 1 ~ 4 に記載のイメージセンサを用いた画像信号処理装置であって、前記行選択制御回路による行選択を画像のフレームレートよりも高速で行うことによって、2次元状の二値信号を繰り返し取得し、各画素セルに対する時系列的な二値信号をパルス周波数変調信号とみなしてデジタル画素信号に変換することを特徴とする画像信号処理装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮影対象物から到来する光の強度を検出して電気信号として出力するイメージセンサ、及びこのイメージセンサを用いた画像信号処理装置に関する。

【背景技術】

【0002】

現在実用化されているイメージセンサの方式には、大別して、CCD方式とCMOS方式とがある。この両者は主として画素信号を読み出す際の構造及び動作に相違があるが、光強度を電気信号に変換する際には、いずれも、一定時間（通常数～数十msec）内に画素内受光素子に生じたフォトキャリア（光電荷）を蓄積し、その蓄積電荷量を直接的又は間接的に検出するという動作を行うのが一般的である。従来、感度の高さや高密度化などに有利であるCCD方式が主流であったが、最近では、低消費電力化に有利であるとともに後段の画像処理回路等との1チップ化などに適したCMOS方式も注目されている。

30

【0003】

こうしたCMOS型のイメージセンサについて、従来から知られている光強度検出方式を図12及び図13を参照しながら説明する（非特許文献1など参照）。

【0004】

40

(1) アクティブピクセルセンサ（APS）方式

まずPN接合ダイオード（フォトダイオード）に或る時点で一定の逆電圧を印加することで、フォトダイオード電位を所定のリセット電位 V_{res} にリセットする。その後、フォトダイオードに光が入射するとフォトキャリアが発生し、電流が流れることによって放電してフォトダイオード電位が下がってゆく。このときに流れる放電電流は入射光の強度に依存するから、入射光強度が大きいほど電位の低下速度は大きくなる。そこで、図12に示すように、リセット終了時点から或る一定時間 t_1 が経過した時点でのフォトダイオード電位 V_1 （又は V_1' ）を検出し、リセット電位 V_{res} からの減少量（放電量）を得る。この電位の減少量が入射光強度を反映した輝度信号となる（図13（a）参照）。この方法では、フォトダイオード電位をリセットしてからその電位の減少量を検出するまでの

50

時間（つまり電荷蓄積時間） t_1 を長くすれば、入射光が微弱であっても検出時の電位差が大きくなるので検出感度を上げることが可能である。しかしながら、その場合、強い光が入射している画素では検出限界（通常フォトダイオード構造の飽和電荷量で決まる）を越えてしまうため、実際には電荷蓄積時間をあまり長くすることはできず、それによってダイナミックレンジが制約を受ける。

【0005】

(2) パルス幅変調 (PWM) 方式

この方式ではAPS方式のようにリセット時点から一定時間後の電位を検出するのではなく、フォトダイオード電位が所定のリセット電位 V_{res} にリセットされてから所定の基準電位 V_{ref} に下がるまでの時間をパルス信号の幅として検出する。したがって、図12及び図13(b)に示すように、入射光強度が大きく放電速度が速い場合には時間（パルス幅） t_2 は短く、入射光強度が微弱で放電速度が遅い場合には時間（パルス幅） t_2' は長くなる。この場合には、フォトダイオード電位が基準電位 V_{ref} 以下に下がった後に次のリセットを実行する。この方式では、入射光強度が微弱であるほど電荷蓄積時間が長くなるから、ダイナミックレンジを広げるのに有効である。

【0006】

(3) パルス周波数変調 (PFM) 方式

基本的にはPWM方式と同じであるが、例えば各画素毎にフォトダイオード電位が基準電位 V_{ref} まで下がったら自動的にリセットを行い、次の放電を開始させる。入射光強度が大きく放電速度が速い場合にはパルス信号の発生頻度が高くなり、入射光強度が微弱で放電速度が遅い場合にはパルス信号の発生は疎らになる。そこで、或る一定時間内に発生するパルス信号の数を計数すると、その計数値が入射光強度を反映した輝度信号となる（図13(c)参照）。なお、パルス幅変調方式とパルス周波数変調方式とはパルス信号を発生するための基本的な原理は同じであるため、本明細書中ではこの両者を合わせてパルス変調方式と呼ぶこととする。

【0007】

上述したように、パルス変調方式による検出はダイナミックレンジの拡大に非常に有効であり、例えば生体細胞の蛍光検出等、検出対象の光が非常に微弱であり、しかもその微弱光の変化量に情報を有しているような場合に特に有益である。

【0008】

しかしながら、一般にパルス変調方式による検出を行う場合、APS方式による検出を行う場合よりも画素を構成する回路の規模が大きくなる。例えば特許文献1に記載の装置では、画素セル内に光電変換部や電荷を蓄積するための記憶回路のほか、コンパレータ、アンド回路、出力回路などを備える。こうした付加的な処理回路を各画素毎に設ける必要があるため、半導体チップ上で1画素の面積に占める受光面の面積の割合が小さくなるという問題がある。その結果、例えば全画素セルに割り当てられた面積が同一であるとする、パルス変調方式ではAPS方式よりも画素数が少なくなってしまう、画像分解能が低下してしまうという問題がある。

【0009】

また、パルス変調方式を採用した従来のイメージセンサでは、上述したように画素セル内の回路構成が従来のAPS方式の画素セルの回路構成とはかなり変わってしまうため、例えばAPS方式用に設計された回路構成をパルス変調方式用に簡単に変更することや、例えば簡便な切替え等によって両方式に対応可能であるように変更することは難しいという問題がある。

【0010】

【特許文献1】特許第2879670号公報

【非特許文献1】太田淳著、「分子シンクロナイゼーションとビジョンチップ」、[Online]、奈良先端科学技術大学院大学物質創成科学研究科光機能素子科学講座、[平成16年3月1日検索]、インターネット<URL: [http://mswebs.aist-nara.dc.jp/LABs/nunosita-web/research_activity/vision_chip/publish/2002.02.org.pfm-pwm\(ohta\)digest.pdf](http://mswebs.aist-nara.dc.jp/LABs/nunosita-web/research_activity/vision_chip/publish/2002.02.org.pfm-pwm(ohta)digest.pdf)>

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明はかかる課題に鑑みて成されたものであり、その主たる目的は、パルス変調方式による検出を行うイメージセンサにおいて、各画素セルの光電変換部以外の回路規模を小さくすることによって画素セルの配置密度を高め、画像分解能を向上させることができるイメージセンサ及び該センサを用いた画像信号処理装置を提供することにある。

【課題を解決するための手段、及び発明の効果】

【0012】

上記課題を解決するために成された本発明に係るイメージセンサは、

10

a) n 行 \times m 列 (n 、 m はともに 2 以上の整数) の 2 次元状に配列された複数の画素セルであって、それぞれが、受光した光を電荷信号に変換して蓄積する光電変換部、後記行選択制御回路により選択された状態においてリセット制御信号を受けて前記光電変換部の蓄積電荷による電位を所定電位にリセットする電位リセット部、及び後記行選択制御回路による選択に応じて前記光電変換部による電気信号を出力する出力部、を含む画素セルと、

b) n 行のいずれかを選択するための行選択制御回路と、

c) m 個の各列毎に設けられた信号変換処理回路であって、対応する列内の n 個の画素セルにおいて前記出力部を通して出力された電気信号を基準電位と比較することで二値信号に変換する二値変換部、及びその二値信号の値に応じて元の電気信号を得た画素セルの光電変換部の電位をリセットするためのリセット制御信号を生成するリセット信号生成部、

20

d) 該 m 個の信号変換処理回路で得られる二値信号を順次選択して順番に出力する列選択出力制御回路と、

を備え、前記行選択制御回路により行を選択する毎に、該行に属する m 個の画素セルに対応して前記信号変換処理回路により得られる m 個の二値信号を前記列選択出力制御回路により順次選択して出力することで、全ての又は一部の画素セルで受光した光強度に対応した二値信号を時系列的に得るようにしたことを特徴としている。

【0013】

本発明に係るイメージセンサにおいて、各画素セルは、光電変換部で得られたアナログレベルの電気信号を二値信号に変換するための特別な回路 (例えばコンパレータなど) を含まず、そうした回路は 2 次元状の画素セルアレイの外側に、各列毎に信号変換処理回路として設けられる。

30

【0014】

このイメージセンサにより画像信号を取得する際には、行選択制御回路は n 行を 1 行ずつ順次選択し、各行に属する m 個の画素セルを信号読み出し可能及びリセット可能な状態とする。行選択された m 個の各画素セル内において、出力部は光電変換部により蓄積された電荷に基づく電気信号を出力して、その画素センサの列の信号変換処理回路へと送る。また、電位リセット部はその画素センサの列の信号変換処理回路から送られて来たリセット制御信号を受けると、光電変換部の蓄積電荷による電位を所定電位にリセットする。一方、 m 個の各信号変換処理回路では、二値変換部が、上述したよう出力部により出力された電気信号を基準電位と比較することでアナログレベルの電気信号を「0」又は「1」の二値信号に変換する。また、リセット信号生成部はその二値信号の値が「0」「1」又はその逆に変化した後リセット制御信号を生成して画素セルに送る。具体的に、画素セル内で光電変換部を所定電位にリセットした後に入射光により生成する電流で放電を行って電位を低下させる構成においては、その電位が基準電位に到達するまでは二値信号を「0」とし、基準電位に到達したならば二値信号を「1」に反転する。リセット信号生成部はその反転に応じてリセット制御信号を出して該当画素セルの光電変換部を所定電位に一旦リセットする。

40

【0015】

こうして行選択制御回路により或る 1 行が選択された状態で、 m 個の信号変換処理回路

50

では列方向の m 個の二値信号が用意されるから、列選択出力制御回路により各列の二値信号を所定の順番で指定して出力する。行選択制御回路が各行を選択する毎に、上述したような処理を繰り返すことによって、各画素セル内で発生した電気信号を基準電位と比較した結果である二値信号が全画素セルについて得られる。もちろん、必ずしも全画素セルの結果が必要ない場合もあるから、必要に応じて適宜の画素セルに対応した二値信号のみ選択的に得るようにしてもよい。

【0016】

上述したように本発明に係るイメージセンサでは、各画素セルにはA P S方式による検出の場合と同程度の回路しか含まない。具体的には、C M O Sイメージセンサの画素構成として一般的である3トランジスタ(Tr)構成に1個のトランジスタを追加した4個のトランジスタにより1個の画素回路を構成することができ、パルス変調のための処理回路は画素セル内から除去することができるので、1個毎の画素セルの中での光電変換部の占める割合を増やししながら、1個毎の画素セルサイズを縮小することができる。それによって、例えば従来と同一面積の画素セル配置領域を与えられた場合に、その領域内に配置する画素セルの数を大幅に増加させて、画像分解能を向上させることができる。また、画素セル数を同一とした場合には、画素セル配置領域の面積を縮小してチップ面積を小さくしたり、或いは他の回路を同一チップ上に形成したりすることが容易になる。

10

【0017】

さらにまた、本発明に係るイメージセンサによれば、各画素セルの出力部から出力される電気信号は通常のA P S方式の画素セルと同様のアナログレベルの信号であるため、従来のA P S方式用に設計されたC M O Sイメージセンサの画素セルを殆どそのまま流用して、その外側に必要な回路を追加することによって本発明に係るイメージセンサを得ることができる。このようにA P S方式とも整合性が良好であるので、設計・製造にかかるコストを抑制することが可能となる。

20

【0018】

また、本発明に係るイメージセンサでは上述したように二値信号が時系列的に(つまりビットストリームとして)得られるが、これをパルス幅変調方式として処理する場合には、画像信号処理装置として、行選択制御手段による行選択を画像のフレームレートよりも高速で行うことによって、2次元状の二値信号を繰り返し取得し、各画素セルに対する時系列的な二値信号をパルス幅変調信号とみなしてデジタル画素信号に変換する構成とすることができる。

30

【0019】

他方、時系列的な二値信号をパルス周波数変調方式として処理する場合には、画像信号処理装置として、行選択制御手段による行選択を画像のフレームレートよりも高速で行うことによって、2次元状の二値信号を繰り返し取得し、各画素セルに対する時系列的な二値信号をパルス周波数変調信号とみなしてデジタル画素信号に変換する構成とするとよい。

【0020】

このように行選択を高速で行いながらイメージセンサから得られる信号を適宜に処理することによって、パルス幅変調方式又はパルス周波数変調方式による信号からデジタル画素信号を得ることができる。なお、こうした信号処理はイメージセンサと同一チップ上又は別のチップ上に形成した専用の信号処理回路によって行うこともできるし、例えばC P Uを含む汎用のマイクロプロセッサ(コンピュータ)で行うようにすることもできる。

40

【0021】

また、本発明に係るイメージセンサにおいて、前記信号変換処理回路は、二値信号に変換する前の各画素セルからの電気信号を前記列選択出力制御回路を通して順次出力するための出力切替手段と、その二値信号の値に拘わらず強制的にリセット制御信号を与えるための強制リセット信号生成部とをさらに含む構成としてもよい。この構成によれば、目的に応じてパルス変調(P W M又はP F M)方式と一般的なA P S方式による検出とを選択的に行うことが可能になり、イメージセンサとしての用途が広がる。

50

【0022】

本発明に係るイメージセンサでは、異なる画素セルにおけるトランジスタの閾値等の特性のばらつきや、異なる信号変換処理回路におけるコンパレータのオフセット電圧等の特性のばらつきなどが検出信号の誤差要因となり得る。そこで、こうした誤差を軽減するために、各列の信号変換処理回路の二値変換部の出力電位を各画素セルの光電変換部のリセット電位としてフィードバックして与える構成とすることが好ましい。この構成によれば、上述したような各素子の特性のばらつきがあっても、そのばらつきの影響が相殺されるようにリセット電位自体が変化する。したがって、光電変換部へ入射する光の強度に対応した信号をより高い精度で以て取得することができる。

【0023】

また、上記本発明に係るイメージセンサでは、通常、光電変換部において得た電気信号を1個のトランジスタから構成されるソースフォロアアンプ等のゲインが1以下のバッファアンプを介して電流信号として信号変換処理回路へと送るが、場合によっては、画素セル内でゲインが1よりも大きなアンプを通して信号増幅を行ってもよい。すなわち、この場合、各画素セルは光電変換部による電気信号を増幅するための増幅用素子を含み、前記信号変換処理回路にはその増幅用素子の負荷となる抵抗用素子を含む構成とすればよい。ここで、CMOSプロセスでは一般に増幅用素子、抵抗用素子ともにMOSトランジスタであり、増幅用素子は例えばソース接地アンプを構成する。

【0024】

この構成によれば、画素セル内で或る程度のゲインをとって信号を増幅するので、各画素セルと信号変換処理回路とを接続する信号線に外来ノイズが混入しても高いS/N比を確保することができる。それによって、外来ノイズが多い状況下でも検出精度の低下を防止することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明に係るイメージセンサについて、具体的な例を挙げつつ図面を参照して説明する。

【0026】

[第1実施例]

図1は第1実施例によるCMOSイメージセンサの概略構成図、図2は1個の画素セルの回路構成図、図3は1個のパルス変換部の回路構成図である。

【0027】

本実施例のイメージセンサ1の内部に設けられたイメージセル部2には、16個の画素セル10がy方向に4行、x方向に4列の、4行×4列の2次元状に配置されている。もちろん、これは説明を容易にするために画素セルの数を減らしたものであり、実用上は画素セルの数は遙かに多いことは言うまでもない。後述するが、各画素セル10はそれぞれ受光素子としてフォトダイオードを備えており、イメージセル部2に照射された光は各フォトダイオードによって光電変換され、画素単位で電気信号を発生する。

【0028】

本発明における行選択制御回路である行選択スキヤナ3は行選択信号線B1を介して、イメージセル部2内の同一行(y1, y2, y3, y4)に属する4個の画素セル10を選択する機能を有する。一方、イメージセル部2内の同一列(x1, x2, x3, x4)に属する4個の画素セル10に対しては、その列毎に本発明における信号変換処理回路であるパルス変換部4が設けられている。各パルス変換部4はその列に属する4個の画素セル10とリセット信号線B2及び読み出し信号線B3を介して接続されている。この4個のパルス変換部4の出力はセレクタ5に入力され、列選択スキヤナ6の制御の下にセレクタ5で選択された信号がイメージセンサ1から出力される。すなわち、セレクタ5及び列選択スキヤナ6が本発明における列選択出力制御回路に相当する。タイミング制御部7は外部から複数のクロック信号を受けて、行選択スキヤナ3、パルス変換部4、列選択スキヤナ6等の動作を制御するための制御信号を生成する。

10

20

30

40

50

【0029】

このイメージセンサ1の外側には、イメージセンサ1から出力される信号を処理するためのデータ処理回路100が設けられている。このデータ処理回路100は専用のハードウェアで構成することも可能であるが、適宜のインターフェイス回路を介してCPUを中心とするコンピュータに取り込み、コンピュータによる演算処理によってデータ処理を行ってもよい。

【0030】

図2に示すように、1個の画素セル10は、本発明における光電変換部としての1個のフォトダイオード11と4個のMOSトランジスタ12、13、14、15とを含む。フォトダイオード11はアノードが接地され、カソードにはリセット用スイッチである第1トランジスタ12とソースフォロアアンプとして機能する第3トランジスタ14のゲート端子とが接続されている。第1トランジスタ12は第2トランジスタ13を介して直流電源電圧V_{dd}に接続され、第1トランジスタ12のゲート端子はリセット信号線B2に、第2トランジスタ13のゲート端子は行選択信号線B1に接続されている。すなわち、第1及び第2トランジスタが本発明における電位リセット部に相当する。第3トランジスタ14の出力であるソース端子は、本発明における出力部としての第4トランジスタ15を介して読み出し信号線B3に接続されており、その第4トランジスタ15のゲート端子は行選択信号線B1に接続されている。

【0031】

この画素セル10の基本的な光電変換及び信号読み出し動作は次の通りである。すなわち、第1、第2トランジスタ12、13が共にオンしたときに、フォトダイオード11のカソード側の電位（以下、これをフォトダイオード電位という）は直流電源電圧V_{dd}に一旦リセットされる。第1、第2トランジスタ12、13の少なくともいずれか一方がオフした状態でフォトダイオード11に光が入射すると、その受光強度に応じた電流がフォトダイオード11に流れ、その電流による放電のためにフォトダイオード電位は徐々に低下する。このときの電位の低下速度（図12における電位低下の傾き）は受光強度に依存しており、受光強度が大きいほど低下速度が速く（傾きが急に）なる。第4トランジスタ15がオフしている間、この画素セル10は読み出し信号線B3と実質的には切り離されているが、行選択信号線B1に供給される信号によって第4トランジスタ15がオンすると、フォトダイオード電位に応じてソースフォロアアンプである第3トランジスタ14に流れる電流信号が読み出し信号線B3に供給される。

【0032】

上記画素セル10の構成において、第3トランジスタ14により構成されるソースフォロアアンプはゲインが1をやや下回る単なるバッファアンプである。したがって、各画素セル10の内部にはパルス変調による検出のための構成要素は特に含まれず、基本的な構成は、いわゆる3Tr型のCMOSイメージセンサの画素にトランジスタを1個だけ追加したものであり、画素セル10への入出力信号線及び画素単体での動作は3Tr型画素と同一となる。そのため、1個毎の画素サイズは従来一般的な（つまりAPS方式の）CMOSイメージセンサのものとほぼ同等にすることができる。

【0033】

図3に示すように、パルス変換部4においては、読み出し信号線B3を介して供給される電流信号が上記ソースフォロアアンプの負荷抵抗として機能するトランジスタ21により電圧信号に変換され、その電圧信号の電圧値と基準電位V_{ref}とがコンパレータ22で比較される。コンパレータ22は電圧信号が基準電位V_{ref}よりも大きいときに「0」を出力し、電圧信号が基準電位V_{ref}以下になると「1」を出力する。この二値信号はフリップフロップ回路23のデータ端子（D）に入力され、タイミング制御部7から与えられるクロック信号PWM-CLKの立ち上がりエッジ毎に内部に読み込まれて出力端子（Q）に反映される。この出力信号Doutがセレクタ5に送られるとともに、アンドゲート24の一方の入力端に与えられる。

【0034】

アンドゲート24はこのフリップフロップ回路23の出力信号Doutとリセットタイミング信号RST-TIMとが共に「1」になったときにリセット信号線B2にフォトダイオードリセット信号PD-RSTを出す。したがって、基本的には、コンパレータ22に与えられる電圧信号が基準電位V_{ref}以下になってから少し遅れてフォトダイオードリセット信号PD-RSTを出す。それによって、電圧信号が基準電位V_{ref}以下になった画素セルのフォトダイオード電位をリセットする。基本的には基準電位V_{ref}は全ての画素セルで同一であるが、電圧信号は各画素セル10のフォトダイオード11で受けた受光強度に依存する。したがって、フォトダイオードリセット信号PD-RSTが出るタイミングは各列毎及び各行毎に全く異なる(偶然に一致する場合もある)。

【0035】

ここまでは画素セル10及びパルス変換部4の個別の動作について説明したが、以下、本実施例のCMOSイメージセンサを用いた画像信号の収集動作の一例についてデータ処理方法を含めて、図4～図6を参照しながら説明する。

【0036】

このイメージセンサ1では、タイミング制御部7による制御の下に行選択スキヤナ3は、y₁ y₂ y₃ y₄ y₁...と各行に属する4個の画素セルをまとめて順次選択するように行選択信号線B1に選択信号を出す(図4(a)参照)。選択されている行に属する4個の画素セル10においてのみ、上記のような電圧信号の読み出し動作とフォトダイオード電位のリセット動作とが可能となる。読み出し信号線B3及びパルス変換部4は各列毎に全く独立しているから、選択された行に属する4個の画素セル10の電圧信号に基づくコンパレータ22の判定結果(二値信号)はほぼ同時にそれぞれのフリップフロップ回路23に読み込まれ、その出力Doutが「1」になっている場合、つまりコンパレータ22に与えられる電圧信号が基準電位V_{ref}以下まで下がっている場合には、その画素セル10のフォトダイオード電位はリセットされる。

【0037】

各フリップフロップ回路23に読み込まれた二値信号は、列選択スキヤナ6により制御されるセクタ5でx₁ x₂ x₃ x₄と順次選択されて出力される(図4(b)参照)。上記フリップフロップ回路23の出力Doutをそのままセクタ5で選択して出力する場合、次のクロック信号PWM-CLKの立ち上がりエッジまでに4個全て(x₁, x₂, x₃, x₄)の二値信号を取り出す必要がある。そこで、イメージセンサ1からデータ処理回路100へのデータの受け渡しの時間的余裕を設けたい場合には、各列に対応してラッチ回路やフリップフロップ回路などを余分に設け、読み出し時間のマージンを設けるようにしてもよい。

【0038】

上述したように行選択スキヤナ3により各行が順次選択される毎に、その行に属する4個の画素セル10に対応した二値信号が順次読み出される。そして、行選択がy₁ y₂ y₃ y₄と一巡した時点で、図5に示すように1枚の画像に対応する合計16個の画素セル10のデータが揃うことになる。但し、このとき各画素セル10に対応したデータは1ビットにすぎず「0」又は「1」の2状態しか表すことができない。通常、APS方式の場合、各画素セルから取り出されたアナログ画素信号は8ビット乃至10ビット程度のデジタル信号に変換されるから、これに比べると、上記構成で得られるデータの情報は遙かに少ない。そこで、本実施例のイメージセンサでは、上記のような各行の循環的なスキャンを非常に速い速度で行うことによって、画像1枚当たりのデータ量の少なさを補う。

【0039】

具体的には例えば一般的なテレビジョン画像などを想定した場合、約1/30秒である1フレーム期間内で各画素セル毎に2⁸(=256)又は2¹⁰(=1024)個の1ビットデータが得られるように高速で行スキャンを行う。単純に計算した場合、10kfps～30kfps程度のフレームレートが必要になる。また、例えば生体細胞の蛍光イメージングなどの用途においては、多くの場合、上記のような高速の画像フレームレートは不要であり、例えば1秒に1枚の

10

20

30

40

50

画像が得られればよい場合もある。そうした場合には行スキンの速度を落とすことができ、ハードウェアを構成し易くなる。

【0040】

但し、APS方式とパルス変調方式との原理的な相違から、次のような点に注意すべきである。すなわち、APS方式の場合には、各画素セルの信号読み出し時間間隔を決めておき、その時間間隔で必ず有意なデータを得ることが可能である。一方、パルス変調の場合、受光強度が非常に微弱であるとフォトダイオード電位がリセット電位 (V_{dd}) から基準電位 V_{ref} まで低下するのに非常に時間がかかる。その時間よりも長く画像のフレームレートが設定されていないと、少なくともその画素セルについては有意なデータを得られない。したがって、本質的に、本実施例のイメージセンサを利用してパルス変調方式による検出を行う場合には、1フレーム期間(つまり画像の更新間隔)は或る程度長くしておくことが望ましい。それによって、微弱な光信号を反映させた画像を作成することが可能となる。

10

【0041】

イメージセンサ1における上記のような処理によって、1フレーム分の各画素1ビットずつのデータストリームが連続的に得られる。このデータストリームをデータ処理回路100では次のように処理する。

(i) パルス幅変調(PWM)方式の検出を行う場合

データ処理回路100では、順次得られるデータストリームを各画素毎のデータ列に分離する。いま、或る1個の画素セル10に対するデータ列が図6(a)に示すようになっているものとする。これは図6(b)に示すように「0」のパルス幅に情報を有するPWM信号であるから、「0」の連続数を計数するか、或いは更に高速のクロックパルス信号により上記PWM信号の「0」期間を計数する。その計数値自体がパルス幅に対応した画像信号(輝度信号)になる。

20

【0042】

(ii) パルス周波数変調(PFM)方式の検出を行う場合

この場合にはパルス幅ではなくパルス発生頻度に情報を有している。したがって、データ処理回路100では、順次得られるデータストリームを各画素毎のデータ列に分離した後、或る一定時間内に発生するパルスの数を計数する。その計数値自体がパルス周波数に対応した画像信号(輝度信号)になる。

30

【0043】

以上のようにして、本実施例によるイメージセンサによれば、画素セル10内のフォトダイオード11で光電変換によって得られた電気信号をパルス変調方式によって検出して受光強度に対応した輝度信号を得ることができる。

【0044】

[第2実施例]

次に本発明の第2実施例によるイメージセンサについて説明する。図7は第2実施例によるCMOSイメージセンサにおけるパルス変換部4の回路構成図である。全体の構成や各画素セルの回路構成は上記第1実施例と同じであるので説明を省略する。

【0045】

この第2実施例によるイメージセンサの特徴は、上述したパルス変調による検出だけでなく、通常のAPSの検出動作も選択的に行える点である。そのために、負荷用のトランジスタ21とコンパレータ22との間にモード切替用のトランジスタ26、27を設け、パルス変調モードで使用する場合にはトランジスタ26をオンし、APSモードで使用する場合にはトランジスタ27をオンする。また、外部から強制的に各画素セル10のフォトダイオード電位をリセットできるように、フリップフロップ回路23の出力とアンドゲート24との間にオアゲート25を挿入している。

40

【0046】

この回路構成ではPWMmode=1、APSmode=0、強制RST=0とすれば、第1実施例におけるパルス変換部4と同じ動作をする。一方、APSモードで動作させる場合には、PWMmode=

50

0、APSmode=1とし、全行を適当なレートでスキャンしながら強制RST=1としてフォトダイオード電位をリセットした後、次のフレームで画素セル10から送られてきたアナログ値の画素信号をAoutから出力し、セレクタ5で選択して順番に出力する。このときには、スキャンのフレームレートを適当に下げることが言うまでもない。

【0047】

[第3実施例]

次に本発明の第3実施例によるイメージセンサについて説明する。図8は第3実施例のイメージセンサにおける画素セルの回路構成図、図9は第3実施例のイメージセンサにおけるパルス変換部の回路構成図である。

【0048】

上記第1実施例のイメージセンサでは、理想的には各画素セル間のトランジスタの閾値などの特性やパルス変換部のコンパレータの特性にはばらつきがない。しかしながら、実際にはこうした特性のばらつきは或る程度避けることができず、これがこのセンサにおける誤差の一つの要因となる。そこで、この第3実施例によるイメージセンサでは、図8に示すように、各画素セル10内においてトランジスタ13のドレイン端子を直流電源電圧V_{dd}に接続するのではなく、図9に示すようにコンパレータ22の出力電圧によって与えられるリセット電圧信号線B4に接続している。すなわち、コンパレータ22の出力をトランジスタ13にフィードバックすることにより負帰還ループを形成する。これによって、各画素セル内のトランジスタの特性のばらつきやコンパレータの特性のばらつきなどに起因するオフセットを軽減することができる。

【0049】

また、上記第2実施例及びこの第3実施例におけるイメージセンサでは、外部から強制的にフォトダイオード電位をリセットできることを利用して次のような、単一測定モードによる1枚のみの画像測定を行うことができる。

【0050】

すなわち、まず行選択スキャナ3により全行をスキャンしながら全ての画素セルのフォトダイオード電位をリセットし、続いて、高速で行スキャンを行って順次選択された行の画素セルの電圧信号をコンパレータで判定するという処理を繰り返す。基本的には、全ての画素セルの電圧信号が基準電位V_{ref}を下回るまで行スキャンを繰り返すと、全ての画素に対応した輝度信号が得られる。但し、光信号がきわめて微弱である場合、フォトダイオード電位がリセットされてから基準電位V_{ref}にまで電位が下がるのに非常に長い時間がかかることがあり得る。そこで、例えば放電時間(又は計測フレーム数)に上限を設定しておき、既定の時間又はフレーム数に達した時点で計測を打ち切り、その時点で得られている輝度信号のみで画像を構成するようにしてもよい。また、基準電位V_{ref}を変化可能としておけば、例えば1回の測定の終了に近い期間で基準電位V_{ref}を変化させる(上記例では基準電位V_{ref}を上げる)ことで、或る画素の輝度信号が不定になることを防止することができる。これはパルス変調方式のフォトセンサの持つガンマ特性可変センサとしての特徴を利用したものである。

【0051】

[第4実施例]

次に本発明の第4実施例によるイメージセンサについて説明する。図10は第4実施例のイメージセンサにおける画素セルの回路構成図、図11は第4実施例のイメージセンサにおけるパルス変換部の回路構成図である。

【0052】

第1実施例の画素セルの構成では、フォトダイオード電位を受けるソースフォロアアンプのゲインは1以下であり増幅機能を有さない。これに対し第4実施例のイメージセンサは、画素セル10内の回路でフォトダイオード電位を増幅することによって、読み出し信号線B3などに外来ノイズが混入し易い場合であっても、その影響を軽減するようにしている。ここでは、各画素セル10内で、ソースフォロアに代えて、ソース接地アンプのトランジスタ16を設け、そのトランジスタ16のドレインをトランジスタ15を介して読

10

20

30

40

50

み出し信号線 B 3 に接続している。一方、パルス変換部 4 内では各画素セル 1 0 のソース接地アンプの負荷となるトランジスタ（実際には抵抗として機能）2 8 が設けられている。

【0053】

このような構成では、トランジスタ 1 6 によるソース接地アンプのゲインを 1 よりも大きくすることができ、電気信号の振幅が大きくなる分だけ S / N 比が改善される。それによって、コンパレータ 2 2 での信号の判定の際に誤判定が回避される。但し、この構成では、画素セル 1 0 内のソース接地アンプで信号増幅を行う際に線形性が損なわれるため、第 3 実施例のようにフィードバックによるトランジスタ等の特性補正は不可能である。

【0054】

なお、上記各実施例は一例であって、本発明の趣旨の範囲で適宜変形や修正を行っても、本願の請求の範囲に含まれることは明らかである。

【図面の簡単な説明】

【0055】

【図 1】本発明に係る第 1 実施例によるイメージセンサの概略構成図。

【図 2】第 1 実施例のイメージセンサにおける 1 個の画素セルの回路構成図。

【図 3】第 1 実施例のイメージセンサにおける 1 個のパルス変換部の回路構成図。

【図 4】第 1 実施例のイメージセンサの信号読み出し動作の説明図。

【図 5】第 1 実施例のイメージセンサの信号読み出し動作の説明図。

【図 6】第 1 実施例のイメージセンサにおいて読み出された信号の処理動作の説明図。

【図 7】本発明に係る第 2 実施例のイメージセンサにおけるパルス変換部の回路構成図。

【図 8】本発明に係る第 3 実施例のイメージセンサにおける画素セルの回路構成図。

【図 9】本発明に係る第 3 実施例のイメージセンサにおけるパルス変換部の回路構成図。

【図 10】本発明に係る第 4 実施例のイメージセンサにおける画素セルの回路構成図。

【図 11】本発明に係る第 4 実施例のイメージセンサにおけるパルス変換部の回路構成図。

【図 12】イメージセンサにおける信号読み出し方式の相違の説明図。

【図 13】イメージセンサにおける信号読み出し方式の相違の説明図。

【符号の説明】

【0056】

1 ... イメージセンサ

2 ... イメージセル部

3 ... 行選択スキャナ

4 ... パルス変換部

5 ... セレクタ

6 ... 列選択スキャナ

7 ... タイミング制御部

10 ... 画素セル

11 ... フォトダイオード

12、13、14、15、16、21、26、27 ... MOS トランジスタ

22 ... コンパレータ

23 ... フリップフロップ回路

24 ... アンドゲート

25 ... オアゲート

100 ... データ処理回路

B1 ... 行選択信号線

B2 ... リセット信号線

B3 ... 読み出し信号線

B4 ... リセット電圧信号線

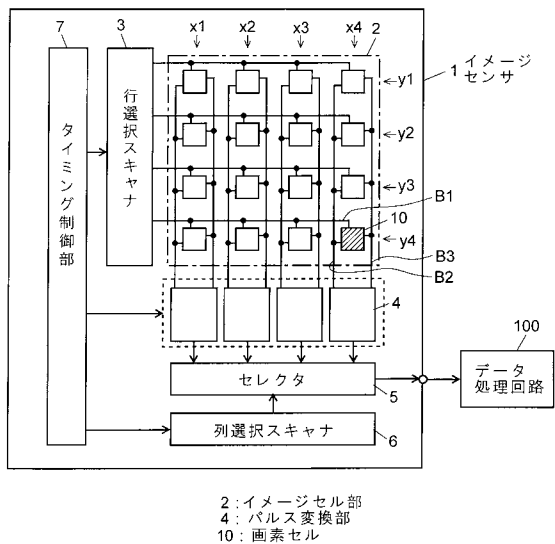
10

20

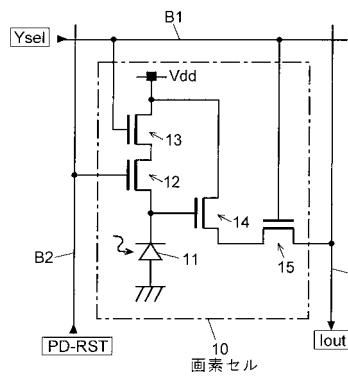
30

40

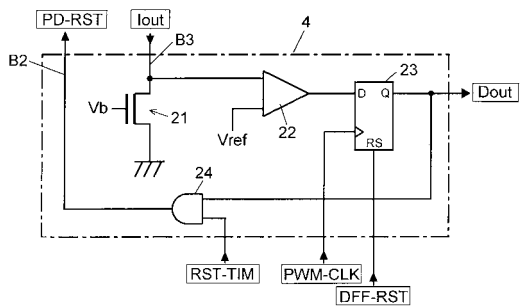
【 図 1 】



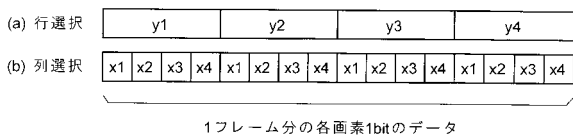
【 図 2 】



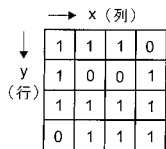
【 図 3 】



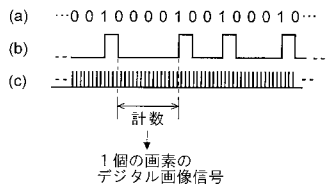
【 図 4 】



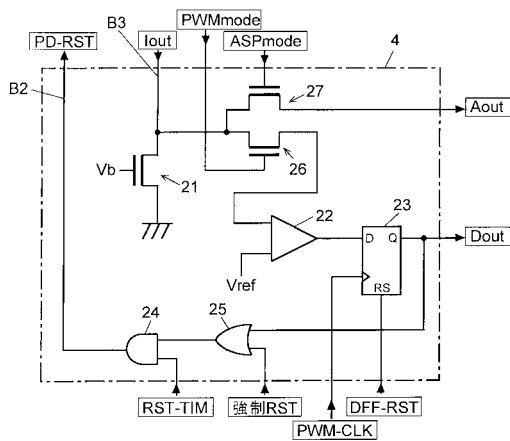
【 図 5 】



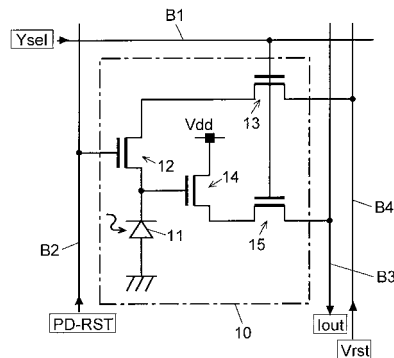
【 図 6 】



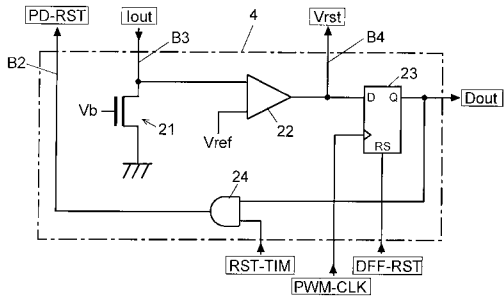
【 図 7 】



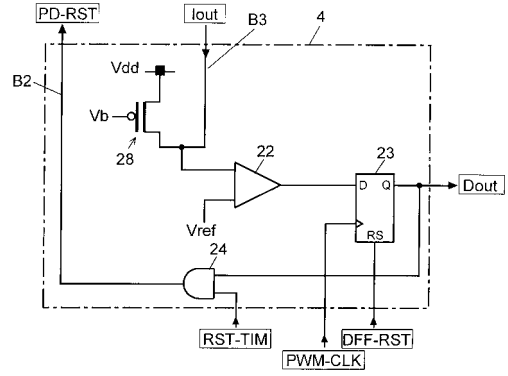
【 図 8 】



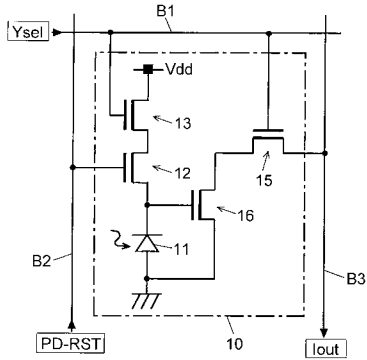
【図9】



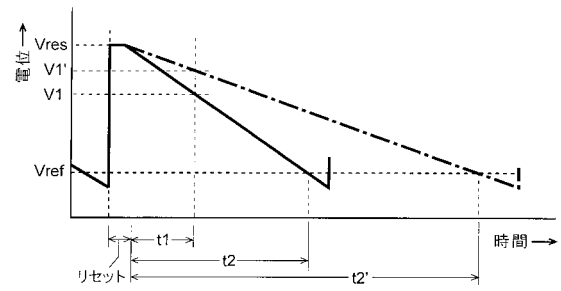
【図11】



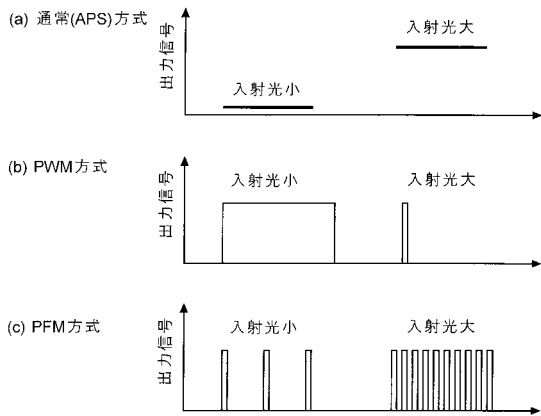
【図10】



【図12】



【図13】



フロントページの続き

審査官 徳田賢二

- (56)参考文献 特開平11-205684(JP,A)
特開2000-253320(JP,A)
特開2001-346102(JP,A)
特開昭63-20974(JP,A)
特開2002-124877(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/335
H01L 27/146