

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4072621号
(P4072621)

(45) 発行日 平成20年4月9日(2008.4.9)

(24) 登録日 平成20年2月1日(2008.2.1)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 29/792 (2006.01) CO 1 B 33/027
 HO 1 L 27/115 (2006.01)
 CO 1 B 33/027 (2006.01)

請求項の数 7 (全 8 頁)

(21) 出願番号	特願2003-363411 (P2003-363411)	(73) 特許権者	504139662
(22) 出願日	平成15年10月23日(2003.10.23)		国立大学法人名古屋大学
(65) 公開番号	特開2005-129708 (P2005-129708A)		愛知県名古屋市千種区不老町1番
(43) 公開日	平成17年5月19日(2005.5.19)	(74) 代理人	100147485
審査請求日	平成15年10月23日(2003.10.23)		弁理士 杉村 憲司
特許法第30条第1項適用	第64回応用物理学会学術講演会 講演予稿集 第2分冊(平成15年8月30日発行) 第767頁に発表	(74) 代理人	100072051
			弁理士 杉村 興作
		(74) 代理人	100100125
			弁理士 高見 和明
		(74) 代理人	100101096
			弁理士 徳永 博
		(74) 代理人	100107227
			弁理士 藤谷 史朗
		(74) 代理人	100114292
			弁理士 来間 清志

最終頁に続く

(54) 【発明の名称】 シリコンナノ結晶の作製方法及びフローティングゲート型メモリキャパシタ構造の作製方法

(57) 【特許請求の範囲】

【請求項1】

シリコン基板の表面部分に酸化シリコン層を形成する工程と、
 該酸化シリコン層上に層厚1nm以下のアモルファスシリコン層を形成する工程と、
 前記シリコン基板を200~1000に加熱した状態で、前記アモルファスシリコン層をシランガスに暴露して、シランガスが前記アモルファスシリコン層上で熱分解して生成されたシリコン元素がアモルファスシリコンを核として結晶成長し、前記酸化シリコン層上に直にシリコンナノ結晶を形成する工程と、
 を具えることを特徴とする、シリコンナノ結晶の作製方法。

【請求項2】

前記シリコンナノ結晶の数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする、請求項1に記載のシリコンナノ結晶の作製方法。

【請求項3】

前記シリコンナノ結晶の大きさが10nm以下であることを特徴とする、請求項1または2に記載のシリコンナノ結晶の作製方法。

【請求項4】

シリコン基板の表面部分に酸化シリコン層を形成する工程と、
 該酸化シリコン層上に層厚1nm以下のアモルファスシリコン層を形成する工程と、
 前記シリコン基板を200~1000に加熱した状態で、前記アモルファスシリコン層をシランガスに暴露して、シランガスが前記アモルファスシリコン層上で熱分解して生

成されたシリコン元素がアモルファスシリコンを核として結晶成長し、前記酸化シリコン層上に直にシリコンナノ結晶を形成する工程と、

前記シリコンナノ結晶の表面を酸化する工程と、

前記シリコンナノ結晶を埋設するように追加のアモルファスシリコン層を形成する工程と、

前記追加のアモルファスシリコン層に熱酸化処理を施し、追加の酸化シリコン層を形成する工程と、

前記追加の酸化シリコン層上に電極を形成する工程と、

を具えることを特徴とする、フローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 5】

前記シリコンナノ結晶の数密度が $1 \times 10^{12} / \text{cm}^2$ 以上であることを特徴とする、請求項 4 に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 6】

前記シリコンナノ結晶の、前記表面酸化処理以前における大きさが 10 nm 以下であることを特徴とする、請求項 4 または 5 に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【請求項 7】

前記追加のアモルファスシリコン層の前記熱酸化処理により前記シリコンナノ結晶の大きさを狭小化することを特徴とする、請求項 4 ~ 6 のいずれか一に記載のフローティングゲート型メモリキャパシタ構造の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコンナノ結晶の作製方法及びフローティングゲート型メモリキャパシタ構造の作製方法に関する。

【背景技術】

【0002】

半導体ドットメモリでは、数密度 $1 \times 10^{12} / \text{cm}^2$ 以上、結晶粒径 10 nm 以下の高密度ナノ結晶が必要とされる。従来においては、上述したナノ結晶を作製するに当り、CVD法などの従来の成膜技術を用いた膜形成に、表面化学処理（薬液処理）を適用する方法などが検討されていた。しかしながら、上述したような高密度のナノ結晶を作製するには至っていない。

【0003】

かかる問題を解消すべく、上述したプロセスを複数回繰り返してナノ結晶を多段階で形成し、結果として高密度のナノ結晶を得る試みがなされている。しかしながら、このような方法では、隣接するナノ結晶同士が重なりあい、ナノ結晶の配置密度が均一とならなくなるため、結果としてメモリとしての特性に大きなばらつきを生じさせてしまう原因となっていた。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、高密度かつ微細化されたナノ結晶を作製する技術を確立し、これを利用して実用的な半導体ドットメモリを提供することを目的とする。

【課題を解決するための手段】

【0005】

上記目的を達成すべく、本発明のシリコンナノ結晶の作製方法は、

シリコン基板の表面部分に酸化シリコン層を形成する工程と、

該酸化シリコン層上に層厚 1 nm 以下のアモルファスシリコン層を形成する工程と、

前記シリコン基板を $200 \sim 1000$ に加熱した状態で、前記アモルファスシリコン層をシランガスに暴露して、シランガスが前記アモルファスシリコン層上で熱分解して生

10

20

30

40

50

成されたシリコン元素がアモルファスシリコンを核として結晶成長し、前記酸化シリコン層上に直にシリコンナノ結晶を形成する工程と、
を具えることを特徴とする。

【0006】

本発明によれば、酸化シリコン層上に1nm以下という微小な厚さのアモルファスシリコン層を形成し、次いで、シリコン基板を200～1000に加熱した状態で、前記アモルファスシリコン層をシランガスに暴露してシリコンナノ結晶を作製する。このとき、前記アモルファスシリコン層は前記シリコンナノ結晶が高密度かつ微小な大ききで成長するための核として良好に機能する。その結果、前記シリコンナノ結晶は、例えば $1 \times 10^{12} / \text{cm}^2$ 以上の数密度であって、10nm以下の大きさまで高密度及び微細化することができるようになる。したがって、前記シリコンナノ結晶はドットメモリとして使用できるようになり、前記シリコンナノ結晶を利用した半導体ドットメモリの提供が可能となる。

10

【0007】

なお、前記アモルファスシリコン層は、前記シリコン基板上に酸化シリコン層を介して形成する。特に、以下に詳述するフローティングゲート型メモリキャパシタ構造などの半導体ドットメモリを作製する際には、前記シリコン基板とその上方に形成された素子構造とを電氣的に絶縁するために酸化シリコン層などを形成することができる。

【0009】

また、前記シリコンナノ結晶を形成する際には、前記シリコン基板を例えば200～1000、さらには400～800に加熱した状態で行うことが好ましい。これによって、前記アモルファスシリコン層を、前記原料ガスに暴露させるのみで、前記シリコンナノ結晶を形成できるようになる。すなわち、前記シリコンナノ結晶の形成を簡易に行うことができる。

20

【0010】

なお、原料ガスとしては、特にシリコン基板の加熱操作を通じて前記シリコンナノ結晶を形成する場合においては、シランガスを用いる。

【0011】

また、本発明のフローティングゲート型メモリキャパシタ構造の作製方法は、シリコン基板の表面部分に酸化シリコン層を形成する工程と、
該酸化シリコン層上に層厚1nm以下のアモルファスシリコン層を形成する工程と、
前記シリコン基板を200～1000に加熱した状態で、前記アモルファスシリコン層をシランガスに暴露して、シランガスが前記アモルファスシリコン層上で熱分解して生成されたシリコン元素がアモルファスシリコンを核として結晶成長し、前記酸化シリコン層上に直にシリコンナノ結晶を形成する工程と、

30

前記シリコンナノ結晶の表面を酸化する工程と、

前記シリコンナノ結晶を埋設するように追加のアモルファスシリコン層を形成する工程と、

前記追加のアモルファスシリコン層に熱酸化処理を施し、追加の酸化シリコン層を形成する工程と、

40

前記追加の酸化シリコン層上に電極を形成する工程と、
を具えることを特徴とする。

【0012】

本発明のフローティングゲート型メモリキャパシタ構造の作製方法は、上述した工程に従って形成された高密度かつ微細化されたシリコンナノ結晶を用いてメモリキャパシタ構造を作製するようにしている。したがって、前記シリコンナノ結晶の高密度かつ微細化を反映して、前記シリコンナノ結晶がドットメモリとして機能するようになり、実用的な半導体ドットメモリの提供が可能となる。

【発明の効果】

【0013】

50

以上説明したように、本発明によれば、高密度かつ微細化されたナノ結晶を作製することができ、これを利用して実用的な半導体ドットメモリを提供することが可能となる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の詳細、並びにその他の特徴及び利点について詳述する。

図1は、本発明のフローティングゲート型メモリキャパシタ構造の作製方法の一例における工程図である。上述したように、本発明のフローティングゲート型メモリキャパシタ構造は、本発明のシリコンナノ結晶の作製方法を含む。

【0015】

最初に、図1に示すように、シリコン基板11を準備し、このシリコン基板11の表面部分に熱酸化などの公知の手法を用いて酸化シリコン層12を形成する。次いで、図2に示すように、電子線蒸着法などの公知の手法を用いて、シリコン基板11上に酸化シリコン層12を介してアモルファスシリコン層13を形成する。上述したように、アモルファスシリコン層13の厚さは1nm以下である。

【0016】

これによって、高密度かつ微細化されたシリコンナノ結晶を簡易に形成できるようになる。なお、アモルファスシリコン層13の厚さの下限は特に限定されるものではないが、0.1nmであることが好ましい。

【0017】

次いで、図3に示すように、シリコン基板11を200～1000、好ましくは400～800に加熱した状態で、アモルファスシリコン層13をシランガスに暴露する。このとき、前記シランガスはアモルファスシリコン層13上で熱分解するとともに、熱分解して生成されたシリコン元素がアモルファスシリコン13を核として結晶成長し、図4に示すようなシリコンナノ結晶14が形成される。シリコンナノ結晶14の数密度は $1 \times 10^{12} / \text{cm}^2$ 以上まで高密度化されるとともに、10nm以下の大きさまで微細化される。

【0018】

なお、シリコンナノ結晶14の大きさとは、シリコンナノ結晶14の底面の大きさ、すなわち前記底面の直径又は一辺の長さを意味するものである。

【0019】

また、前記シランガスとしては、現在汎用されているジシランガス及びトリシランガス、その他高次のシラン系ガスを使用することができる。また、シランガスの水素が官能基で置換されたアルコキシシランガスなどのシランガスをも用いることもできる。

【0020】

次いで、図5に示すように、シリコンナノ結晶14に対して熱酸化処理などを施すことにより、その表面に酸化層14Aを形成し、次いで、図6に示すように、電子線蒸着法などの公知の手法を用いることによって、シリコンナノ結晶14を埋設するようにして、追加のアモルファスシリコン層15を形成する。次いで、追加のアモルファスシリコン層15に熱酸化処理を施し、図7に示すように、追加のアモルファスシリコン層15を追加の酸化シリコン層16に転換する。

【0021】

なお、追加のアモルファスシリコン層15に対する熱酸化処理において、シリコンナノ結晶14の表面部分がさらに酸化されるようになるが、酸化の進行に伴う内部応力の増加によって前記酸化の進行が停止する。したがって、シリコンナノ結晶14は狭小化された状態で残存するようになる。なお、最終的に得たフローティングゲート型メモリキャパシタ構造を実用的なドットメモリとして使用すべく、このときのシリコンナノ結晶14の大きさも10nm以下であることが好ましい。

【0022】

次いで、図8に示すように、追加の酸化シリコン層16上に電極17を形成し、フローティングゲート型メモリキャパシタ構造を形成する。このメモリキャパシタ構造において

10

20

30

40

50

は、追加の酸化シリコン層 16 中に埋設された、狭小化されたシリコンナノ結晶 14 がメモリとして機能する。そして、シリコンナノ結晶 14 は $1 \times 10^{12} / \text{cm}^2$ 以上の数密度を有し、さらに 10 nm 以下にまで狭小化されているので、前記メモリキャパシタは実用的な半導体ドットメモリとして機能するようになる。

【実施例】

【0023】

(実施例 1)

アモルファスシリコン層 13 の厚さを 1 nm とするとともに、シリコン基板 11 を 610 に加熱し、ジシランガス (Si_2H_6) を用い、上述した図 1 ~ 4 の工程に従ってシリコンナノ結晶 14 の作製を試みた。図 9 は、得られたシリコンナノ結晶 14 の高分解能 TEM 写真である。図 9 より、約 10 nm の大きさのシリコンナノ結晶が得られていることが分かる。なお、TEM 観察により、シリコンナノ結晶 14 の配置密度及び大きさはほぼ均一であることが確認された。

10

【0024】

(実施例 2)

実施例 1 で得られたシリコンナノ結晶に対して、上述した図 5 ~ 7 に示す工程を施した。なお、追加のアモルファスシリコン層 15 の厚さは 20 nm とした。図 10 は、追加のアモルファスシリコン層 15 に対する熱酸化処理後の状態を示す断面 TEM 写真である。図 10 より、上述したシリコンナノ結晶 14 は前記熱酸化によって約 5 nm まで狭小化されていることが判明した。なお、TEM 観察により、狭小化されたシリコンナノ結晶 14 の配置密度及び大きさはほぼ均一であることが確認された。

20

【0025】

以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。

【図面の簡単な説明】

【0026】

【図 1】本発明のフローティングゲート型メモリキャパシタ構造の作製方法における一工程を示す断面図である。

【図 2】図 1 に示す工程の次の工程を示す断面図である。

30

【図 3】図 2 に示す工程の次の工程を示す断面図である。

【図 4】図 3 に示す工程の次の工程を示す断面図である。

【図 5】図 4 に示す工程の次の工程を示す断面図である。

【図 6】図 5 に示す工程の次の工程を示す断面図である。

【図 7】図 6 に示す工程の次の工程を示す断面図である。

【図 8】図 7 に示す工程の次の工程を示す断面図である。

【図 9】本発明にシリコンナノ結晶の高分解能 TEM 写真である。

【図 10】同じく、本発明にシリコンナノ結晶の高分解能 TEM 写真である。

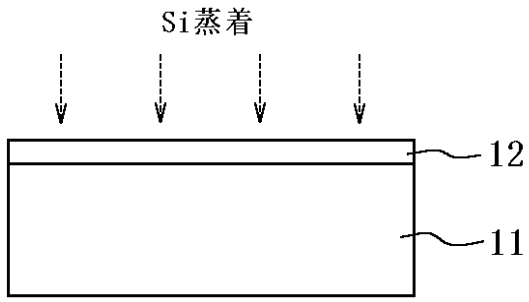
【符号の説明】

【0027】

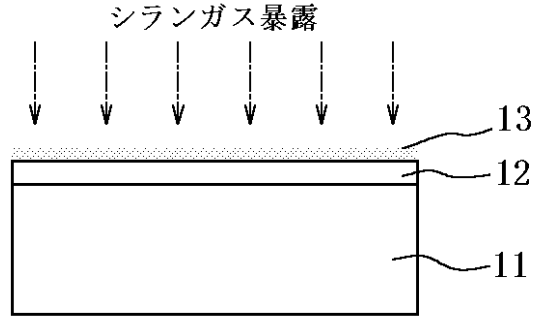
40

- 11 シリコン基板
- 12 酸化シリコン層
- 13 アモルファスシリコン層
- 14 シリコンナノ結晶
- 15 追加のアモルファスシリコン層
- 16 追加の酸化シリコン層
- 17 電極

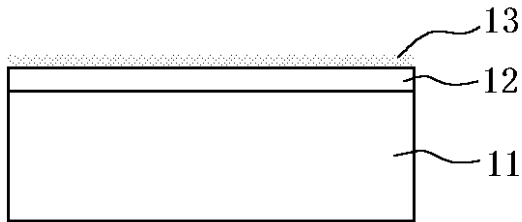
【図1】



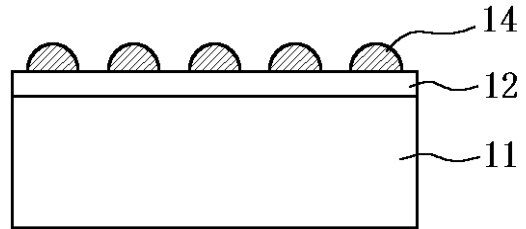
【図3】



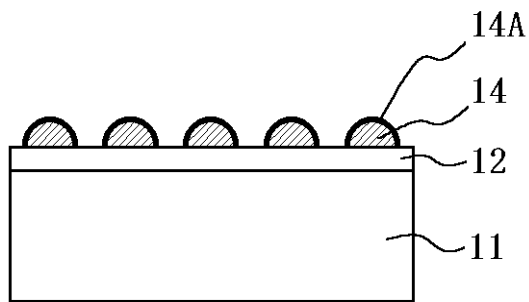
【図2】



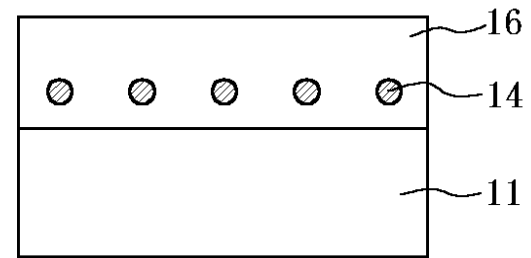
【図4】



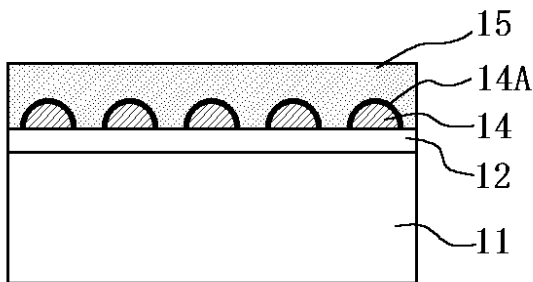
【図5】



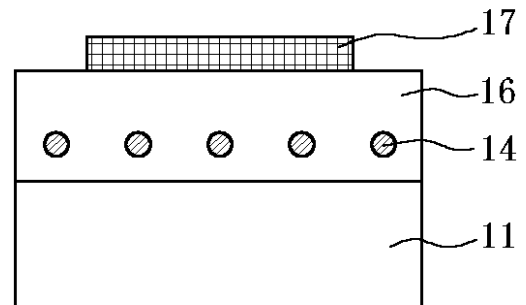
【図7】



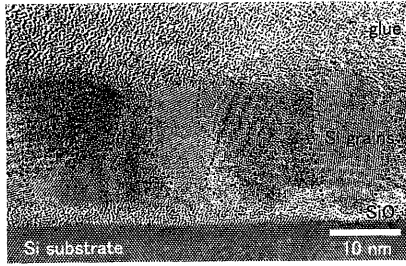
【図6】



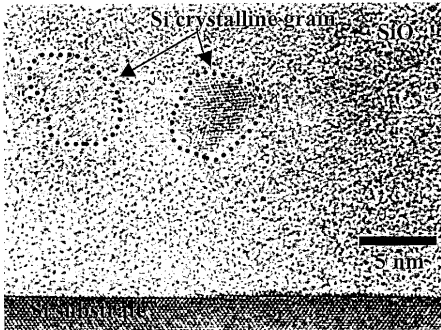
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

- (74)代理人 100124280
弁理士 大山 健次郎
- (74)代理人 100119530
弁理士 富田 和幸
- (72)発明者 近藤 博基
愛知県名古屋市天白区井口1-604 メゾンクロード201
- (72)発明者 安田 幸夫
愛知県愛知郡長久手町五合池103
- (72)発明者 財満 鎮明
愛知県春日井市高座台5-5-64
- (72)発明者 酒井 朗
愛知県名古屋市緑区篠の風3-252 滝ノ水住宅6-205
- (72)発明者 坂下 満男
愛知県名古屋市緑区徳重二丁目1205-6
- (72)発明者 内藤 慎哉
愛知県豊田市市木町1-2-10
- (72)発明者 佐竹 正城
愛知県名古屋市千種区田代本通5丁目6 清和荘2号

審査官 北島 健次

- (56)参考文献 特開2002-170892(JP,A)
特開2002-252290(JP,A)
特開平11-186421(JP,A)
特開平09-064213(JP,A)
特開平10-112440(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 29/792
H01L 29/788
H01L 27/115
C01B 33/027