

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4370407号  
(P4370407)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int.Cl.	F I
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 Z
HO 1 L 27/146 (2006.01)	HO 4 N 5/335 E
	HO 4 N 5/335 P
	HO 1 L 27/14 A

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2006-73455 (P2006-73455)	(73) 特許権者	304023318 国立大学法人静岡大学
(22) 出願日	平成18年3月16日(2006.3.16)		静岡県静岡市駿河区大谷836
(65) 公開番号	特開2007-251680 (P2007-251680A)	(74) 代理人	100079049 弁理士 中島 淳
(43) 公開日	平成19年9月27日(2007.9.27)	(74) 代理人	100084995 弁理士 加藤 和詳
審査請求日	平成19年3月6日(2007.3.6)	(74) 代理人	100085279 弁理士 西元 勝一
		(74) 代理人	100099025 弁理士 福田 浩志
		(72) 発明者	川人 祥二 静岡県浜松市城北3丁目5-1 国立大学 法人静岡大学電子工学研究所内

最終頁に続く

(54) 【発明の名称】 イメージセンサ

(57) 【特許請求の範囲】

【請求項1】

各々リセットが行われた時点からの受光光量に応じて電荷が蓄積され、蓄積された電荷量に応じた画素信号が読み出される複数の受光素子が1次元又は2次元のアレイ状に配置された撮像手段と、

前記撮像手段から読み出された画素信号をデジタル値に変換する変換手段と、

前記変換手段によって得られた前記デジタル値を記憶する記憶手段と、

前記撮像手段によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って前記受光素子に対してリセットを行うリセット手段と

10

前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶し、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に

20

記憶されているデジタル値に加算して当該記憶領域に記憶する演算記憶手段と、  
を備えたイメージセンサ。

【請求項 2】

前記記憶手段の記憶内容を 1 画像分の読み出しを行う前にクリアする初期化手段を更に備え、

前記演算記憶手段は、前記分割読出期間毎で、かつ画素毎に、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算

10

して当該記憶領域に記憶する、  
請求項 1 記載のイメージセンサ。

【請求項 3】

前記演算記憶手段による演算に先立ち、前記記憶手段に記憶されているデジタル値を一時的に記憶するレジスタを更に備え、

前記演算記憶手段は、前記レジスタに記憶されたデジタル値を用いて前記加算を行う  
請求項 1 又は請求項 2 記載のイメージセンサ。

【請求項 4】

前記記憶手段を、各々前記撮像手段のカラム毎のデジタル値を記憶する複数のラインメモリにより構成した

20

請求項 1 乃至請求項 3 の何れか 1 項記載のイメージセンサ。

【請求項 5】

前記撮像手段と前記変換手段との間に介在され、1 以上の利得を有する前置増幅器を更に備え、

前記変換手段は、前記撮像手段から読み出されて前記前置増幅器によって増幅された画素信号をデジタル値に変換する

請求項 1 乃至請求項 4 の何れか 1 項記載のイメージセンサ。

【請求項 6】

前記前置増幅器は、  
反転増幅器と、

30

前記撮像手段の前記画素信号の出力端子と前記反転増幅器の反転入力端子との間に接続された第 1 キャパシタと、

前記反転増幅器の反転入力端子と出力端子との間に接続された第 2 キャパシタと、

前記撮像手段から 1 画像分の画素信号を読み出す際に、各前記分割読出期間における読み出しに先立って 1 回のみ前記反転増幅器のリセットを行う開閉手段と、

を備えた請求項 5 記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサに係り、特に、各々リセットされた時点からの受光光量に応じて電荷が蓄積され、蓄積された電荷量に応じた画素信号が読み出される複数の受光素子が 1 次元又は 2 次元のアレイ状に配置された撮像手段を有するイメージセンサに関する。

40

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサや、CCD (Charge Coupled Device) イメージセンサ等のイメージセンサは幅広い用途で用いられており、その用途によっては非常に広いダイナミックレンジが要求される。なお、ここでいう 'ダイナミックレンジ' とは、暗時のノイズレベルと信号の飽和レベルとの比を示すものであり、多くの用途ではこれを拡大するだけでよいが、蛍光イメージング等の特定の用途では、同時に高い S/N 比 (Signal to Noise Ratio) が必要とされる場合があ

50

る。

【0003】

十分な照度レベルの状態下におけるノイズはショットノイズが支配的であり、ショットノイズは信号電子数の平方根で表されるため、S/N比を高くするためには、一般に、イメージセンサの画素において扱うことのできる飽和信号電子数を多くする必要がある。しかしながら、飽和信号電子数を多くするためには、一般に、多くの電子を蓄えるために画素面積と信号電圧を大きくしなければならず、CMOSイメージセンサ、CCDイメージセンサの何れにおいても限界がある。

【0004】

そこで、以上の問題を解決するために適用できる技術として、特許文献1には、電荷転送素子の出力からフィードスルーレベルと信号レベルとを各々複数回サンプリングし、当該フィードスルーレベルの複数回サンプリングの結果を加算したデータと当該信号レベルの複数回サンプリングの結果を加算したデータとの差分を取ることで、ダイナミックレンジを拡大することができ、固定パターンノイズやランダムノイズも低減することができる技術が開示されている。

【特許文献1】特開平10-191169号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1に開示されている技術では、信号レベルを記憶するための記憶手段と、フィードスルーレベルを記憶するための記憶手段の2組の記憶手段が必要となるため、回路規模が大きくなってしまいう上、コストも上昇してしまう、という問題点があった。

【0006】

本発明は上記問題点を解決するためになされたものであり、回路規模の大型化やコストの上昇を招くことなく、ダイナミックレンジを拡大することができ、かつ固定パターンノイズやランダムノイズを効果的に低減することができるイメージセンサを提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、請求項1に記載のイメージセンサは、各々リセットが行われた時点からの受光光量に応じて電荷が蓄積され、蓄積された電荷量に応じた画素信号が読み出される複数の受光素子が1次元又は2次元のアレイ状に配置された撮像手段と、前記撮像手段から読み出された画素信号をデジタル値に変換する変換手段と、前記変換手段によって得られた前記デジタル値を記憶する記憶手段と、前記撮像手段によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って前記受光素子に対してリセットを行うリセット手段と、前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶し、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶する演算記憶手段と、を備えている。

【0008】

請求項1に記載のイメージセンサは、各々リセットが行われた時点からの受光光量に

10

20

30

40

50

じて電荷が蓄積され、蓄積された電荷量に応じた画素信号が読み出される複数の受光素子が1次元又は2次元のレイ状に配置された撮像手段を有するものであり、前記撮像手段から読み出された画素信号が変換手段によってデジタル値に変換され、当該デジタル値が記憶手段によって記憶される。なお、上記撮像手段には、CCDによるもの、及びCMOSによるものが含まれる。また、上記記憶手段には、不揮発性の半導体記憶素子の他、揮発性の半導体記憶素子も含まれる。

【0009】

ここで、本発明では、前記撮像手段によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、リセット手段により、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って前記受光素子に対してリセットが行われる。

10

【0010】

そして、本発明では、演算記憶手段により、前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値が逆符号とされて前記記憶手段の対応する記憶領域に記憶された後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値が前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算されて当該記憶領域に記憶される一方、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値が逆符号とされて前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算されて当該記憶領域に記憶された後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値が前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算されて当該記憶領域に記憶される。

20

【0011】

このように、請求項1記載のイメージセンサによれば、撮像手段によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って受光素子に対してリセットを行うと共に、前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として記憶手段の対応する記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶し、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶しているので、記憶手段をリセットレベルに対応するデジタル値を記憶するものと、信号レベルに対応するデジタル値を記憶するものとして兼用することができる結果、回路規模の大型化やコストの上昇を招くことなく、ダイナミックレンジを拡大することができ、かつ固定パターンノイズやランダムノイズを効果的に低減することができる。

30

40

【0012】

なお、本発明は、請求項2に記載の発明のように、前記記憶手段の記憶内容を1画像分の読み出しを行う前にクリアする初期化手段を更に備え、前記演算記憶手段は、前記分割読出期間毎で、かつ画素毎に、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶するものとしてもよい。これにより、1画像分の読み出しを行う際の演算記憶手段による処理を同

50

一処理の繰り返しのみにより実現することができ、この結果として、より簡易に本発明を実現することができる。

【0013】

また、本発明は、請求項3に記載の発明のように、前記演算記憶手段による演算に先立ち、前記記憶手段に記憶されているデジタル値を一時的に記憶するレジスタを更に備え、前記演算記憶手段は、前記レジスタに記憶されたデジタル値を用いて前記加算を行うものとしてもよい。これにより、演算記憶手段による加算演算のタイミングを的確なものとするることができる。

【0014】

また、本発明は、請求項4に記載の発明のように、前記記憶手段を、各々前記撮像手段のカラム毎のデジタル値を記憶する複数のラインメモリにより構成するものとしてもよい。

10

【0015】

また、本発明は、請求項5に記載の発明のように、前記撮像手段と前記変換手段との間に介在され、1以上の利得を有する前置増幅器を更に備え、前記変換手段は、前記撮像手段から読み出されて前記前置増幅器によって増幅された画素信号をデジタル値に変換するものとしてもよく、特に、この場合、前記前置増幅器は、請求項6に記載の発明のように、反転増幅器と、前記撮像手段の前記画素信号の出力端子と前記反転増幅器の反転入力端子との間に接続された第1キャパシタと、前記反転増幅器の反転入力端子と出力端子との間に接続された第2キャパシタと、前記撮像手段から1画像分の画素信号を読み出す際に、各前記分割読出期間における読み出しに先立って1回のみ前記反転増幅器のリセットを行う開閉手段と、を備えたものとしてもよい。このように、反転増幅器のリセットを各分割読出期間における読み出しに先立って1回のみ行うことにより、当該リセットによるノイズの影響をなくすることができる結果、よりS/N比を向上させることができる。

20

【発明の効果】

【0016】

本発明によれば、撮像手段によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って前記受光素子に対してリセットを行うと共に、前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として記憶手段の対応する記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶し、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号から得られたデジタル値を逆符号として記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶しているので、記憶手段をリセットレベルに対応するデジタル値を記憶するものと、信号レベルに対応するデジタル値を記憶するものとして兼用することができる結果、回路規模の大型化やコストの上昇を招くことなく、ダイナミックレンジを拡大することができる、かつ固定パターンノイズやランダムノイズを効果的に低減することができる、という効果が得られる。

30

40

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、本発明を実施するための最良の形態について詳細に説明する。

【0018】

本実施の形態に係るイメージセンサは、当該イメージセンサのカラムにおいて、アナログ領域でのノイズキャンセル回路をなくし、イメージアレイから出力された信号レベルとリセットレベルのそれぞれに対してA/D変換(アナログ/デジタル変換)を行い、その

50

差をデジタル領域で求めることで、高精度の固定パターン雑音除去性能と、低いランダムノイズでの信号読み出しを可能にすると共に、高分解能のA/D変換を可能にするものである。

【0019】

また、そのA/D変換器として巡回型を用いる場合におけるキャパシタのばらつきをデジタル領域での加算による平均化により自動的に補正するものである。更に、イメージレイから出力された信号レベルとリセットレベルの両方を複数回に分割してサンプリングしてA/D変換すると共に、各分割期間毎に信号レベルに相当するデジタル値から当該信号レベルに対応するリセットレベルに相当するデジタル値を減算したものを複数回にわたって加算することにより、ノイズキャンセルを行う。これによって、ランダムノイズを低減することができる。

10

【0020】

特に、巡回型A/D変換は、ノイズの問題がなければ、巡回の数を増やすことで、分解能をいくらかでも上げることができる。従って、多数回にわたるデジタル加算の処理と巡回型を組み合わせることで、イメージセンサのカラムでの極めて分解能の高いA/D変換が可能となる。

【0021】

デジタル領域でのノイズキャンセルを用いれば、特性の同じA/D変換器によりイメージレイから出力された信号レベルとリセットレベルをA/D変換し、デジタル領域で差を求めるので、非常に精度の高いノイズキャンセルが可能となる。これにより、A/D変換器のオフセットばらつきもキャンセルされるため、縦筋ノイズの原因となるカラム回路のばらつきノイズも完全にキャンセルされる。

20

【0022】

[第1の実施の形態]

図1には、カラムでデジタルノイズキャンセルを行う本実施の形態に係るイメージセンサ10の構成が示されている。同図における画素部12は、図2に示すフォトダイオードPDを用いた3トランジスタの構成を用いることができるが、4トランジスタ型等、画素の構成に対する制限はない。

【0023】

一方、図1におけるカラムに並べて並列に動作させるA/D変換器14(図1では、「ADC14」と表記。)には、積分型、逐次比較型、パイプライン型等、様々な方式を用いることができるが、図3に示される1サイクル当たり1.5ビットのA/D変換を行う巡回型A/D変換器を単位回路とするのが高分解能を得る上で特に有用である。イメージセンサ10の画素部12からの信号読み出し動作を含めたA/D変換とデジタルノイズキャンセルのタイミングを図4に示す。

30

【0024】

図3に示した巡回型A/D変換器14の変換特性を図5に示す。図3のデジタル出力 $D_0$ 、 $D_1$ と、図5のD及び比較器への入力信号 $V_{in}$ との関係は、次式ようになる。

【0025】

【数1】

$$D = \begin{cases} 1(D_1 = 1, D_0 = 1)(V_{in} > V_R/4) \\ 0(D_1 = 0, D_0 = 1)(V_R/4 \geq V_{in} \geq -V_R/4) \\ -1(D_1 = 0, D_0 = 0)(-V_R/4 > V_{in}) \end{cases} \quad (1)$$

40

【0026】

すなわち、入力を $-V_R$ から $-V_R/4$ 、 $-V_R/4$ から $V_R/4$ 、 $V_R/4$ から $V_R$ の3領域に分割し、これらの領域に対して3値のA/D変換を行って $-1$ 、 $0$ 、 $1$ のデジタルコードを割り当てる。

【0027】

50

そのデジタルコードを用いて1.5ビットのD/A(デジタル/アナログ)変換器の制御信号(0, P, M)を図5に示すように生成する。図3の巡回型A/D変換器14は、図5の特性に従って演算し、出力を生成する。その演算は次式で表される。

【0028】

【数2】

$$V_{OUT} = 2V_{IN} - D \times V_R \quad (2)$$

【0029】

すなわち、これは、上位桁から順にA/D変換し、入力を2倍して、そのA/D変換値によって一定値を差し引くことで、その出力が必ず $\pm V_R$ の範囲になるようにし、これを再び入力に与えて同じことを繰り返すことで、多ビットのA/D変換を行うというものである。このときに1回当たり(1桁)3値でA/D変換を行うので、デジタル値には冗長性が生じる。この冗長性により、比較器の精度要求が大きく緩和され、高精度なA/D変換が可能となる。

10

【0030】

2進数では、各桁毎に0と1の2値を取るが、各桁毎に-1, 0, 1の3値を取ることで、1段当たり1.5ビットのA/D変換を行っていると考えられる。

【0031】

画素部12からの読み出し動作を含めた実際の動作は以下のようになる。

20

【0032】

図1における各画素部12には、図2に示すように垂直シフトレジスタ40により画素選択信号S及びリセット信号Rが与えられる。

【0033】

図2において、リセット信号Rは第1のゲートG1の制御電極に印加され、画素選択信号Sは第2のゲートG2の制御電極に印加される。入射した光はフォトダイオードPDにより電荷に変換される。

【0034】

第2のゲートG2と電源 $V_{DD}$ の間にあるのは電界効果トランジスタからなるバッファBFであり、フォトダイオードPDにより浮遊拡散層に転送された電荷を緩衝増幅し出力線に伝送するためのものである。バッファBFにおける電界効果トランジスタは、そのゲートが浮遊拡散層に、ドレインが電源 $V_{DD}$ に、ソースが第2のゲートG2に接続され、ソースフォロワとして使用されるのが一般的である。

30

【0035】

図4は、画素部12のある1水平行が選択されて読み出される場合のタイミング図を示している。なお、図4(A)はリセットレベルをサンプリングしてA/D変換を行うときのタイミング図であり、図4(B)は信号レベルをサンプリングしてA/D変換を行うときのタイミング図である。

【0036】

まず、図4(A)に示すように、リセット信号Rを与えてゲートG1を開き、画素部12の浮遊拡散層を初期化する。

40

【0037】

このときのリセットレベルの電圧を図3に示す2つの容量 $C_1$ ,  $C_2$ にサンプルする。これは、スイッチ $s$ ,  $s_d$ を一旦“1”にして“0”に戻すことによりなされる(以下、スイッチオンの状態を論理値“1”、オフの状態を論理値“0”と表す)。また、その電圧を2つの比較器に与えて、1, 0, -1の3値のA/D変換を行う。その後、演算増幅器の入力を共通として、 $C_1$ はD/A変換器(以下、「DAC」という。)用スイッチと、演算増幅器の入力との間に接続し、 $C_2$ は演算増幅器の入出力間に接続する。これにより、次式の演算が実行される。

【0038】

50

## 【数 3】

$$V_{OUT}(0) = \left(1 + \frac{C_1}{C_2}\right) V_{IN} - D(0) \times \frac{C_1}{C_2} V_R \quad (3)$$

## 【0039】

$C_1 = C_2$ であれば、これは(2)式と等価である。ここで、 $V_{out}(0)$ は最初のサイクルの出力、 $D(0)$ は最初のA/D変換値、すなわち最上位桁の値である。

## 【0040】

次のサイクルのため、演算増幅器の出力を $C_1$ にサンプルする。これは、スイッチ 1, 1dを一旦“1”にして“0”に戻すことによりなされる。 10

## 【0041】

また、演算増幅器の出力電圧を2つの比較器に与えて、1, 0, -1の3値のA/D変換を行う。 $C_2$ には元々 $V_{out}(0)$ が記憶されている。そこで、 $C_1$ を用いて $V_{out}(0)$ と接地点との間の電圧を記憶し、次いでA/D変換の結果に従って、これをDACとアンプの仮想接地点の間に接続し直せば、その差に比例した電荷 $Q = C_1(V_{out}(0) - D(1)V_R)$ が $C_2$ に転送され、その結果次式の演算が実行される。

## 【0042】

## 【数 4】

$$\begin{aligned} V_{OUT}(1) &= V_{OUT}(0) + \frac{C_1(V_{OUT}(0) - D(1)V_R)}{C_2} \\ &= \left(1 + \frac{C_1}{C_2}\right) V_{OUT}(0) - \frac{C_1}{C_2} D(1)V_R \end{aligned} \quad (4)$$

20

## 【0043】

これを必要なサイクル数だけ繰り返す。N回繰り返せばN+1ビットの分解能が原理的には得られる。以上により得られたリセットレベルのA/D変換結果を後段に出力する。

## 【0044】

次いで、所定の電荷蓄積時間の経過の後に、図4(B)に示すように信号レベルのサンプリング及びA/D変換を行う。このとき、画素部12からの出力は、フォトダイオードPDに蓄積された電荷量に応じて変化する。その信号レベルをリセットレベルに対して行ったのと同じ動作によりサンプルしてA/D変換を行う。リセットレベルに対するA/D変換と同じ分解能となるようN回繰り返す。その信号レベルのA/D変換結果を後段に出力する。 30

## 【0045】

次に、イメージセンサ10における巡回型A/D変換器14の後段の構成について詳細に説明する。

## 【0046】

図1に示すように、カラム毎の各A/D変換器14の出力端は2つに分岐され、一方はカラム毎に設けられた2入力1出力の切換部24の一方の入力端に直接接続され、他方は入力されたデジタル値を逆符号とする(本実施の形態では、'-1'の係数がかけられることによって正の値を負の値とする)逆符号化部16を介して切換部24の他方の入力端に接続されている。また、各切換部24の出力端はカラム毎に設けられた加算器18の一方の入力端に接続されている。 40

## 【0047】

一方、各加算器18の出力端はカラム毎に設けられたラインメモリ20の入力端に接続される一方、各ラインメモリ20の出力端は2つに分岐され、一方はカラム毎に設けられ、かつ出力端が対応する加算器18の他方の入力端に接続されたレジスタ22の入力端に接続されている。従って、各加算器18では、対応するA/D変換器14及び切換部24 50



を介して入力されたデジタル値と、対応するラインメモリ20に記憶されているデジタル値とを加算して再びラインメモリ20に記憶することができる。

【0048】

なお、各ラインメモリ20の他方の分岐出力端は、水平シフトレジスタ42によって開閉が制御され、かつ出力端がイメージセンサ10の出力端に接続されると共にカラム毎に設けられた開閉部26の入力端に接続されている。また、各ラインメモリ20にはメモリスキャナ44が接続されており、各ラインメモリ20に記憶されているデジタル値の読み出しはメモリスキャナ44により制御される。

【0049】

次に、デジタルノイズキャンセルを実行する際のイメージセンサ10の動作を、図6のタイミング図を参照しつつ説明する。

【0050】

図6に示すように、垂直シフトレジスタ40は、被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、信号レベルの読み出しに先立ってリセット信号Rを与えることにより各画素部12をリセットした後、当該リセットから次のリセットが行われるまでの期間内におけるリセットレベルの読み出し期間に画素選択信号Sを与える。なお、このとき、各切換部24を対応する逆符号化部16が接続されるように設定する。

【0051】

以上の動作により、対応する画素部12からのリセットレベルが対応するA/D変換器14を経ることによりデジタル値に変換され、更に逆符号化部16によって逆符号とされて、対応する加算器18に入力される。これに応じて加算器18では、入力されたデジタル値を対応するラインメモリ20に記憶(上書き)する。なお、各画素部12への電荷の蓄積は、当該画素部12がリセットされた直後から開始される。

【0052】

その後、垂直シフトレジスタ40は、上記画素選択信号Sに引き続き、次のリセットが行われるまでの期間内における信号レベルの読み出し期間に再び画素選択信号Sを画素毎に与える。なお、このとき、各切換部24を逆符号化部16が接続されない側に設定する。また、このとき、メモリスキャナ44により、ラインメモリ20に記憶されているデジタル値、すなわちリセットレベルに相当し、かつ逆符号とされたデジタル値を、対応するレジスタ22に転送する。

【0053】

以上の動作により、対応する画素部12からの信号レベルが対応するA/D変換器14を経ることによりデジタル値に変換されて、対応する加算器18に入力されると共に、対応するレジスタ22に記憶されているデジタル値が加算器18に入力される。これに応じて加算器18では、入力された2つのデジタル値(信号レベルに相当するデジタル値と、リセットレベルに相当し、かつ逆符号とされたデジタル値)を加算し、対応するラインメモリ20の対応する記憶領域に記憶(上書き)する。これにより、1回目の分割読出期間における、デジタルノイズキャンセルされたデジタル値が対応するラインメモリ20に記憶されることになる。

【0054】

その後、垂直シフトレジスタ40は、2回目の分割読出期間において、当該分割読出期間における信号レベルの読み出しに先立ってリセット信号Rを与えることにより各画素部12をリセットした後、当該リセットから次のリセットが行われるまでの期間内におけるリセットレベルの読み出し期間に画素選択信号Sを与える。なお、このとき、各切換部24を対応する逆符号化部16が接続されるように設定する。また、このとき、メモリスキャナ44により、ラインメモリ20に記憶されているデジタル値、すなわち1回目の分割読出期間において得られたデジタル値を、対応するレジスタ22に転送する。

【0055】

以上の動作により、対応する画素部12からのリセットレベルが対応するA/D変換器

10

20

30

40

50

14を経ることによりデジタル値に変換され、更に逆符号化部16によって逆符号とされて、対応する加算器18に入力されると共に、対応するレジスタ22に記憶されているデジタル値が加算器18に入力される。これに応じて加算器18では、入力された2つのデジタル値(1回目の分割読出期間において得られたデジタル値と、2回目の分割読出期間におけるリセットレベルに相当し、かつ逆符号とされたデジタル値)を加算し、対応するラインメモリ20の対応する記憶領域に記憶(上書き)する。これにより、1回目の分割読出期間において得られたデジタル値から2回目の分割読出期間におけるリセットレベルに相当するデジタル値が減算されて得られた値がラインメモリ20の対応する記憶領域に記憶されることになる。

【0056】

その後、垂直シフトレジスタ40は、上記画素選択信号Sに引き続き、次のリセットが行われるまでの期間内における信号レベルの読み出し期間に再び画素選択信号Sを画素毎に与える。なお、このとき、各切換部24を逆符号化部16が接続されない側に設定する。また、このとき、メモリスキャナ44により、ラインメモリ20に記憶されているデジタル値を、対応するレジスタ22に転送する。

【0057】

以上の動作により、対応する画素部12からの信号レベルが対応するA/D変換器14を経ることによりデジタル値に変換されて、対応する加算器18に入力されると共に、対応するレジスタ22に記憶されているデジタル値が加算器18に入力される。これに応じて加算器18では、入力された2つのデジタル値を加算し、対応するラインメモリ20の対応する記憶領域に記憶(上書き)する。これにより、2回目までの分割読出期間における、デジタルノイズキャンセルされたデジタル値が対応するラインメモリ20に記憶されることになる。

【0058】

その後、2回目の分割読出期間と同様の動作を、全ての分割読出期間にわたって繰り返し行う。

【0059】

以上の動作により、1画像分の画像データがカラム毎に各ラインメモリ20に記憶されるので、水平シフトレジスタ42は各開閉部26を閉状態となるように制御することにより、当該画像データを外部から読み出すことができるようにする。なお、電流源トランジスタ28は、出力ラインの負荷となっている。

【0060】

以上詳細に説明したように、本実施の形態に係るイメージセンサでは、撮像手段(ここでは、画素部12)によって被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、画素信号の読み出しに先立って受光素子(ここでは、フォトダイオードPD)に対してリセットを行うと共に、前記分割読出期間毎で、かつ画素毎に、最初の分割読出期間は、前記リセットが行われた時点で読み出された画素信号(ここでは、リセットレベルの信号)から得られたデジタル値を逆符号として記憶手段(ここでは、ラインメモリ20)の対応する記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号(ここでは、信号レベルの信号)から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶し、2番目以降の分割読出期間は、前記リセットが行われた時点で読み出された画素信号(ここでは、リセットレベルの信号)から得られたデジタル値を逆符号として記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号(ここでは、信号レベルの信号)から得られたデジタル値を記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶しているため、記憶手段をリセットレベルに対応するデジタル値を記憶するものと、信号レベルに対応するデジタル値を記憶するものとして兼用することができる結果、回路規模の大型化やコストの上

10

20

30

40

50

昇を招くことなく、ダイナミックレンジを拡大することができ、かつ固定パターンノイズやランダムノイズを効果的に低減することができる。

【 0 0 6 1 】

また、本実施の形態に係るイメージセンサでは、前記加算演算に先立ち、前記記憶手段に記憶されているデジタル値を一時的に記憶するレジスタ（ここでは、レジスタ 2 2）を更に備え、当該レジスタに記憶されたデジタル値を用いて加算演算を行うものとしているので、当該加算演算のタイミングを的確なものとする事ができる。

【 0 0 6 2 】

[ 第 2 の実施の形態 ]

本第 2 の実施の形態では、イメージセンサのカラムにおいて、プリアンプ（前置増幅器）によるアナログノイズキャンセルと、プリアンプのノイズに対してデジタルノイズキャンセルを行う場合の形態例について説明する。

【 0 0 6 3 】

図 7 には、本第 2 の実施の形態に係るイメージセンサ 1 0 ' の構成が示されている。なお、同図における図 1 と同一の構成要素には図 1 と同一の符号を付して、その説明を省略する。

【 0 0 6 4 】

同図に示されるように、本第 2 の実施の形態に係るイメージセンサ 1 0 ' は、A / D 変換器 1 4 に代えて、プリアンプ A / D 変換器 1 4 '（図 7 では、「プリアンプ A D C 1 4 '」と表記。）が設けられている点のみが、上記第 1 の実施の形態に係るイメージセンサ 1 0 と異なっている。

【 0 0 6 5 】

図 8 及び図 9 には、プリアンプ A / D 変換器 1 4 ' の具体的な回路例及びタイミング図が示されている。なお、図 9（A）はリセットレベルをサンプリングして A / D 変換を行うときのタイミング図であり、図 9（B）は信号レベルをサンプリングして A / D 変換を行うときのタイミング図である。

【 0 0 6 6 】

図 8 に示されるように、プリアンプ A / D 変換器 1 4 ' におけるプリアンプ 1 4 A は、2 つの容量と、スイッチ、アンプを用いた例を示している。V<sub>IN</sub>には、画素部 1 2 のリセットレベルと、信号レベルが交互に与えられる。先にリセットレベルが出力される画素回路を用いた場合について考える。画素部 1 2 をリセットし、画素内のアンプを経由して、リセットレベルが V<sub>IN</sub> に与えられる。これをスイッチ s<sub>1</sub>, s<sub>1d</sub> を“ 1 ”にして、容量 C<sub>A1</sub> にサンプルする。その後、スイッチ s<sub>1</sub>, s<sub>1d</sub> を“ 0 ”に戻したあと、スイッチ s<sub>2</sub> を“ 1 ”にすることで、増幅されたりセットレベルがプリアンプ 1 4 A の出力に現れる。このときのプリアンプの出力を V<sub>out1</sub> とする。

【 0 0 6 7 】

ここで、説明を一般化するために、C<sub>A2</sub> を V<sub>RA</sub> に接続して切り離れた瞬間に、V<sub>IN</sub> に与えられる入力レベルを V<sub>SR0</sub> とし、C<sub>A2</sub> を出力に接続し、次の段で出力がサンプルされて記憶される瞬間に V<sub>IN</sub> に与えられる入力レベルを V<sub>SR</sub> とする。このとき、ノイズ成分を無視すれば、

【 0 0 6 8 】

【 数 5 】

$$V_{OUT1} = V_{RA} + \frac{C_{A1}}{C_{A2}} (V_{SR} - V_{SR0}) \quad (5)$$

【 0 0 6 9 】

と表される。ここで、V<sub>RA</sub> は、プリアンプ 1 4 A に与えられる参照電圧である。V<sub>SR0</sub> は、動作基準電圧を定めるための電圧であり、好ましくは安定した直流電圧、実用上はリセットレベルを、上記期間においてプリアンプ 1 4 A の V<sub>IN</sub> に与える。

10

20

30

40

50

## 【0070】

もし、 $V_{SR}$ 、 $V_{SR0}$ として、画素部12をリセットしたときの出力が与えられ、リセットレベルがノイズの影響等での変動がないものとするれば、 $V_{SR} = V_{SR0}$ であり、 $V_{out1} = V_{RA}$ となる。一般的には、リセットレベルに変動があることを想定し、リセットレベルが与えられたときの出力を(5)式と考える。その出力 $V_{out1}$ に対して、図8の後段の巡回型A/D変換器14BでA/D変換を行う。当該巡回型A/D変換器14Bの動作は、図3に示したものと同様であるので、ここでの説明は省略する。その後、プリアンプ14Aのスイッチ( $s1$ 、 $s1d$ 、 $s2$ )は、次の信号レベルのA/D変換器14Bでのサンプルが完了するまで変化させないことが重要である。なお、図10には、プリアンプ14Aのスイッチ( $s1$ 、 $s1d$ 、 $s2$ )の切り換えタイミングを指示する制御信号Rの状態推移を示すタイミング図が示されている。ここで、同図における他の信号は図6と同様のものである。

10

## 【0071】

リセットレベルのA/D変換完了後、所定の電荷蓄積時間が経過した後は、プリアンプ14Aの出力に、 $C_{A1}/C_{A2}$ の比で増幅された信号レベルが現れる。このときの出力を $V_{out2}$ とすると、ノイズ成分を無視すれば次式となる。

## 【0072】

## 【数6】

$$V_{OUT2} = V_{RA} + \frac{C_{A1}}{C_{A2}}(V_{SS} - V_{SR0}) \quad (6)$$

20

## 【0073】

ここで、 $V_{SS}$ は $V_{IN}$ に与えられる信号レベルである。このように、 $V_{RA}$ を基準として、画素部12のノイズキャンセルがなされた信号成分が $C_{A1}/C_{A2}$ の比で増幅された信号が現れる。これを、その後段の巡回型A/D変換器14BによりA/D変換を行う。

## 【0074】

このように、A/D変換されたりリセットレベルと信号レベルのデジタル値の差をデジタル領域で求めることで、非常に低雑音の読み出しが可能になる。A/D変換前のアナログ動作は、同じ動作が行われるので、アナログ領域での誤差が生じても、2つの信号に同じ影響が生じる。従って、デジタル領域で差を求めることで、回路のばらつきにより生じる固定パターン雑音が効果的に除去される。更に、プリアンプ14Aにおいて、リセットレベルの増幅と信号レベルの増幅においてスイッチの状態を変えないようにすることで、プリアンプ14Aの容量に蓄えられているノイズ電荷が変化しないため、 $V_{out1}$ 、 $V_{out2}$ をA/D変換した後、デジタル領域で差を求めれば、プリアンプ14Aの雑音の一部である容量に蓄えられた雑音成分を除去することができる。その成分は、特にプリアンプ14Aの利得が高い場合に支配的なノイズ成分となるため、その除去効果は非常に大きい。

30

## 【0075】

なお、以上は、プリアンプ14Aへのサンプリング動作を、1水平行毎に、毎回行う場合について説明したが、図9に示した、プリアンプ14Aのスイッチ( $s1$ 、 $s1d$ 、 $s2$ )を制御することによるサンプリング動作は、フレームの先頭で1回のみ行い、信号読み出し時は、 $s1 = s1d = "0"$ 、 $s2 = "1"$ のままにしておき、読み出しタイミングとしては、図4と同じ動作をする方法も考えられる。この場合、毎回プリアンプ14Aのスイッチング動作を行わなくてもよいため、信号を高速に読み出したり、消費電力を下げる上で効果がある。なお、フレームの先頭で与えられる $V_{IN}$ は、(5)式、(6)式の $V_{SR0}$ に相当するものとなり、これには適当な参照電圧を与えるか、ダミー画素を設けて、そのリセットレベルを利用する等の方法が考えられる。どのような電圧を与えたとしても原理的には、(5)式、(6)式に対応する電圧をデジタル化して、デジタル領域で差分を求めれば、 $V_{SR0}$ とは無関係に、各画素部12の読み出し時のリセットレベルと信号レベルの差分が求められることになり、デジタル領域でノイズキャンセルが

40

50

行えることがわかる。また、フレームの先頭ではなく、複数の水平読み出し毎に、図9のようなプリアンプのサンプリング動作を行い、その他の水平読み出しではリセット動作を行い、図4と同じ動作とするという方法も考えられる。これも信号を高速に読み出したり、消費電力を下げる上で効果がある。

【0076】

次に、デジタルノイズキャンセルを実行する際のイメージセンサ10'の動作を、図10のタイミング図を参照しつつ説明する。なお、ここでは、錯綜を回避するために、制御信号Rについての説明は省略する。

【0077】

イメージセンサ10'では、1画像分の画素信号を読み出すに先立って、各ラインメモリ20の記憶内容をメモリスキャナ44により0にクリアする。

10

【0078】

その後、図10に示すように、垂直シフトレジスタ40は、被写体を撮像しつつ1画像分の画素信号を読み出すとき、当該1画像分の読み出し期間を予め定められた期間毎に分割した分割読出期間毎で、かつ画素毎に、各分割読出期間における信号レベルの読み出しに先立ってリセット信号Rを与えることにより各画素部12をリセットした後、当該リセットから次のリセットが行われるまでの期間内におけるリセットレベルの読み出し期間に画素選択信号Sを与える。なお、このとき、各切換部24を対応する逆符号化部16が接続されるように設定する。また、このとき、メモリスキャナ44により、ラインメモリ20に記憶されているデジタル値(1回目の分割読出期間に限り'0')を、対応するレジスタ22に転送する。

20

【0079】

以上の動作により、対応する画素部12からのリセットレベルが対応するプリアンプA/D変換器14'を経ることによりデジタル値に変換され、更に逆符号化部16によって逆符号とされて、対応する加算器18に入力されると共に、対応するレジスタ22に記憶されているデジタル値が加算器18に入力される。これに応じて加算器18では、入力された2つのデジタル値(前回の分割読出期間において得られたデジタル値(但し、1回目の分割読出期間に限り'0')と、リセットレベルに相当し、かつ逆符号とされたデジタル値)を加算し、対応するラインメモリ20の対応する記憶領域に記憶(上書き)する。これにより、この時点でラインメモリ20に記憶されているデジタル値から、この時点の分割読出期間におけるリセットレベルに相当するデジタル値が減算されて得られた値がラインメモリ20の対応する記憶領域に記憶されることになる。

30

【0080】

その後、垂直シフトレジスタ40は、上記画素選択信号Sに引き続き、次のリセットが行われるまでの期間内における信号レベルの読み出し期間に再び画素選択信号Sを画素毎に与える。なお、このとき、各切換部24を逆符号化部16が接続されない側に設定する。また、このとき、メモリスキャナ44により、ラインメモリ20に記憶されているデジタル値を、対応するレジスタ22に転送する。

【0081】

以上の動作により、対応する画素部12からの信号レベルが対応するプリアンプA/D変換器14'を経ることによりデジタル値に変換されて、対応する加算器18に入力されると共に、対応するレジスタ22に記憶されているデジタル値が加算器18に入力される。これに応じて加算器18では、入力された2つのデジタル値を加算し、対応するラインメモリ20の対応する記憶領域に記憶(上書き)する。これにより、この時点までの分割読出期間における、デジタルノイズキャンセルされたデジタル値が対応するラインメモリ20に記憶されることになる。以上の分割読出期間毎の動作を全ての分割読出期間にわたって繰り返し行う。

40

【0082】

以上の動作により、1画像分の画像データがカラム毎に各ラインメモリ20に記憶されるので、水平シフトレジスタ42は各開閉部26を閉状態となるように制御することによ

50

り、当該画像データを外部から読み出すことができるようにする。

【0083】

以上詳細に説明したように、本第2の実施の形態では、記憶手段（ここでは、ラインメモリ20）の記憶内容を1画像分の読み出しを行う前にクリアしておき、分割読出期間毎で、かつ画素毎に、画素部のリセットが行われた時点で読み出された画素信号（ここでは、リセットレベルの信号）から得られたデジタル値を逆符号として前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶した後、次のリセットが行われるまでの期間内における所定期間の経過後に読み出された画素信号（ここでは、信号レベルの信号）から得られたデジタル値を前記記憶手段の対応する記憶領域に記憶されているデジタル値に加算して当該記憶領域に記憶しているの

10

【0084】

また、本第2の実施の形態では、撮像手段（ここでは、画素部12）と変換手段（ここでは、A/D変換器14B）との間に介在された、1以上の利得を有する前置増幅器（ここでは、プリアンプ14A）を更に備え、前記変換手段により、前記撮像手段から読み出されて前記前置増幅器によって増幅された画素信号をデジタル値に変換するものとし、特に、前記前置増幅器を、反転増幅器と、前記撮像手段の前記画素信号の出力端子と前記反転増幅器の反転入力端子との間に接続された第1キャパシタ（ここでは、容量 $C_{A1}$ ）と、前記反転増幅器の反転入力端子と出力端子との間に接続された第2キャパシタ（ここでは、容量 $C_{A2}$ ）と、前記撮像手段から1画像分の画素信号を読み出す際に、各分割読出期間における読み出しに先立って1回のみ前記反転増幅器のリセットを行う開閉手段（ここでは、スイッチ（ $s1$ ,  $s1d$ ,  $s2$ ））と、を備えているので、反転増幅器のリセットを1画像分の画素信号の読み出しに先立って1回のみ行うことにより、当該リセットによるノイズの影響をなくすることができる結果、よりS/N比を向上させることができる。

20

【0085】

なお、図3及び図8に示すA/D変換器は、簡単のため、シングルエンドの演算増幅器を用いた回路になっているが、これを全差動型回路にすることもできる。図3に対応する回路を全差動型で構成した回路を図11に示す。イメージレイからの出力は、図11における $V_{IN}$ の入力に与え、図11のもう1つの入力 $V_{REF}$ には参照電圧を与える。この参照電圧は、A/D変換される電圧の直流レベルを決める。

30

【0086】

なお、図3の演算増幅器の代わりに、カスコードのソース接地増幅器のような簡単な構成の増幅器を用いても実現できることは明らかである。

【0087】

次に、巡回型A/D変換について補足説明を行う。

【0088】

巡回型A/D変換として、1サイクル当り、例えば2進で-1, 0, 1の3値を取る冗長表現を用いるが、最終的にはデータ出力線数を減らすために、非冗長表現に変換した後に、そのデジタルデータを、水平走査（或いは並列出力のときは部分的水平走査）を行って出力する。なお、出力のデータレートが低い場合には、水平走査後、冗長表現から非冗長表現に変換してもよい。この変換は、Nビットの場合には、N+1桁の加算を行う加算器を用いて行うことができる。図3は1サイクルで1.5ビットの巡回型A/D変換を行う構成であるが、より高速に動作させるため、演算要素を多段に接続して巡回させる方式等も考えられる。更に、図3では、比較器を2つ用いているが、比較器を1つ用いて1ビットのA/D変換を繰り返す方法、比較器を複数用いて、更にアンプでの増幅も4倍、8倍、16倍として、1サイクル当り多ビットのA/D変換を巡回する方法も考えられ、これらを排除するものではない。

40

【0089】

50

その他、上記各実施の形態で説明したイメージセンサ 10, 10' の構成 (図 1 ~ 図 3, 図 7, 図 8 参照。) は一例であり、本発明の主旨を逸脱しない範囲内において適宜変更可能であることは言うまでもない。

【0090】

更に、上記各実施の形態で示した各種タイミング図の状態 (図 4, 図 6, 図 9, 図 10 参照。) も一例であり、本発明の主旨を逸脱しない範囲内において適宜変更可能であることは言うまでもない。

【図面の簡単な説明】

【0091】

【図 1】第 1 の実施の形態に係るイメージセンサの構成を示すブロック図 (一部回路図) である。 10

【図 2】実施の形態に係る画素部の構成を示す回路図である。

【図 3】第 1 の実施の形態に係る巡回型 A / D 変換器の構成を示す回路図である。

【図 4】第 1 の実施の形態に係る巡回型 A / D 変換器等の動作の説明に供するタイミング図である。

【図 5】実施の形態に係る巡回型 A / D 変換器の変換特性を示すグラフである。

【図 6】第 1 の実施の形態に係るイメージセンサのデジタルノイズキャンセルを実行する際の動作の説明に供するタイミング図である。

【図 7】第 2 の実施の形態に係るイメージセンサの構成を示すブロック図 (一部回路図) である。 20

【図 8】第 2 の実施の形態に係るプリアンプ A / D 変換器の構成を示す回路図である。

【図 9】第 2 の実施の形態に係るプリアンプ A / D 変換器等の動作の説明に供するタイミング図である。

【図 10】第 2 の実施の形態に係るイメージセンサのデジタルノイズキャンセルを実行する際の動作の説明に供するタイミング図である。

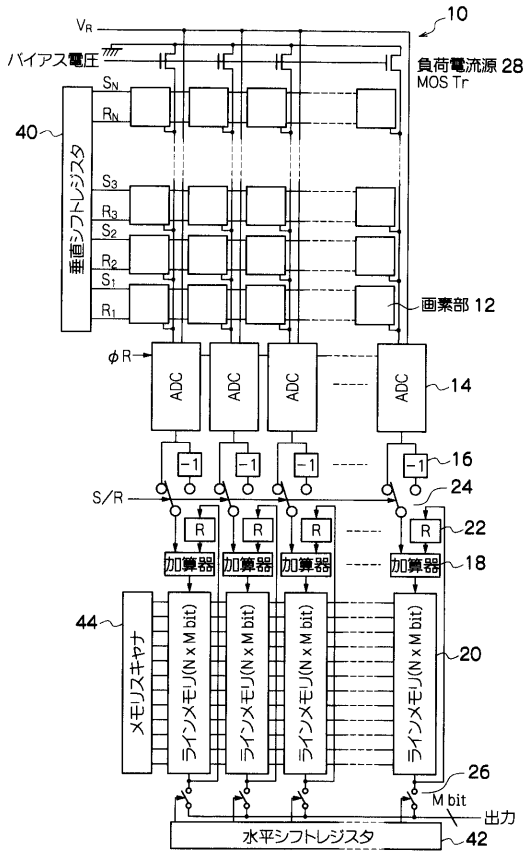
【図 11】図 3 の巡回型 A / D 変換器に対応する回路を全差動型で構成した場合の回路例を示す回路図である。

【符号の説明】

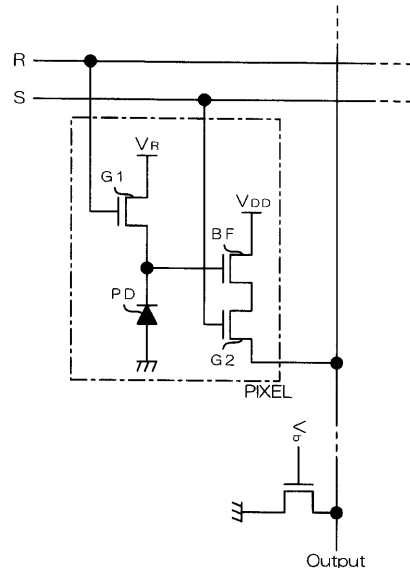
【0092】

- 10, 10'      イメージセンサ 30
- 12      画素部 (撮像手段)
- 14      巡回型 A / D 変換器 (変換手段)
- 14'      プリアンプ A / D 変換器
- 14A      プリアンプ (前置増幅器)
- 14B      巡回型 A / D 変換器 (変換手段)
- 16      逆符号化部 (演算記憶手段)
- 18      加算器 (演算記憶手段)
- 20      ラインメモリ (記憶手段)
- 22      レジスタ
- 24      切換部 40
- 26      開閉部
- 40      垂直シフトレジスタ (リセット手段)
- 42      水平シフトレジスタ
- 44      メモリスキャナ (初期化手段)
- B F      バッファ
- G 1, G 2      ゲート
- P D      フォトダイオード

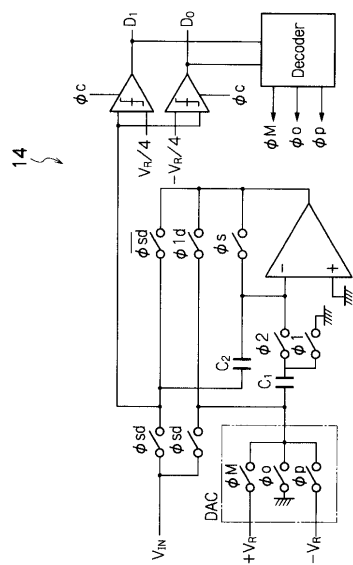
【図1】



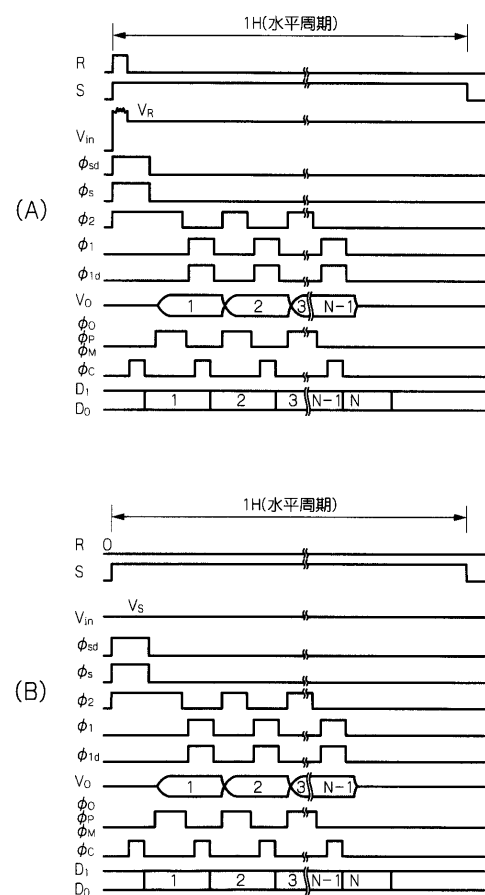
【図2】



【図3】

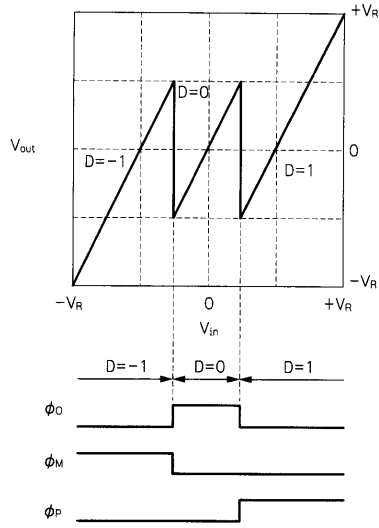


【図4】

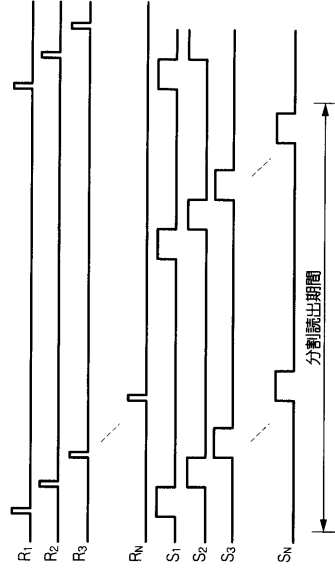




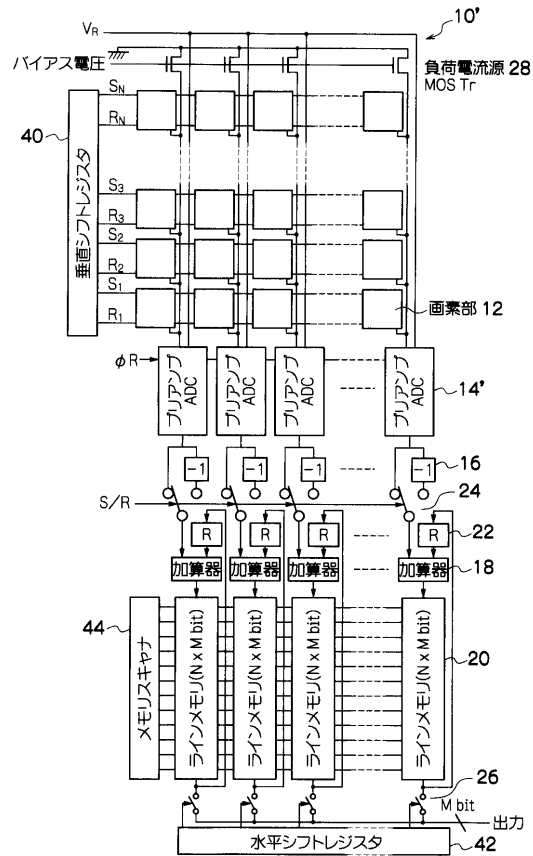
【図5】



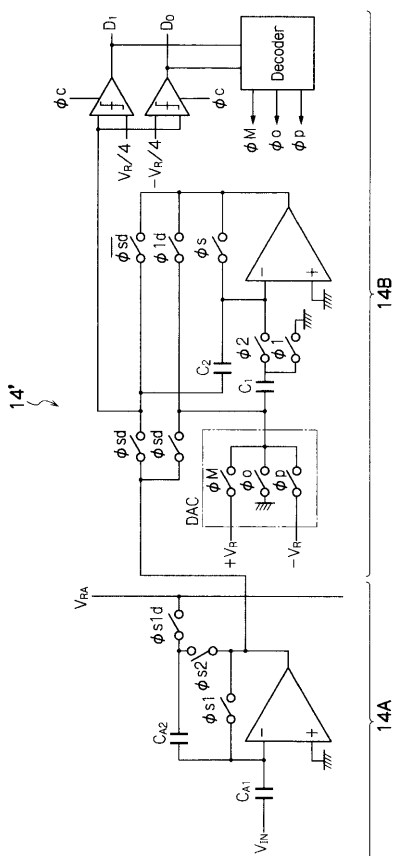
【図6】



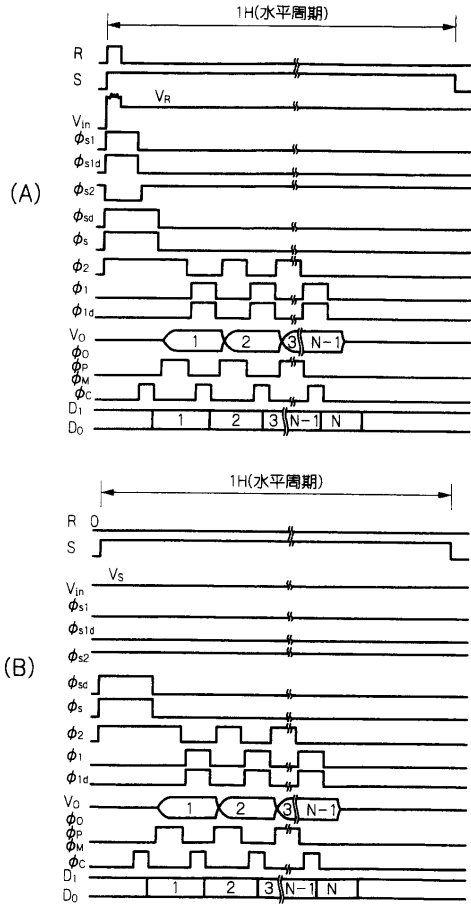
【図7】



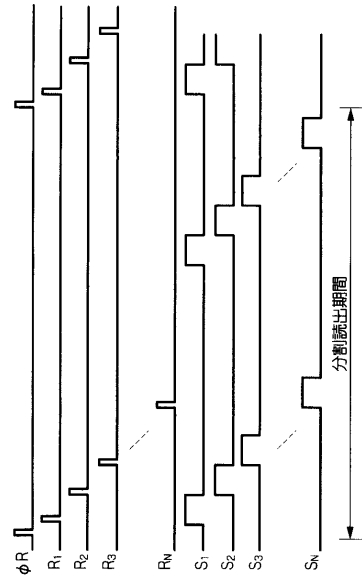
【図8】



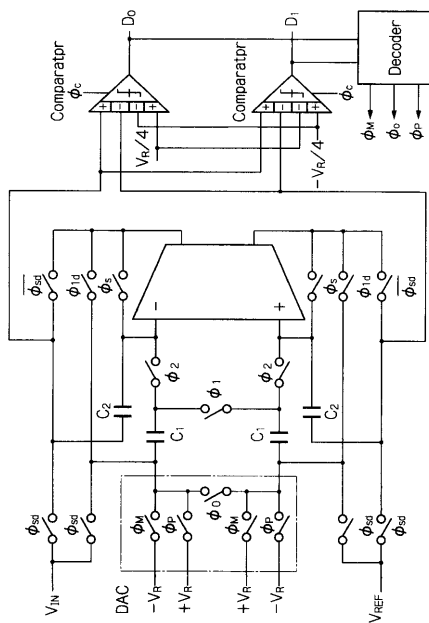
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

審査官 徳田 賢二

(56)参考文献 特開2006-25189(JP,A)  
特開2006-33454(JP,A)  
特開2003-046869(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/335  
H01L 27/146