

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4904497号
(P4904497)

(45) 発行日 平成24年3月28日(2012.3.28)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl. F I
H04L 12/56 (2006.01) H04L 12/56 F

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2006-347521 (P2006-347521)	(73) 特許権者	504409543 国立大学法人秋田大学
(22) 出願日	平成18年12月25日(2006.12.25)		秋田県秋田市手形学園町1番1号
(65) 公開番号	特開2008-160522 (P2008-160522A)	(74) 代理人	100117341 弁理士 山崎 拓哉
(43) 公開日	平成20年7月10日(2008.7.10)	(72) 発明者	小原 仁 秋田県秋田市手形学園町1番1号 国立大 学法人秋田大学内
審査請求日	平成21年8月24日(2009.8.24)	(72) 発明者	坂田 真人 秋田県秋田市手形学園町1番1号 国立大 学法人秋田大学内
		審査官	吉田 隆之

最終頁に続く

(54) 【発明の名称】 多段スイッチの制御回路

(57) 【特許請求の範囲】

【請求項1】

設定により入出力間の経路を切り替え可能な複数の単位スイッチを有する複数のスイッチ段を複数の入力ポートと宛先アドレスで識別される複数の出力ポートとの間に配設して所定の規則に従って結線した多段スイッチに対し、前記スイッチ段ごとに前記単位スイッチを設定することにより各前記入力ポートに対して指定される前記宛先アドレスに従って前記入力ポートから前記出力ポートまでの伝送経路を構築する多段スイッチの制御回路において、

バスと複数の制御エレメントとクラスタ形成手段とを備え、

前記バスは、全ての前記制御エレメントに接続され、

前記制御エレメントは、他の前記制御エレメントとの間でバスを介して前記宛先アドレスを送受信する送受信手段と、自身に対応する前記単位スイッチに対して指定される前記宛先アドレスと他の前記制御エレメントに対応する前記単位スイッチに対して指定される前記宛先アドレスとを比較する比較手段と、前記比較手段の比較結果に基づいて対応する前記単位スイッチを設定するスイッチ制御信号を生成するスイッチ制御信号生成手段と、を有し、

前記クラスタ形成手段は、前記宛先アドレスが送受信される範囲を規定することにより前記制御エレメントを複数のクラスタに分ける、
多段スイッチの制御回路。

【請求項2】

前記クラスタ形成手段は、前記バスを分割するバス・スイッチを有する、
請求項 1 の多段スイッチの制御回路。

【請求項 3】

前記クラスタ形成手段は、前記クラスタが受信する前記宛先アドレスのうち、他の前記クラスタから送信される前記宛先アドレスをマスクすることにより、前記宛先アドレスが送受信される範囲を規定する、
請求項 1 の多段スイッチの制御回路。

【請求項 4】

前記制御エレメントは、対応する前記単位スイッチに対する設定を決定したかを示すステータス信号を生成するステータス信号生成手段を更に備える、
請求項 1 から請求項 3 のいずれかの多段スイッチの制御回路。

10

【請求項 5】

前記多段スイッチは、 $2N = 2^n$ (n は 2 以上の整数) を満たす $2N$ 個の前記入力ポートと $2N$ 個の前記出力ポートとを有し、 N 個の 2 入力 2 出力の前記単位スイッチを有する ($2n - 1$) 個の $2N$ 入力 $2N$ 出力のスイッチ段を前記入力ポートと前記出力ポートとの間に配設したベネス網であり、

前記クラスタ形成手段は、前記入力ポート側から k 番目 (k は 1 から $(2n - 1)$ の整数) の前記スイッチ段を制御対象とするときに、 2^{k-1} 個の前記クラスタを形成する、
請求項 1 から請求項 4 のいずれかの多段スイッチの制御回路。

【請求項 6】

20

前記制御エレメントは、

当該制御エレメントに対応する前記単位スイッチに対して指定された前記宛先アドレスと他の制御エレメントに対応する前記単位スイッチに対して指定された他の前記宛先アドレスとに基づいて直接的及び / 又は間接的に当該制御エレメントに対してリンクされた前記他の制御エレメントと当該制御エレメントとからなるグループにおいて、当該制御エレメントが前記グループにおける代表エレメントであるか否かを決定する代表エレメント決定部と、

当該制御エレメントが前記グループにおける代表エレメントであると前記代表エレメント決定部が決定した場合に、前記代表エレメントに対応する前記単位スイッチである代表スイッチの設定の初期値を前記バスに対して送信する初期値発生回路と
を備えている

30

請求項 5 記載の多段スイッチの制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多段スイッチの制御回路に関し、特に、複数の単位スイッチを有する複数のスイッチ段を所定の規則に従って結線した多段スイッチに対し、スイッチ段ごとに単位スイッチを設定する多段スイッチの制御回路に関する。

【背景技術】

【0002】

40

非特許文献 1 に記載されているように、代表的な多段スイッチとして $2N = 2^n$ (n は 1 以上の自然数) を満たす $2N$ 入力 $2N$ 出力のベネス網が知られている。

【0003】

ベネス網は、概念的には 2 入力 2 出力の単位スイッチを N 個備えたスイッチ段を入出力ポート間に $(2n - 1)$ 段配置した構成をもつ。入力側最初のスイッチ段は入力スイッチと呼ばれ、出力側最後のスイッチ段は出力スイッチと呼ばれる。入力スイッチと出力スイッチの間のスイッチ段に含まれる単位スイッチは、入力スイッチと出力スイッチの間を並行して接続する 2 つの中間スイッチに分けられる。スイッチ段は所定の規則に従ってシャッフル接続されており、具体的には、入力スイッチを構成する各単位スイッチの一方の出力端子は全て一方の中間スイッチに入力され、他方の出力端子は全て他方の中間スイッチ

50

の他方に入力されている。

【0004】

ベネス網の出力ポートには、連続番号で宛先アドレスが割り振られており、ベネス網の制御回路が入力情報に含まれた宛先アドレスに応じて単位スイッチの設定を切り替えることにより、入力情報を入力ポートから出力ポートまで案内するルートを構築する。

【0005】

ベネス網の制御回路は、入力スイッチで受信した入力情報の中から、最下位1ビットを除いた値が同じになる宛先アドレスをもつ2つの入力情報を、異なる中間スイッチに入力するように単位スイッチを設定する。第2段目以降も、各中間スイッチをベネス網とみて同様の設定を行う。ベネス網の特質により、第1～第(n-1)段目のスイッチ段では、対になる宛先アドレスを検出して単位スイッチに対する設定を行う必要があるが、第n段目のスイッチ段以降の単位スイッチの設定は、各入力情報の宛先アドレスに従って自動的に決定される。従って、ベネス網のルート設定に必要な時間は、第1～第(n-1)段目のスイッチ段を構成する単位スイッチの設定に必要な時間に支配される。

10

【0006】

非特許文献1には、直列制御方式に従った単位スイッチの設定方法をソフトウェアで実行する方法が開示されている。非特許文献1の設定方法によれば、各スイッチ段内で、設定を決めたある単位スイッチの一方の宛先アドレスと対になる宛先アドレスを入力する単位スイッチを探索して選択し、対になる2つの宛先アドレスが互いに異なる中間スイッチに入力されるように探索で見つめられた単位スイッチの設定を行う処理を繰り返す。非特許文献1の設定方法によれば、各スイッチ段で対になる単位スイッチを探索する処理をNステップ実行する必要があるため、全体として $N \times \log_2 N$ ステップの処理が必要となる。

20

【非特許文献1】STEINAR ANDRESEN, "The Looping Algorithm Extended to Base Rearrangeable Switching Networks", IEEE TRANSACTIONS ON COMMUNICATIONS, (米国), 1977年10月, Vol. COM-25, No. 10, P. 1057 - P. 1063

【非特許文献2】Ching-Yi Lee and A. Yavuz Oruc, "A Fast Parallel Algorithm for Routing Unicast Assignments in Benes Networks", IEEE TRANSACTIONS ON PARALLEL AND DISTRIBUTED SYSTEMS, (米国), 1995年3月, Vol. 6, No. 3, P. 329 - P. 334

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

非特許文献1のような単位スイッチの設定方法は、プログラム制御であるためハードウェア制御に比較して処理時間が長い。更に、 $N \times \log_2 N$ のオーダーの処理時間が必要となるため、スイッチサイズが大きくなると処理時間が増大し、高速な切り替え動作が困難となる。特に、高速な切り替え動作が必要とされるパケットスイッチやATMスイッチでは、より高速に処理できる設定方法が求められている。

40

【0008】

非特許文献2には、並列制御方式に従った単位スイッチの設定方法をソフトウェアで実行する方法が開示されている。非特許文献2の設定方法は、各スイッチ段の全単位スイッチに対応したN個の制御エレメントを N^2 本の配線で相互に接続した制御回路により実行される。具体的には、まず、各制御エレメントから他の全ての制御エレメントに宛先アドレスを送信し、対になる宛先アドレスをもつ単位スイッチで構成された複数のスイッチグループで1階層のリンクを形成する。次に、各スイッチグループ内の単位スイッチから選ばれた代表ノードの宛先アドレスを送信し合い、対になる宛先アドレスをもつ代表ノード

50

をリンクして2階層のリンクを形成することを繰り返して階層的にリンクを形成する。

【0009】

非特許文献2の設定方法では、各階層において対になる単位スイッチの探索は並列に処理されるため、各スイッチ段で全ての単位スイッチに対する設定が決まるまでに、対になる単位スイッチを探索する処理を $\log_2 N$ ステップ実行する必要がある。並列制御方式に従って単位スイッチを設定すれば、対になる単位スイッチを探索する処理のステップ数を直列制御方式の場合の半分以下まで減らすことができる。

【0010】

しかしながら、非特許文献2の並列制御方式では、入出力ポート数が増えるに従って、制御エレメントの数が N に比例して増加すると共に制御エレメント間の配線が N^2 に比例して増加するため、回路規模が大きくなるという第1の問題がある。更に、非特許文献2の並列制御方式では、1ステップごとに制御エレメント間で宛先アドレスを送受信する必要があるため、プログラム制御では通信時間の短縮化にも限界があり高速動作に適さないという第2の問題がある。

10

【0011】

そこで、本発明は、従来よりも高速に単位スイッチを設定することができる多段スイッチの制御回路を提供することを目的とする。

【課題を解決するための手段】

【0012】

第1の多段スイッチの制御回路は、設定により入出力間の経路を切り替え可能な複数の単位スイッチを有する複数のスイッチ段を複数の入力ポートと宛先アドレスで識別される複数の出力ポートとの間に配設して所定の規則に従って結線した多段スイッチに対し、スイッチ段ごとに単位スイッチを設定することにより各入力ポートに対して指定される宛先アドレスに従って入力ポートから出力ポートまでの伝送経路を構築する多段スイッチの制御回路において、次のようなバスと複数の制御エレメントとクラスタ形成手段とを備えている。バスは、全ての制御エレメントに接続されている。制御エレメントは、他の制御エレメントとの間でバスを介して宛先アドレスを送受信する送受信手段と、自身に対応する単位スイッチに対して指定される宛先アドレスと他の制御エレメントに対応する単位スイッチに対して指定される宛先アドレスとを比較する比較手段と、比較手段の比較結果に基づいて対応する単位スイッチを設定するスイッチ制御信号を生成するスイッチ制御信号生成手段と、を有している。クラスタ形成手段は、宛先アドレスが送受信される範囲を規定することにより制御エレメントを複数のクラスタに分ける。

20

30

【0013】

第1の多段スイッチの制御回路によれば、複数のクラスタによる並行処理が実現されるため、従来よりも高速に単位スイッチに対する設定を行うことができる。

【0014】

第2の多段スイッチの制御回路は、第1の多段スイッチの制御回路において、クラスタ形成手段がバスを分割するバス・スイッチを有している。

【0015】

第3の多段スイッチの制御回路は、第1の多段スイッチの制御回路において、クラスタ形成手段が、クラスタが受信する宛先アドレスのうち、他のクラスタから送信される宛先アドレスをマスクすることにより、宛先アドレスが送受信される範囲を規定する。

40

【0016】

第4の多段スイッチの制御回路は、第1から第3のいずれかの多段スイッチの制御回路において、制御エレメントは、対応する単位スイッチに対する設定を決定したかを示すステータス信号を生成するステータス信号生成手段を更に備えている。

【0017】

第5の多段スイッチの制御回路は、第1から第4のいずれかの多段スイッチの制御回路において、多段スイッチは、 $2N = 2^n$ (n は2以上の整数)を満たす $2N$ 個の入力ポートと $2N$ 個の出力ポートとを有し、 N 個の2入力2出力の単位スイッチを有する($2n -$

50

1) 個の $2N$ 入力 $2N$ 出力のスイッチ段を入力ポートと出力ポートと間に配設したベネス網であり、クラスタ形成手段が、入力ポート側から k 番目 (k は 1 から $(2n - 1)$ の整数) のスイッチ段を制御対象とするときに、 2^{k-1} 個のクラスタを形成する。

【0018】

第6の多段スイッチの制御回路は、第5の多段スイッチの制御回路において、対応する単位スイッチに対して指定された宛先アドレスに基づいて制御エレメント間のリンク関係の有無と設定の差異を決定し、制御エレメントに割り振られた識別番号に基づいてリンク関係をもつ制御エレメントで構成されたグループから代表エレメントを選択し、代表エレメントに対応する単位スイッチの設定を決定することによりリンク関係を辿って他の単位スイッチの設定を決定する多段スイッチの制御回路であって、制御エレメントが、それぞれ、異なるバスに対応付けられ、自身の制御エレメントとの間にリンク関係が有る他の制御エレメントに対応したバスを接続し、識別番号を接続したバスに送信し、ワイアード・オア処理で代表ノードを決定する。

10

【発明の効果】

【0019】

この多段スイッチの制御回路によれば、複数のクラスタによる並行処理が実現されるため、従来よりも高速に単位スイッチに対する設定を行うことができる。

【発明を実施するための最良の形態】

【0020】

本実施形態の多段スイッチは図1に示すような8入力8出力のベネス網2で構成されており、この多段スイッチは図3に示すスイッチ制御回路80により制御される。

20

【0021】

図1に示すように、本実施形態のベネス網2は上位から下位に順に並んだ第1～第8の入力ポート3a～3hと、上位から下位に順に並んだ第1～第8の出力ポート4a～4hと、複数の単位スイッチ10と、複数の配線で構成されている。

【0022】

なお、本実施形態で用いられる上位及び下位の概念は説明の便宜上規定するものである。以下、同様の構造をもつ構成要素を区別して説明する場合は、先頭に序数を付して識別するが、同様の構造をもつ構成要素の一般的な構造や機能については、序数や符号を除いて記載する。

30

【0023】

図2に示すように各単位スイッチ10は、上位及び下位の入力ポートと上位及び下位の出力ポートをもち、スイッチ設定をスイッチ制御信号に従って平行状態と交差状態との間で切り替える。スイッチ設定が平行状態(0値)になると、上位の入力ポートが上位の出力ポートに接続され下位の入力ポートが下位の出力ポートに接続される。スイッチ設定が交差状態(1値)になると、上位の入力ポートが下位の出力ポートに接続され、下位の入力ポートが上位の出力ポートに接続される。

【0024】

一般的に、 $2N = 2^n$ (n は 2 以上の整数) を満たす $2N$ 入力 $2N$ 出力のベネス網は、入力側から出力側に連続的に接続された第1～第 $(2n - 1)$ のスイッチ段で構成され、各スイッチ段は、最上位の1番目から最下位の N 番目まで順に並んだ第1～第 N の単位スイッチで構成されている。

40

【0025】

第1のスイッチ段は、入力スイッチと呼ばれ、第 $(2n - 1)$ のスイッチ段は、出力スイッチと呼ばれる。更に、第2～第 $(2N - 2)$ のスイッチ段に含まれる第1～第 $N/2$ の単位スイッチは上位の中間スイッチを構成し、第 $(N/2 + 1)$ ～第 N の単位スイッチは全体として下位の中間スイッチを構成する。上位の中間スイッチと下位の中間スイッチとの間には配線が存在しない。

【0026】

第1のスイッチ段を構成する N 個の単位スイッチの N 個の上位の出力ポートは、第2の

50

スイッチ段で上位の中間スイッチを構成する $N/2$ 個の単位スイッチの N 個の入力ポートに、接続順位を保ったまま接続される。第 1 のスイッチ段を構成する N 個の単位スイッチの N 個の下位の出力ポートは、第 2 のスイッチ段で下位の中間スイッチを構成する $N/2$ 個の単位スイッチの N 個の入力ポートに、接続順位を保ったまま接続される。

【 0 0 2 7 】

第 $(2n - 1)$ のスイッチ段を構成する N 個の単位スイッチの N 個の上位の入力ポートは、第 $(2n - 2)$ のスイッチ段で上位の中間スイッチを構成する $N/2$ 個の単位スイッチの N 個の出力ポートに、接続順位を保ったまま接続される。第 $(2n - 1)$ のスイッチ段を構成する N 個の単位スイッチの N 個の下位の入力ポートは、第 $(2n - 2)$ のスイッチ段で下位の中間スイッチを構成する $N/2$ 個の単位スイッチの N 個の出力ポートに、接続順位を保ったまま接続される。

10

【 0 0 2 8 】

上位の中間スイッチ及び下位の中間スイッチは、それぞれ、 $n > 2$ の場合には $2M = 2^{(n-1)}$ を満たす $2M$ 入力 $2M$ 出力のベネス網 ($n > 2$ の場合) で構成され、 $n = 2$ の場合には一つの単位スイッチで構成される。このようにベネス網における単位スイッチの接続関係は、再帰的に規定される。

【 0 0 2 9 】

ベネス網の出力ポートには宛先アドレスが割り振られている。各入力ポートが接続される出力ポートは、各入力ポートで宛先アドレスによって指定され、結線に従って各スイッチ段の単位スイッチに宛先アドレスを順次指定しながら、単位スイッチを切り替えることにより、入力ポートから出力ポートまでの伝送経路が構築される。

20

【 0 0 3 0 】

本実施形態のベネス網 2 は、図 1 に示すように $n = 3$ 、 $N = 4$ の 8 入力 8 出力のベネス網として構成されている。ベネス網 2 を構成する複数の単位スイッチ 10 は、第 1 ~ 第 8 の入力ポート 3 a ~ 3 h と第 1 ~ 第 8 の出力ポート 4 a ~ 4 h との間で、概念的にマトリクスを形成するように配設されている。第 1 ~ 第 8 の出力ポート 4 a ~ 4 h には、順に、0 0 0 から 1 1 1 までの 3 ビットの 2 進数が割り振られている。

【 0 0 3 1 】

複数の単位スイッチ 10 は、第 1 ~ 第 8 の入力ポート 3 a ~ 3 h 側から第 1 ~ 第 8 の出力ポート 4 a ~ 4 h へ並ぶように配設された第 1 ~ 第 5 のスイッチ段 5 a ~ 5 e に区分されて配設されており、第 1 ~ 第 5 のスイッチ段 5 a ~ 5 e は、それぞれ、上位から下位に並んだ 4 つの単位スイッチ 10 で構成されている。各スイッチ段の単位スイッチ 10 は、上位から順に第 1 ~ 第 4 の単位スイッチとして識別する。特に、第 1 のスイッチ段 5 a を構成する単位スイッチ 10 は、上位から順に第 1 ~ 第 4 の単位スイッチ 11 ~ 14 と称し、第 2 のスイッチ段 5 b を構成する単位スイッチ 10 は、上位から順に第 1 ~ 第 4 の単位スイッチ 21 ~ 24 と称して区別する。入力スイッチと出力スイッチは、それぞれ、第 1 のスイッチ段 5 a と第 5 のスイッチ段 5 e で構成される。上位の中間スイッチ 6 a は、第 2 ~ 第 4 のスイッチ段 5 b ~ 5 d の上位 2 つずつの単位スイッチ 10 によって構成され、下位の中間スイッチ 6 b は、第 2 ~ 第 4 のスイッチ段 5 b ~ 5 d の下位 2 つずつの単位スイッチ 10 によって構成される。

30

40

【 0 0 3 2 】

なお、図 1 に示された単位スイッチ 10 のスイッチ設定は一例を示すものであり、具体的には、ベネス網 2 の第 1 ~ 第 8 の入力ポート 3 a ~ 3 h から入力される入力情報の宛先アドレスが、それぞれ、0 1 0、0 0 0、0 0 1、1 1 1、1 1 0、1 0 0、0 1 1、1 0 1 であるときのスイッチ設定を示している。

【 0 0 3 3 】

一般に、ベネス網では、第 1 ~ 第 $(n - 1)$ のスイッチ段を構成する各単位スイッチは、同一のスイッチ段に含まれている他の単位スイッチに対して指定される宛先アドレスに依存して設定されるのに対し、第 n のスイッチ段以降の単位スイッチは所定の規則に従って自身の単位スイッチに対して指定された宛先アドレスから独自に設定することができる

50

。本実施形態のスイッチ制御回路は、第1～第(n-1)のスイッチ段を構成する各单位スイッチの設定を切り替えるものである。

【0034】

次に、第1の実施形態のスイッチ制御回路70について説明する。

【0035】

スイッチ制御回路70は、図1のベネス網2の第1～第8の入力ポート3a～3hに対して指定された宛先アドレスに従って単位スイッチ10のスイッチ設定を切り替えることにより、各入力ポートから宛先アドレスが示す第1～第8の出力ポート4a～4hまでの伝送経路を構築する。以下、各单位スイッチの上位の入力ポート、下位の入力ポートに対して指定される宛先アドレスを、それぞれ、上位の宛先アドレス、下位の宛先アドレスとして区別する。

10

【0036】

具体的には、スイッチ制御回路70は、ベネス網2の第1～第8の入力ポート3a～3hに対して指定される宛先アドレスに従って、第1の段階で第1のスイッチ段5aを構成する第1～第4の単位スイッチ11～14のスイッチ設定を決定した後、第2の段階で第2のスイッチ段5bを構成する第1～第4の単位スイッチ21～24のスイッチ設定を決定する。

【0037】

図3に示すように、本実施形態のスイッチ制御回路70は、第1～第4の制御エレメント71～74とバス75と第0～第4のステータス信号線76a～76eとバス・スイッチ77とタイミング信号発生回路78を備えている。

20

【0038】

タイミング信号発生回路78は、第1～第4の制御エレメント71～74及びバス・スイッチ77にクロックパルス及び時刻情報を含んだタイミング情報を送信することによりスイッチ制御回路70の全体の動作を指示する。

【0039】

本実施形態のバス75は、宛先アドレス、応答、及び、スイッチ設定を並列に伝送できる幅を有している。更に、バス75は、上位の第1の区間75aと下位の第2の区間75bに分割されている。

【0040】

30

第1～第4の制御エレメント71～74は、概念的に上位から下位に順に配設されている。上位半分の第1及び第2の制御エレメント71及び72は、バス75の第1の区間75aに接続されて第1のクラスタを構成し、下位半分の第3及び第4の制御エレメント73及び74は、バス75の第2の区間75bに接続されて第2のクラスタを構成している。第1～第4の制御エレメント71～74は、それぞれ、上位及び下位の入力端子を備えている。

【0041】

第1～第4の制御エレメント71～74は、それぞれ、各段階で制御対象となるスイッチ段の第1～第4の単位スイッチに対応付けられる。各单位スイッチの上位及び下位の宛先アドレスは、第1のスイッチ段5aを制御対象とする第1の段階では対応する各制御エレメントの上位及び下位の入力端子で受信され、第2のスイッチ段5bを制御対象とする第2の段階ではバス75を通じて受信される。第1～第4の制御エレメント71～74は、各段階で、それぞれ、対応する単位スイッチにスイッチ制御信号を送信する。

40

【0042】

第0～第4のステータス信号線76a～76eは、それぞれ、上位の制御エレメントから下位の制御エレメントに上位の全制御エレメントが処理済であるか(1値)、未処理の制御エレメントが含まれているか(0値)を表す第0～第4のステータス信号を伝達する。第0のステータス信号線76aは、第0のステータス信号を第1の制御エレメント71に伝達する。第0のステータス信号は、タイミング信号発生回路78によって常に処理済(1値)に設定されている。第1～第3のステータス信号線76b～76dは、第1～第

50

3の制御エレメント71~73で生成された第1~第3のステータス信号を第2~第4の制御エレメント72~74に伝達する。第4のステータス信号線76eは、第4の制御エレメント74で生成された第4のステータス信号をタイミング信号発生回路78に伝達する。第1~第4のステータス信号は、初期状態では全て未処理(0値)に設定されており、制御対象のスイッチ段の全ての単位スイッチの設定が終了すると第4のステータス信号が処理済に切り替わる。

【0043】

オン・オフ型のバス・スイッチ77は、バス75の第1の区間75aと第2の区間75bの間に配設されて第1の区間75aと第2の区間75bを接続/分離すると共に、第1のクラスタと第2のクラスタの間をつないでいる第3のステータス信号線76c中に配設されて第3のステータス信号線76cを接続/分離する。バス・スイッチ77は、第1のクラスタと第2のクラスタを分離するクラスタ形成手段として機能する。

10

【0044】

図4は、第1の制御エレメント71の構成図である。第2~第4の制御エレメント72~74は、第1の制御エレメント71と同様の構成を有するため第1の制御エレメント71との相違点のみを説明する。

【0045】

第1の制御エレメント71は、上位及び下位の宛先記憶部90a及び90b、セクタ91、第1~第3の比較回路93a~93c、フラグ信号保持回路94、スイッチ制御信号生成回路95、フラグ設定回路96、及び、ステータス信号生成回路97を有している。

20

【0046】

上位及び下位の宛先記憶部90a及び90bは、上位及び下位の入力端子又はバス75から、対応する単位スイッチの上位及び下位の宛先アドレスを受信して記憶する。第1の段階では完全な宛先アドレスから下位1ビットを除いた宛先アドレスを記憶する。

【0047】

セクタ91は、上位の宛先記憶部90aに記憶された宛先アドレスと、下位の宛先記憶部90bに記憶された宛先アドレスを順次バス75に送信する。一度にバス75に送信されるのは、第1~第4の制御エレメント71~74が記憶している上位及び下位の宛先アドレスのうち1つのみである。

30

【0048】

第1の比較回路93aは、上位の宛先記憶部90aに記憶された上位の宛先アドレスと、他の制御エレメントからバス75に送信された宛先アドレスを受信して比較する。第2の比較回路93bは、下位の宛先記憶部90bに記憶された下位の宛先アドレスと、他の制御エレメントからバス75に送信された宛先アドレスを受信して比較する。第3の比較回路93cは、各制御エレメント内で上位の宛先記憶部90aに記憶された上位の宛先アドレスと、下位の宛先記憶部90bに記憶された下位の宛先アドレスを比較する。

【0049】

スイッチ制御信号生成回路95は、第1~第3の比較回路93a~93cの比較結果、フラグ信号保持回路94の設定値、ステータス信号の設定値、バス75から受信した各種信号に基づいて、各制御エレメントの動作を制御してスイッチ制御信号を生成する。

40

【0050】

フラグ信号保持回路94は、自段の制御エレメントの処理状態を示すフラグを記憶しており、初期状態ではフラグが未処理(0値)に設定され、適宜、スイッチ制御信号生成回路95又はフラグ設定回路96により処理済(1値)に切り替えられる。

【0051】

フラグ設定回路96は、第1の比較回路93aと第2の比較回路93bの少なくとも一方の比較結果が一致を示していれば、フラグ信号保持回路94のフラグを処理済(1値)に書き換える。即ち、各制御エレメントにおいて、自段に記憶されている上位及び下位の宛先アドレスの少なくとも一つと対になる宛先アドレスが他の制御エレメントに記憶され

50

ていればリンクが存在するといえるため、フラグが処理済（１値）に書き換えられる。

【 0 0 5 2 】

ステータス信号生成回路 9 7 は、受信したステータス信号が処理済（１値）に設定されており、かつ、自段のフラグ信号保持回路 9 4 のフラグが処理済（１値）に設定されている場合にのみ、次段の制御エレメントに処理済（１値）であることを伝達する。

【 0 0 5 3 】

次に、スイッチ制御回路 7 0 の動作について説明する。スイッチ制御回路 7 0 の動作は、タイミング信号発生回路 7 8 から送信されるタイミング情報に従って制御される。

【 0 0 5 4 】

第 1 の段階では図 1 の第 1 のスイッチ段 5 a が制御対象となり、第 1 ～ 第 4 の制御エレメント 7 1 ～ 7 4 は、それぞれ、第 1 のスイッチ段 5 a の第 1 ～ 第 4 の単位スイッチ 1 1 ～ 1 4 に対応付けられる。

10

【 0 0 5 5 】

第 1 の段階は、第 1 ～ 第 3 のフェーズで構成されている。

【 0 0 5 6 】

第 1 のフェーズでは、初期設定動作が実行される。具体的には、まず、第 1 ～ 第 4 の制御エレメント 7 1 ～ 7 4 の上位及び下位の宛先記憶部 9 0 a 及び 9 0 b は、対応する第 1 ～ 第 4 の単位スイッチ 1 1 ～ 1 4 の上位及び下位の宛先アドレスを上位及び下位の入力端子を通じて受信し、受信した宛先アドレスの最下位 1 ビットを除いた残りのビットを記憶する。本実施形態の元の宛先アドレスは 3 ビットであるから、元の宛先アドレスの上位 2 ビットが記憶される。第 1 の段階では宛先アドレスは、上位及び下位の入力端子から入力される。

20

【 0 0 5 7 】

第 2 の段階以降では、各制御エレメントの上位及び下位の宛先記憶部 9 0 a 及び 9 0 b は、バスを通じて、対応する単位スイッチの上位及び下位の宛先アドレスを受信する。

【 0 0 5 8 】

次に、各制御エレメントの各スイッチ制御信号生成回路 9 5 は、自段に記憶された上位及び下位の宛先アドレスが共に接続先の無い無効な宛先アドレスであるか確認する。記憶された上位及び下位の宛先アドレスが共に無効であるような制御エレメントは、他の制御エレメントとリンクしないため、対応する単位スイッチの設定を平行状態と交差状態のいずれにも設定可能であるが、本実施形態では平行状態に設定するようにスイッチ制御信号を送信し、更に、同じ制御エレメント内のフラグ信号保持回路 9 4 の内容を処理済（１値）に設定する。

30

【 0 0 5 9 】

次に、各制御エレメントのスイッチ制御信号生成回路 9 5 は、自段に記憶された上位及び下位の宛先アドレスの少なくとも一方が有効であれば、第 3 の比較回路 9 3 c の比較結果を確認する。第 3 の比較回路 9 3 c で比較した結果、自段で記憶している上位及び下位の宛先アドレスと下位の宛先アドレスが一致していれば、当該制御エレメントは他の制御エレメントにリンクしないため、対応する単位スイッチの設定を平行状態と交差状態のいずれにも設定可能であるが、本実施形態では平行状態に設定するようにスイッチ制御信号を送信し、更に、同じ制御エレメント内のフラグ信号保持回路 9 4 の内容を処理済（１値）に設定する。

40

【 0 0 6 0 】

第 1 の制御エレメント 7 1 に対応する単位スイッチは、選択されたスイッチ段で最初にスイッチ設定されるものであり平行状態と交差状態のいずれであってもよいが、本実施形態では平行状態に設定するものとする。

【 0 0 6 1 】

図 1 の例では、第 1 のスイッチ段 5 a に入力される入力情報の宛先アドレスは全て有効であり、各制御エレメントに記憶された上位の宛先アドレスと下位の宛先アドレスはどれも一致しないため、第 1 フェーズでは、第 1 の制御エレメント 7 1 に対応する第 1 の単位

50

スイッチ 11 のスイッチ設定のみが初期設定どおり平行状態に決定する。

【 0 0 6 2 】

第 2 のフェーズは、第 1 ~ 第 3 のサブフェーズで構成されている。

【 0 0 6 3 】

第 1 のサブフェーズでは、いずれの制御エレメントが、自段に記憶した宛先アドレスをバス 7 5 に送信するか決定する。具体的には、受信したステータス信号が処理済 (1 値) に設定されている制御エレメントが、宛先アドレスを送信する制御エレメントとして選択される。最初は、第 0 のステータス信号のみが処理済 (1 値) に設定されているため、第 1 の制御エレメント 7 1 が宛先アドレスをバス 7 5 に送信する制御エレメントとして選択され、第 1 の制御エレメント 7 1 のフラグ信号保持回路 9 4 の内容は処理済 (1 値) に設定される。

10

【 0 0 6 4 】

第 2 のサブフェーズでは、第 1 のサブフェーズで選択された制御エレメントが、セレクタ 9 1 を通じて上位の宛先記憶部 9 0 a に記憶された宛先アドレスと下位の宛先記憶部 9 0 b に記憶された宛先アドレスを、順にバス 7 5 上に送信すると共に、対応する単位スイッチの設定を送信する。バス 7 5 上の宛先アドレスが上位の宛先アドレスであるか下位の宛先アドレスであるかは、送信されたタイミングで区別される。第 1 のサブフェーズで選択されなかった他の制御エレメントは、第 1 の比較回路 9 3 a 及び第 2 の比較回路 9 3 b により、バス 7 5 上の宛先アドレスと自段が記憶している宛先アドレスを比較する。

【 0 0 6 5 】

20

第 3 のサブフェーズでは、第 1 のサブフェーズで選択されなかった制御エレメントは、バス 7 5 に送信された 2 つの宛先アドレスのいずれかが自段に記憶された宛先アドレスに一致しているとき、バス 7 5 を通じて応答を返すと共に、フラグ信号保持回路 9 4 を処理済 (1 値) に設定する。但し、フラグ信号保持回路 9 4 が既に処理済 (1) に設定されている場合、又は、自段に記憶された他方の宛先アドレスが無効であるときも応答を返さない。バス 7 5 から受信した 2 つの宛先アドレスのいずれも自段に記憶された宛先アドレスに一致しない場合には何も応答を返さない。

【 0 0 6 6 】

各制御エレメントのスイッチ制御信号生成回路 9 5 は、自段に記憶された上位の宛先アドレスが送信元の制御エレメントの上位の宛先アドレスに一致し、又は、自段に記憶された下位の宛先アドレスが送信元の制御エレメントの下位の宛先アドレスに一致するときは、送信元の制御エレメントのスイッチ設定と異なるスイッチ設定となるように自段のスイッチ制御信号を生成する。一方、自段に記憶された上位の宛先アドレスが送信元の制御エレメントの下位の宛先アドレスに一致するとき、又は、自段に記憶された上位の宛先アドレスが送信元の制御エレメントの下位の宛先アドレスに一致するときは、送信元の制御エレメントのスイッチ設定と同じスイッチ設定となるようにスイッチ制御信号を生成する。

30

【 0 0 6 7 】

すなわち、第 1 のスイッチ段 5 a に入力された入力情報のうち、宛先アドレスの上位 2 ビットが一致して下位 1 ビットだけが異なる 2 つの入力情報は、第 2 のスイッチ段 5 b の上位の中間スイッチ 6 a と下位の中間スイッチ 6 b に分かれるように伝達される。

40

【 0 0 6 8 】

応答を返した制御エレメントは、次に宛先アドレスを送信する制御エレメントとなり、第 2 のサブフェーズと第 3 のサブフェーズを繰り返す。応答を返す制御エレメントが無い場合には、フラグ信号保持回路 9 4 が未処理 (0 値) である最上位の制御エレメント、すなわち、受信するステータス信号が処理済 (1 値) であって自身のフラグ信号保持回路 9 4 が未処理 (0 値) に設定されている制御エレメントが、次に宛先アドレスを送信する制御エレメントに選択される。全ての制御エレメントのフラグ信号保持回路 9 4 が処理済 (1 値) に設定されることによってバス 7 5 に送信される宛先アドレスが無くなると、第 1 ~ 第 4 の制御エレメント 7 1 ~ 7 4 の全てが、対応する単位スイッチのスイッチ設定を決定したこととなるので、第 2 のフェーズが終了する。

50

【 0 0 6 9 】

図 1 と図 4 を参照しながら図 1 の入力例でスイッチ制御回路 7 0 の動作を説明する。まず、図 1 の第 1 の単位スイッチ 1 1 が平行状態に設定され、図 4 の第 1 の制御エレメント 7 1 の上位の宛先アドレス (0 1) がバス 7 5 に送信される。第 1 の制御エレメント 7 1 の上位の宛先アドレス (0 1) は、第 4 の制御エレメント 7 4 の上位の宛先アドレス (0 1) に一致するため、図 1 の第 4 の単位スイッチ 1 4 は交差状態に設定され、図 4 の第 4 の制御エレメント 7 4 の下位の宛先アドレス (1 0) がバス 7 5 に送信される。第 4 の制御エレメント 7 4 の宛先アドレス (1 0) は、第 3 の制御エレメント 7 3 の下位の宛先アドレス (1 0) に一致するため、図 1 の第 3 の単位スイッチ 1 3 が平行状態に設定され、図 4 の第 3 の制御エレメント 7 3 の上位の宛先アドレス (1 1) がバス 7 5 に送信される。第 3 の制御エレメント 7 3 の宛先アドレス (1 1) は、第 2 の制御エレメント 7 2 の下位の宛先アドレス (1 1) に一致するため、図 1 の第 2 の単位スイッチ 1 2 が平行状態に設定される。この段階で全ての制御エレメントのフラグ信号保持回路 9 4 が処理済 (1 値) に設定されて第 1 のスイッチ段 5 a に対する処理が終了する。

10

【 0 0 7 0 】

第 3 のフェーズでは、第 1 のフェーズ及び第 2 のフェーズによる単位スイッチの設定に従って、第 1 ~ 第 4 の制御エレメント 7 1 ~ 7 4 に記憶されている宛先アドレスをバス 7 5 を通じて時分割により転送して入れ替える。第 1 ~ 第 4 の制御エレメント 7 1 ~ 7 4 に記憶されている宛先アドレスを、バス 7 5 を通じて時分割に転送することにより、第 2 のスイッチ段 5 b の第 1 ~ 第 4 の単位スイッチ 2 1 ~ 2 4 の上位及び下位の宛先アドレスが、対応する第 1 ~ 第 4 の制御エレメント 7 1 ~ 7 4 の上位及び下位の宛先記憶部 9 0 a に記憶させる。

20

【 0 0 7 1 】

次に、第 2 のスイッチ段 5 b を制御対象とする第 2 の段階に移行する。第 2 の段階では、バス・スイッチ 7 7 をオフ状態に設定することによりバス 7 5 の第 1 の区間 7 5 a と第 2 の区間 7 5 b を分離すると共に、第 1 のクラスタと第 2 のクラスタ間でステータス信号を遮断する。第 1 のクラスタを構成する制御エレメントは、第 2 のスイッチ段 5 b の上位の中間スイッチ 6 a を構成する単位スイッチに対応し、第 2 のクラスタを構成する制御エレメントは、第 2 のスイッチ段 5 b の下位の中間スイッチ 6 b を構成する単位スイッチに対応する。

30

【 0 0 7 2 】

第 2 の段階における第 1 ~ 第 3 のフェーズの処理は、制御対象のスイッチ段が異なる他は第 1 の段階と同様であるが、第 2 の段階ではバス 7 5 の下位 1 ビットを 0 値又は 1 値にマスクして宛先アドレスの下位 2 ビットを除く上位 1 ビットのみを比較する。バス 7 5 が分割されているため、第 1 のクラスタ内における第 1 から第 3 のフェーズの処理と、第 2 のクラスタ内における第 1 から第 3 のフェーズの処理を並列に実行することができる。

【 0 0 7 3 】

2 N 入力 2 N 出力のベネス網を制御するときは、第 3 の段階以降、バス・スイッチ 7 7 で各クラスタをさらに上位のクラスタと下位のクラスタに 2 分割して、各クラスタについて同様の処理を行い各クラスタで同様の動作を繰り返せばよい。

40

【 0 0 7 4 】

以上のように、制御対象のスイッチ段が以降するごとに制御エレメントを複数のクラスタに分割して並列処理することにより、2 N 入力 2 N 出力のベネス網に対するスイッチ設定の処理ステップ数を、 $N + N / 2 + N / 4 + N / 8 + \dots + 1 = (2 N - 1)$ とすることができる。従って、本実施形態によれば、クラスタに分割しない場合には $N \times \log_2 N$ ステップ必要であった処理数を大幅に減少することができる。

【 0 0 7 5 】

なお、本実施形態のスイッチ制御回路は、1 つのスイッチ段に対応する制御エレメントのみを備えており、各スイッチ段に対する設定が終わってから制御エレメント間で宛先アドレスを入れ換えているが、複数のスイッチ段に対応した複数の制御エレメントのグルー

50

ブを予め備え、各グループの制御エレメントによる各スイッチ段に対する設定が終わるごとに、ベネス網と同様の結線を通じて次のグループに宛先アドレスを送信するように構成されたものであってもよい。

【0076】

次に、第2の実施形態のスイッチ制御回路100について説明する。

【0077】

図5に示すように、第2の実施形態のスイッチ制御回路100は、第1～第4の制御エレメント101～104、第1～第4のバス105a～105d、及び、タイミング信号発生回路106を備えている。

【0078】

タイミング信号発生回路106は、第1～第4の制御エレメント101～104にクロックパルス及び時刻情報を含んだタイミング情報を送信することによりスイッチ制御回路100の全体の動作段階を指示する。なお、図面を明確にするため、タイミング信号発生回路106から他の構成要素への信号線は省略している。

【0079】

本実施形態の第1～第4のバス105a～105dには、1～4の番号が割り当てられており、各バスが、宛先アドレス、応答、及び、スイッチ設定を並列に伝送するのに十分な幅をもつ。更に、第1～第4のバス105a～105dは、ワイアード・オア処理が可能なバスであるため、0値と1値が混在して送信された場合には1値にマスクされる。

【0080】

第1～第4の制御エレメント101～104は、概念的に上位から下位に順に配設されており、それぞれ、上位及び下位の入力端子を備えている。第1～第4の制御エレメント71～74は、それぞれ、各スイッチ段の第1～第4の単位スイッチに対応付けられ、対応する単位スイッチの上位及び下位の宛先アドレスを第1の段階では上位及び下位の入力端子で受信し、第2の段階ではバスを通じて受信し、各段階の最後に対応する単位スイッチにスイッチ制御信号を送信する。更に、第1～第4の制御エレメント101～104は、それぞれ、第1～第4のバス105a～105dに対応付けられている。

【0081】

図6は、第1の制御エレメント101の構成図である。第2～第4の制御エレメント102～104は、第1の制御エレメント101と同様の構成を有するため第1の制御エレメント101との相違点のみを説明する。

【0082】

第1の制御エレメント101は、リンク探索部110、リンク設定部111、接続部112、代表エレメント決定部113、及び、初期値発生回路114を備えている。

【0083】

図7のリンク探索部110は、主に、宛先アドレスの取り込みと探索データ抽出処理を実行し、更に、スイッチ探索処理を実行する。図7の構成図に示すようにリンク探索部110は、上位及び下位の宛先記憶部120a及び120b、セクタ121、第1～第7の比較回路122a～122g、第1及び第2のプライオリティエンコーダ123a及び123b、及び、探索結果記憶部124を備えている。

【0084】

上位及び下位の宛先記憶部120a及び120bは、上位及び下位の入力端子又は第1～第4のバス105a～105dから宛先アドレスを受信して記憶する。各段階で上位及び下位の宛先記憶部120a及び120bが受信するのは、それぞれ、対応する単位スイッチの上位及び下位の宛先アドレスである。第1の段階では実際に各単位スイッチに入力される宛先アドレスから下位1ビットを除いた宛先アドレスを記憶する。

【0085】

セクタ121は、上位の宛先記憶部120aに記憶された宛先アドレスと、下位の宛先記憶部120bに記憶された宛先アドレスを順次、自段の制御エレメントに対応付けられたバスに送信する。具体的には、第1のタイミングで第1～第4の制御エレメント10

10

20

30

40

50

1 ~ 104のセクタ121が、それぞれ、第1 ~ 第4のバス105a ~ 105dに、一斉に上位の宛先記憶部120aに記憶された宛先アドレスを送信し、第2のタイミングで一斉に下位の宛先記憶部120bに記憶された宛先アドレスを送信する。

【0086】

第1の比較回路122aは、各制御エレメント内で上位の宛先記憶部120aに記憶された宛先アドレスと、下位の宛先記憶部120bに記憶された宛先アドレスを比較する。第2 ~ 第4の比較回路122b ~ 122dは、それぞれ、他の制御エレメントに対応付けられた3つのバスから受信した宛先アドレスと、自段の制御エレメントの上位の宛先アドレスを比較する。第5 ~ 第7の比較回路122e ~ 122gは、それぞれ、他の制御エレメントに対応付けられた3つのバスから受信した宛先アドレスと、自段の制御エレメントの下位の宛先アドレスを比較する。

10

【0087】

第2 ~ 第4の比較回路122b ~ 122d及び第5 ~ 第7の比較回路122e ~ 122gは、第1の段階では、他の制御エレメントから宛先アドレスを受信する受信手段として機能する一方、第2の段階では、他のクラスタの制御エレメントから送信された宛先アドレスをマスクするクラスタ形成手段として機能する。

【0088】

第1及び第2のプライオリティエンコーダ123a及び123bは、それぞれ、番号が振られた4つの入力端子をもち、入力があった入力端子の番号を出力する。具体的には、第1のプライオリティエンコーダ123aは、3つの入力端子から第2 ~ 第4の比較回路122b ~ 122dの比較結果を受信する。第2 ~ 第4の比較回路122b ~ 122dが接続されている入力端子の番号は、第2 ~ 第4の比較回路122b ~ 122dの一方の入力に接続されているバスの番号に一致している。残り1つの入力端子の番号は、自段の制御エレメントに対応するバスの番号に一致しており、入力のないアイドル状態に固定されている。

20

【0089】

第1及び第2のプライオリティエンコーダ123a及び123bの出力は、付随した情報と共に図8に示すような第1 ~ 第4の探索結果131 ~ 134として探索結果記憶部124に記憶される。第1 ~ 第4の探索結果131 ~ 134は、ポート、タイミング、比較結果、及び、バス番号で構成されている。

30

【0090】

ポートの値は、比較した宛先アドレスの一方が、自段の制御エレメントの上位の宛先アドレスであれば0値に設定され、下位の宛先アドレスであれば1値に設定される。タイミングの値は、比較した宛先アドレスの他方が、他の制御エレメントの上位の宛先アドレスであれば0値に設定され、下位の宛先アドレスであれば1値に設定される。バス番号は、比較結果が一致するときの宛先アドレスを伝達したバス番号を表す。

【0091】

比較結果は、一致を表す1値と不一致を表す0値のいずれかに設定される。具体的には、第1の探索結果131の比較結果が1値に設定されるのは、第1のタイミングで、他の制御エレメントの上位の宛先アドレスのいずれかが、自段の制御エレメントの上位の宛先アドレスに一致する場合である。第2の探索結果132の比較結果が1値に設定されるのは、第2のタイミングで、他の制御エレメントの下位の宛先アドレスのいずれかが、自段の制御エレメントの上位の宛先アドレスに一致する場合である。第3の探索結果133の比較結果が1値に設定されるのは、第1のタイミングで、他の制御エレメントの上位の宛先アドレスのいずれかが、自段の制御エレメントの下位の宛先アドレスに一致する場合である。第4の探索結果134の比較結果が1値に設定されるのは、第2のタイミングで、他の制御エレメントの下位の宛先アドレスのいずれかが、自段の制御エレメントの下位の宛先アドレスに一致する場合である。

40

【0092】

図9に示すリンク設定部111は、リンク設定処理を実行する。具体的には、リンク設

50

定部 1 1 1 は、第 1 の探索結果 1 3 1 と第 2 の探索結果 1 3 2 を比較して第 1 の出力信号群 1 4 1 を生成し、第 3 の探索結果 1 3 3 と第 4 の探索結果 1 3 4 を比較して第 2 の出力信号群 1 4 2 を生成する。第 1 の出力信号群 1 4 1 は、第 1 ~ 第 3 の出力信号 1 4 3 a ~ 1 4 3 c を含み、第 2 の出力信号群 1 4 2 は、第 4 ~ 第 6 の出力信号 1 4 3 d ~ 1 4 3 f を含む。

【 0 0 9 3 】

第 1 の出力信号 1 4 3 a は、自段の上位の宛先アドレスが一致するリンク先が有るか (1 値) 無い (0 値) かを示す。第 2 の出力信号 1 4 3 b は、第 1 の出力信号 1 4 3 a がリンク有りに設定されている場合に、リンクが張られた 2 つの単位スイッチの設定が反対 (0 値) か同一 (1 値) かを示す。対となる宛先アドレスが共に上位の宛先アドレスであるか共に下位の宛先アドレスである場合には、第 2 の出力信号 1 4 3 b の値が反対 (0 値) に設定され、対となる宛先アドレスの一方が上位の宛先アドレスで、他方の宛先アドレスが下位の宛先アドレスである場合には、第 2 の出力信号 1 4 3 b の値が同一 (1 値) に設定される。第 3 の出力信号 1 4 3 c は、リンク先の制御エレメントに対応したバス番号を示す。

10

【 0 0 9 4 】

第 4 の出力信号 1 4 3 d は、自段の下位の宛先アドレスが一致するリンク先が有るか (1 値) 無い (0 値) かを示す。第 5 の出力信号 1 4 3 e は、第 4 の出力信号 1 4 3 d がリンク有りに設定されている場合に、リンクが張られた 2 つの単位スイッチの設定が反対 (0 値) か同一 (1 値) かを示す。対となる宛先アドレスが共に上位の宛先アドレスであるか共に下位の宛先アドレスである場合には、第 5 の出力信号 1 4 3 e の値が反対 (0 値) に設定され、対となる宛先アドレスの一方が上位の宛先アドレスで、他方の宛先アドレスが下位の宛先アドレスである場合には、第 5 の出力信号 1 4 3 e の値が同一 (1 値) に設定される。第 6 の出力信号 1 4 3 f は、リンク先の制御エレメントに対応したバス番号を示す。

20

【 0 0 9 5 】

第 1 の出力信号群 1 4 1 の第 1 の出力信号 1 4 3 a は、第 1 の探索結果 1 3 1 と第 3 の探索結果 1 3 3 の 2 つ比較結果の少なくとも一方が一致 (1 値) であるときのみリンク有り (1 値) に設定される。第 2 の出力信号 1 4 3 b は、第 1 の探索結果 1 3 1 の比較結果が一致 (1 値) であるなら反対 (1 値) に設定され、第 3 の探索結果 1 3 3 の比較結果が一致 (1 値) であるなら同一 (0 値) に設定される。第 3 の出力信号 1 4 3 c は、第 1 の探索結果 1 3 1 と第 3 の探索結果 1 3 3 のうち比較結果が一致 (1 値) である方のバス番号に設定される。

30

【 0 0 9 6 】

第 2 の出力信号群 1 4 2 の第 4 の出力信号 1 4 3 d は、第 2 の探索結果 1 3 2 と第 4 の探索結果 1 3 4 の 2 つ比較結果の少なくとも一方が一致 (1 値) であるときのみリンク有り (1 値) に設定される。第 5 の出力信号 1 4 3 e は、第 2 の探索結果 1 3 2 の比較結果が一致 (1 値) であるなら同一 (0 値) に設定され、第 4 の探索結果 1 3 4 の比較結果が一致 (1 値) であるなら反対 (1 値) に設定される。第 6 の出力信号 1 4 3 f は、第 2 の探索結果 1 3 2 と第 4 の探索結果 1 3 4 のうち比較結果が一致 (1 値) である方のバス番号に設定される。

40

【 0 0 9 7 】

図 1 0 に示すように、接続部 1 1 2 は、第 1 ~ 第 4 のバス 1 0 5 a ~ 1 0 5 d と、代表エレメント決定部 1 1 3、及び、初期値発生回路 1 1 4 の間の接続を切り替える。更に、接続部 1 1 2 は、必要に応じてバスに NOT 回路を挿入する。

【 0 0 9 8 】

代表エレメント決定部 1 1 3 は、リンクされた複数の制御エレメントで構成されるグループの中から 1 つの制御エレメントを 代表エレメント (代表エレメントに対応する単位スイッチを「代表スイッチ」という) として決定する 代表エレメント決定処理 を実行する。リンクされた制御エレメントで構成されるグループが複数存在する場合には、並列処理に

50

よりグループごとに制御エレメントが決定される。代表エレメントを決定するとき、リンク設定部 1 1 1 から送信される第 1 及び第 2 の出力信号群 1 4 1 及び 1 4 2 に従って、リンクされた制御エレメントに対応する 2 つのバスが短絡されており、短絡されたバスに代表エレメント決定部 1 1 3が接続される。

【 0 0 9 9 】

代表エレメント決定部 1 1 3は、レジスタ 1 5 0、マルチプレクサ 1 5 1、出力バッファ 1 5 2、入力バッファ 1 5 3、X O R 回路 1 5 4、及び、セットリセット (S R) フリップフロップ 1 5 5 を備えている。レジスタ 1 5 0 は、制御エレメントごとに異なる番号を記憶しており、マルチプレクサ 1 5 1 は、レジスタ 1 5 0 に記憶されたバス番号の上位から 1 ビットずつ出力バッファ 1 5 2 を通じて短絡されたバスに出力する。第 1 ~ 第 4 のバス 1 0 5 a ~ 1 0 5 d は、ワイアード・オア処理が可能なバスであるため、複数の制御エレメントから 0 値と 1 値が混在して送信された場合には 1 値にマスクされる。入力バッファ 1 5 3 は、短絡されたバス上の値を受信する。X O R 回路 1 5 4 は、バスに送信した値とバスから受信した値が一致するかを検出する。S R フリップフロップ 1 5 5 は、送信した値と受信した値が一致している間だけ出力バッファ 1 5 2 に対して値の送信を続けさせ、送信した値と受信した値が一致しなくなればセット状態に切り替わって出力バッファ 1 5 2 の出力をトライステートとするか、又は、0 値に固定することにより送信を停止させる。最終的にはレジスタ 1 5 0 に記憶された識別番号が最大である制御エレメントの S R フリップフロップ 1 5 5 だけが最後までセットされず、当該制御エレメントが代表エレメントに決定される。なお、出力バッファ 1 5 2 からバスへの出力を反転させることにより、識別番号が最も小さい制御エレメントが代表エレメントに決定されるようにしてもよい。

【 0 1 0 0 】

図 1 1 に示す接続部 1 1 2 は、スイッチ設定処理を実行する。具体的には、接続部 1 1 2 は、代表エレメント決定処理が実行される時にリンク設定部 1 1 1 から送信される第 1 及び第 2 の出力信号群 1 4 1 及び 1 4 2 を参照し、リンクされた制御エレメントに対応した 2 つのバスを短絡し、短絡したバスに代表エレメント決定部 1 1 3を接続させる。代表エレメントが決定した後、接続部 1 1 2 は、代表エレメントに決定された制御エレメント内で短絡されているバスを分離し、分離したバスの一方に初期値発生回路 1 1 4 を接続する。更に、接続部 1 1 2 は、対応する単位スイッチの設定が逆であるような制御エレメントに対応したバス中に、N O T 回路を挿入する。接続部 1 1 2 は、スイッチ設定信号生成手段として機能し、最終的な出力がスイッチ設定信号として対応する単位スイッチに送信される。

【 0 1 0 1 】

初期値発生回路 1 1 4 は、自段の制御エレメントが代表エレメントとして決定した場合にのみバスに接続され、代表スイッチの設定の初期値として平行状態 (0 値) あるいは交差状態 (1 値) を代表エレメントの出力端子及びバスに向けて送信する。本実施形態では、代表スイッチの設定の初期値は交差状態 (1 値) に設定されている。

【 0 1 0 2 】

次に、スイッチ制御回路 1 0 0 の動作について説明する。スイッチ制御回路 1 0 0 の動作は、基本的に、タイミング信号発生回路 1 0 6から送信されるタイミング情報に従って制御される。

【 0 1 0 3 】

まず、第 1 の段階では図 1 の第 1 のスイッチ段 5 a が制御対象となり、図 5 の第 1 ~ 第 4 の制御エレメント 1 0 1 ~ 1 0 4 が、それぞれ、図 1 の第 1 のスイッチ段 5 a の第 1 ~ 第 4 の単位スイッチ 1 1 ~ 1 4 に対応する。

【 0 1 0 4 】

第 1 の段階は、更に、第 1 ~ 第 5 のフェーズで構成されている。

【 0 1 0 5 】

第 1 のフェーズでは、宛先アドレスの取り込みと探索データ抽出処理が実行される。具

体的には、図7に示す第1～第4の制御エレメント101～104の上位及び下位の宛先記憶部120a及び120bは、それぞれ、図1に示す第1のスイッチ段5aの第1～第4の単位スイッチ11～14の上位及び下位の宛先アドレスを受信し、受信した宛先アドレスの最下位1ビットを除いた残りのビットを記憶する。本実施形態では受信した3ビットの宛先アドレスの上位2ビットが記憶される。第1の段階では宛先アドレスは、上位及び下位の入力端子から入力される。

【0106】

第2のフェーズでは、スイッチ探索処理が実行され、各制御エレメントに記憶された上位及び下位の宛先アドレスと対になる宛先アドレスが、他の制御エレメントに記憶された上位及び下位の宛先アドレスに含まれているか探索する。第1の段階で互いに対になる宛先アドレスとは、記憶した宛先アドレスが一致するものである。

10

【0107】

具体的には、まず、各制御エレメントが自段に記憶された上位の宛先アドレスと下位の宛先アドレスを比較し、一致していれば当該制御エレメントは他の制御エレメントとリンクしないため対応する単位スイッチの設定はいずれであってもよいこととなるが、本実施形態では初期値発生回路114の設定をそのままスイッチ制御信号として出力する。

【0108】

次に、自段に記憶された上位の宛先アドレスと下位の宛先アドレスが一致していなければ、第1～第4の制御エレメント101～104のセクタ121は、対応するバスに第1のタイミングで一斉に上位の宛先アドレスを送信し、続く第2のタイミングで一斉に下位の宛先アドレスを送信する。各制御エレメントの第1及び第2のプライオリティエンコーダ123a及び123bは、第2～第7の比較回路122b～122gの比較結果に基づいて図8に示すような第1～第4の探索結果131～134を作成する。

20

【0109】

第3のフェーズでは、リンク設定処理を実行して各制御エレメント間のリンク関係を明らかにする。具体的には、図9のリンク設定部111が、第1～第4の探索結果131～134に従って第1及び第2の出力信号群を作成する。即ち、各制御エレメントについて、リンクが有るか否か、リンクが有る場合にはリンクした制御エレメントに対応した単位スイッチの設定が同じであるか逆であるか、リンクした制御エレメントに対応するバス番号はいくつかという情報が得られる。一つの制御エレメントから最大2つのリンクが形成される。

30

【0110】

このように、第1のフェーズから第3のフェーズまでの1度の探索処理で制御エレメント間の全てのリンク、言い換えると、単位スイッチ間の全てのリンク関係が判明する。

【0111】

第4のフェーズでは、代表エレメント決定部113によって代表エレメント決定処理を実行し、代表エレメント(代表スイッチ)を決定する。本実施形態では、図10の代表エレメント決定部113のレジスタ150に記憶された識別番号は、第4の制御エレメント104が最も大きくなるように設定されており、第4の制御エレメント104が代表エレメントに決定される。

40

【0112】

第5のフェーズでは、スイッチ設定処理を実行し、リンク設定部111から送信される第1及び第2の出力信号群141及び142に従って、代表エレメントに決定された制御エレメント以外の制御エレメントではリンクされた制御エレメントに対応する2つのバスを短絡し、単位スイッチの設定が逆となるようにリンクされた制御エレメント間にNOT回路を挿入し、代表エレメントに決定された制御エレメント内ではリンクされた制御エレメントに対応するバスの一方に初期値発生回路114を接続する。最後に、第1～第4の制御エレメント101～104が、対応する第1～第4の単位スイッチ11～14にスイッチ制御信号を出力する。

【0113】

50

本実施形態の例では、代表エレメントに決定された第4の制御エレメント104内のバスの接続が解除されて、出力端子に初期値発生回路114が結合される。更に、第4の制御エレメント104と第3の制御エレメント103の単位スイッチの設定が逆となるため、第4の制御エレメント104の接続部112は、第4の制御エレメント104に対応する第4のバス(第3の制御エレメント103に接続されるバス)と自段の出力端子の間にNOT回路を挿入する。又、第4の制御エレメント104と第1の制御エレメント101も、単位スイッチの設定が逆となるため、第1の制御エレメント101の接続部112は、第1の制御エレメント101に対応する第1のバス(代表エレメント決定直前において第4の制御エレメント104に接続されていたバス)と自段の出力端子の間にNOT回路を挿入する。単位スイッチの設定が同一である制御エレメント間は、短絡するように接続されている。最終的に、第1～第4の単位スイッチ11～14は、それぞれ、平行状態、平行状態、平行状態、交差状態に設定され、第1の段階が終了する。

10

【0114】

次に、第2のスイッチ段5bを制御対象とする第2の段階に移行する。第2の段階では、第1～第4の制御エレメント101～104を、それぞれ、第2のスイッチ段5bの第1～第4の単位スイッチ21～24に対応させて第1の段階と同様の処理を実行する。但し、第2の段階では、上位及び下位の宛先記憶部120a及び120bに記憶された宛先アドレスは、第1～第4のバス105a～105dを通じて入れ換えられる。

【0115】

第2の段階では、第3及び第4のバス105c及び105dから第1及び第2の制御エレメント101及び102に伝達される信号は0値又は1値にマスクされ、第1及び第2のバス105a及び105bから第3及び第4の制御エレメント103及び104に伝達される信号は0値又は1値にマスクされる。信号をマスクすることにより、第1及び第2の制御エレメント101及び102で構成される第1のクラスタと、第3及び第4の制御エレメント103及び104で構成される第2のクラスタとの処理を分離して並行処理することが可能となる。

20

【0116】

第1のクラスタ及び第2のクラスタ内の処理は、それぞれ、制御対象のスイッチ段が異なる他は第1の段階における全体の処理と同様であるが、第2の段階では第1～第4のバス105a～105dの下位1ビットを0値又は1値にマスクするので元の宛先アドレスの下位2ビットを除く上位1ビットのみが比較される。

30

【0117】

以上説明したように、各単位スイッチと同数のバスを複数設けることにより、各スイッチ段を構成する全単位スイッチに対するスイッチ設定を並行処理により1ステップで決定することができ、従来必要であった $\log_2 N$ ステップより高速化することができる。

【0118】

制御エレメント間をバスで接続することにより、制御エレメント間をメッシュ状に接続する従来の場合に必要なであった N^2 本の配線を、本実施形態ではN本に削減することができる。

【0119】

40

代表エレメント決定処理は、ワイアード・オア処理が可能なバスを用いているため、制御エレメント間の宛先アドレスの送受信が1回でよく、制御エレメント間で宛先アドレスを複数回送受信する従来技術よりも高速に代表エレメント(代表スイッチ)を決定することができる。

【0120】

本実施形態によれば、第2のスイッチ段5b以降のスイッチ段を制御対象とするときに、制御エレメントをリンク関係が生じない複数のクラスタに分けて、各クラスタの制御エレメントが他のクラスタの制御エレメントに対応するバスからの信号をマスクするため、複数のクラスタに対応する単位スイッチのスイッチ設定を並列処理で第1のスイッチ段と同様に1ステップで決定することができる。

50

【 0 1 2 1 】

以上、本願発明を実施例に基づき具体的に説明したが、本願発明はこれら実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変更して実施することが可能である。

【 図面の簡単な説明 】

【 0 1 2 2 】

【 図 1 】 ベネス網の構成図である。

【 図 2 】 平行状態及び交差状態における図 1 の単位スイッチの構成図である。

【 図 3 】 一実施形態のスイッチ制御回路の構成図である。

【 図 4 】 図 3 の第 1 の制御エレメントの構成図である。

10

【 図 5 】 他の実施形態のスイッチ制御回路の構成図である。

【 図 6 】 図 5 の第 1 の制御エレメントの構成図である。

【 図 7 】 図 6 のリンク探索部の構成図である。

【 図 8 】 図 7 の探索結果記憶部に記憶される探索結果を示す図である。

【 図 9 】 図 6 のリンク設定部の構成図である。

【 図 1 0 】 図 6 の代表エレメント決定部の構成図である。

【 図 1 1 】 図 5 の接続部のスイッチ設定処理後における接続例を示す図である。

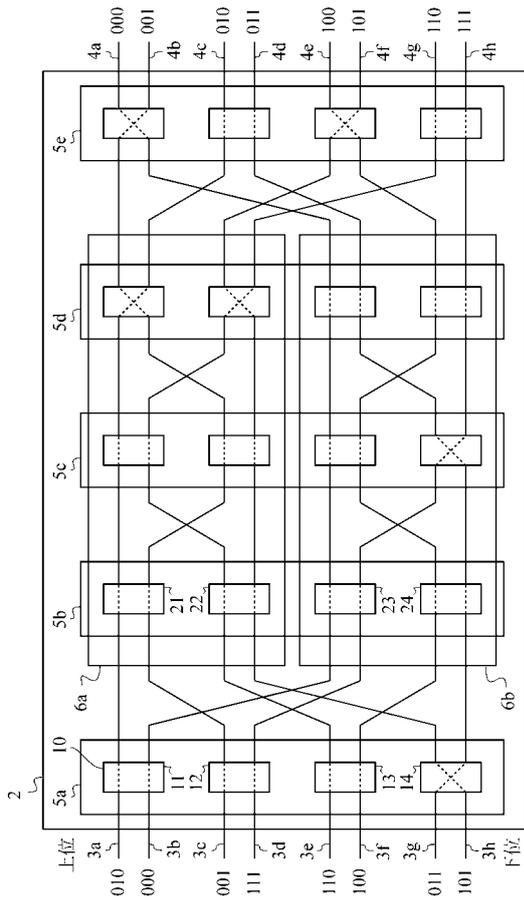
【 符号の説明 】

【 0 1 2 3 】

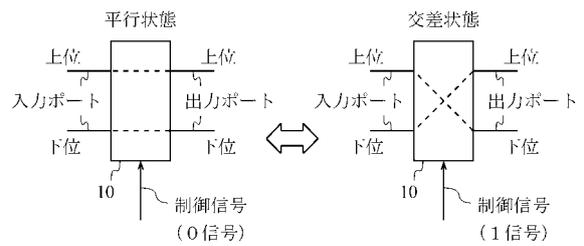
2	ベネス網	20
3 a ~ 3 h	入力ポート	
4 a ~ 4 h	入力ポート	
5 a ~ 5 e	スイッチ段	
6 a、6 b	上位、下位の間接スイッチ	
1 0	単位スイッチ	
1 1 ~ 1 4	第 1 ~ 第 4 の単位スイッチ	
2 1 ~ 2 4	第 1 ~ 第 4 の単位スイッチ	
7 0	スイッチ制御回路	
7 1 ~ 7 4	第 1 ~ 第 4 の制御エレメント	
7 5	バス	30
7 5 a、7 5 b	第 1、第 2 の区間	
7 6 a ~ 7 6 e	第 0 ~ 第 4 のステータス信号線	
7 7	バス・スイッチ	
7 8	タイミング信号発生回路	
9 0 a、9 0 b	上位、下位の宛先記憶部	
9 1	セレクタ	
9 3 a ~ 9 3 c	第 1 ~ 第 3 の比較回路	
9 4	フラグ信号保持回路	
9 5	制御回路	
9 6	フラグ設定回路	40
9 7	ステータス信号生成回路	
1 0 0	スイッチ制御回路	
1 0 1 ~ 1 0 4	第 1 ~ 第 4 のエレメント	
1 0 5 a ~ 1 0 5 d	第 1 ~ 第 4 のバス	
1 0 6	タイミング信号発生回路	
1 1 0	リンク探索部	
1 1 1	リンク設定部	
1 1 2	接続部	
1 1 3	代表エレメント決定部	
1 1 4	初期値発生回路	50

- 1 2 0 a、1 2 0 b 上位、下位の宛先記憶部
- 1 2 1 セレクタ
- 1 2 2 a ~ 1 2 2 g 第1 ~ 第7の比較回路
- 1 2 3 a、1 2 3 b 第1、第2のプライオリティエンコーダ
- 1 2 4 探索結果記憶部
- 1 3 1 ~ 1 3 4 探索結果
- 1 4 1、1 4 2 第1、第2の出力信号群
- 1 4 3 a ~ 1 4 3 f 第1 ~ 第6の出力信号
- 1 5 0 レジスタ
- 1 5 1 マルチプレクサ
- 1 5 2 出力バッファ
- 1 5 3 入力バッファ
- 1 5 4 XOR回路
- 1 5 5 SRフリップフロップ

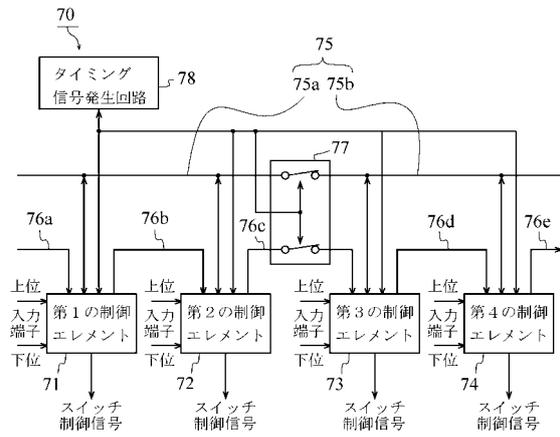
【図1】



【図2】



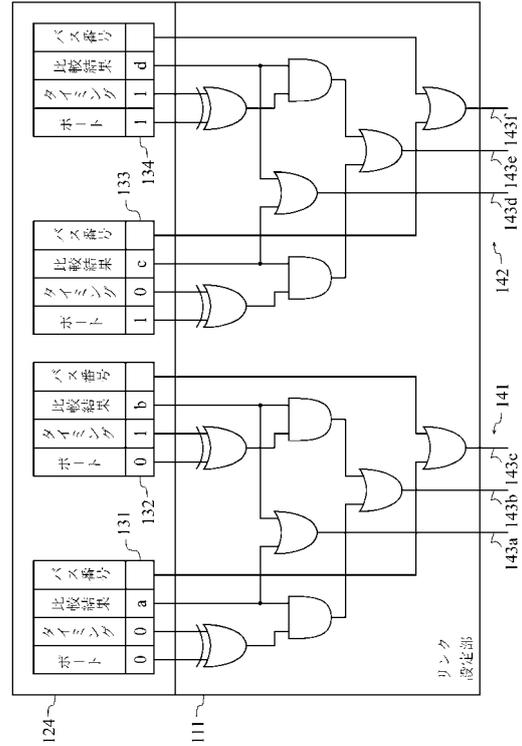
【図3】



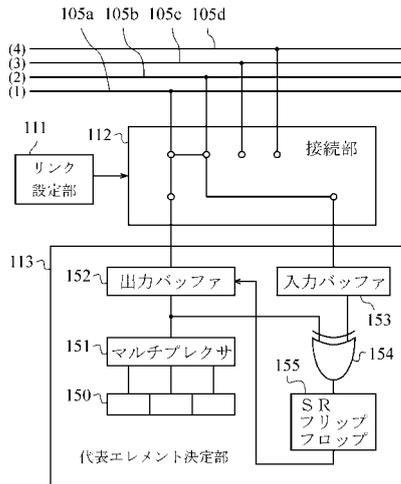
【図8】

	ポート	タイミング	比較結果	バス番号
131	0	0	a	
132	0	1	b	
133	1	0	c	
134	1	1	d	

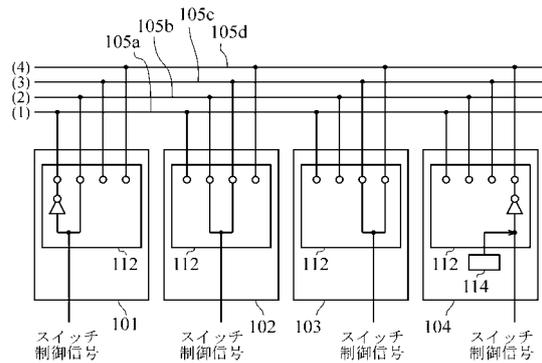
【図9】



【図10】



【図11】



フロントページの続き

- (56)参考文献 特開平 8 - 1 9 1 3 1 3 (J P , A)
特開平 5 - 1 3 0 1 2 8 (J P , A)
特開平 3 - 1 8 2 1 3 8 (J P , A)
特開昭 6 3 - 1 3 3 7 9 9 (J P , A)
特開昭 6 1 - 2 7 6 0 5 7 (J P , A)
IEEE Transactions on Communications , Vol.50 No.11 , p1841-1847

- (58)調査した分野(Int.Cl. , D B 名)
H 0 4 L 1 2