

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4836030号  
(P4836030)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl. F I  
**H03B 5/12 (2006.01)** H03B 5/12 B  
 H03B 5/12 E

請求項の数 6 (全 16 頁)

<p>(21) 出願番号 特願2006-210308 (P2006-210308)</p> <p>(22) 出願日 平成18年8月1日(2006.8.1)</p> <p>(65) 公開番号 特開2008-42275 (P2008-42275A)</p> <p>(43) 公開日 平成20年2月21日(2008.2.21)</p> <p>審査請求日 平成21年7月30日(2009.7.30)</p> <p>前置審査</p>	<p>(73) 特許権者 599011687                  学校法人 中央大学                  東京都八王子市東中野742-1</p> <p>(74) 代理人 100101915                  弁理士 塩野入 章夫</p> <p>(72) 発明者 杉本 泰博                  東京都文京区春日一丁目13番27号 中                  央大学後楽園キャンパス内</p> <p>審査官 白井 孝治</p>
---	--

最終頁に続く

(54) 【発明の名称】 LC発振回路

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタ素子の出力端子に、第1のインダクタ素子と容量素子とを並列接続した負荷を接続し、前記第1のトランジスタ素子の出力端子側に発生する電圧信号の一部を、極性を反転させて前記第1のトランジスタ素子の入力端子に加え、この入力端子に加わる電圧信号が前記第1のトランジスタ素子で更に極性が反転されて出力端子に現れる正帰還ループを構成するLC発振回路において、

前記LC発振回路を2つ備え、互いに一方のLC発振回路の第1のトランジスタ素子の出力端子を他方のLC発振回路の第1のトランジスタ素子の入力端子に接続して互いに正帰還ループを構成する差動構成とし、

前記各LC発振回路において、前記負荷を構成する第1のインダクタ素子と、当該第1のインダクタ素子とインダクタ結合する第2のインダクタ素子とにより形成される2つの結合インダクタンス回路と、

前記両LC発振回路の各第1のトランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形を発生し、発生した電流波形を前記各LC発振回路の第2のインダクタ素子に入力する電流波形発生回路とを備え、

前記第1のインダクタ素子と前記第2のインダクタ素子とは、それぞれ異なる電流源から電流の供給を受け、

前記電流波形発生回路は、前記電流源の一方に接続された、差動構成の各第2のトランジスタ素子を有し、前記両LC発振回路の両第1のトランジスタ素子の出力端子の電圧信

号に基づいて差動の電流を出力する差動構成の電圧 - 電流変換回路であり、

前記差動構成の電圧 - 電流変換回路は、前記各第 2 のトランジスタ素子に前記電流源の一方を接続し、出力端子に前記各第 2 のインダクタ素子を接続し、入力端子に各第 1 のインダクタ素子と第 1 のトランジスタ素子との接続点を接続し、前記接続点の電圧の増加あるいは減少により出力端子の電流を減少あるいは増加させ、前記各第 1 のトランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形の出力電流を互いに差動的に発生する差動構成とし、

各第 2 のトランジスタ素子は、前記出力電流を前記両結合インダクタンス回路のそれぞれに接続される第 2 のインダクタ素子に流すことにより、差動構成の 2 つの第 2 のインダクタ素子に流れる電流の位相を同じく差動構成の 2 つの第 1 のインダクタ素子に流れる電流の位相に比して 90°進ませることを特徴とする、LC 発振回路。

10

【請求項 2】

前記電流波形発生回路の前記差動構成の電圧 - 電流変換回路は増幅度を可変とする差動増幅回路であり、前記差動構成の各第 2 のトランジスタ素子に接続される電流源を可変電流源とし、電流を可変とすることによって各第 2 のトランジスタ素子の増幅度を可変とすることを特徴とする、請求項 1 に記載の LC 発振回路。

【請求項 3】

前記結合インダクタンス回路の第 1 のインダクタ素子および第 2 のインダクタ素子は、変成器の 1 次コイルおよび 2 次コイルであることを特徴とする、請求項 1 または 2 に記載の LC 発振回路。

20

【請求項 4】

第 1 のトランジスタ素子の出力端子に、第 1 のインダクタ素子と可変容量素子とを並列接続した負荷を接続し、前記第 1 のトランジスタ素子の出力端子側に発生する電圧信号の一部を、極性を反転させて前記第 1 のトランジスタ素子の入力端子に加え、この入力端子に加わる電圧信号が前記第 1 のトランジスタ素子で更に極性が反転されて出力端子に現れる正帰還ループを構成する LC 発振回路において、

前記 LC 発振回路を 2 つ備え、互いに一方の LC 発振回路の第 1 のトランジスタ素子の出力端子を他方の LC 発振回路の第 1 のトランジスタ素子の入力端子に接続して互いに正帰還ループを構成する差動構成とし、

前記各 LC 発振回路において、前記負荷を構成する第 1 のインダクタ素子と、当該第 1 のインダクタ素子とインダクタ結合する第 2 のインダクタ素子とにより形成される結合インダクタンス回路と、

30

前記両 LC 発振回路の各第 1 のトランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形を発生し、発生した電流波形を前記各 LC 発振回路の第 2 のインダクタ素子に入力する電流波形発生回路とを備え、

前記可変容量素子を、外部からの電圧印加により容量値を可変として発振周波数を可変とし、

前記第 1 のインダクタ素子と前記第 2 のインダクタ素子とは、それぞれ異なる電流源から電流の供給を受け、

前記電流波形発生回路は、前記電流源の一方に接続された、差動構成の各第 2 のトランジスタ素子を有し、前記両 LC 発振回路の両第 1 のトランジスタ素子の出力端子の電圧信号に基づいて差動の電流を出力する差動構成の電圧 - 電流変換回路であり、

40

前記差動構成の電圧 - 電流変換回路は、前記各第 2 のトランジスタ素子に前記電流源の一方を接続し、出力端子に前記各第 2 のインダクタ素子を接続し、入力端子に各第 1 のインダクタ素子と第 1 のトランジスタ素子との接続点を接続し、前記接続点の電圧の増加あるいは減少により出力端子の電流を減少あるいは増加させ、前記各第 1 のトランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形の出力電流を互いに差動的に発生する差動構成とし、

各第 2 のトランジスタ素子は、前記出力電流を前記両結合インダクタンス回路のそれぞれに接続される第 2 のインダクタ素子に流すことにより、差動構成の 2 つの第 2 のインダ

50

クタ素子に流れる電流の位相を同じく差動構成の2つの第1のインダクタ素子に流れる電流の位相に比して90°進ませることを特徴とする、LC発振回路。

【請求項5】

前記電流波形発生回路の前記差動構成の電圧-電流変換回路は増幅度を可変とする差動増幅回路であり、前記差動構成の各第2のトランジスタ素子に接続される電流源を可変電流源とし、電流を可変とすることによって各第2のトランジスタ素子の増幅度を可変とすることを特徴とする、請求項4に記載のLC発振回路。

【請求項6】

前記結合インダクタンス回路の第1のインダクタ素子および第2のインダクタ素子は、変成器の1次コイルおよび2次コイルであることを特徴とする、請求項4または5に記載のLC発振回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線送受信機器に適した発振回路に関し、特に、IC化された低位相雑音のLC発振回路あるいは電圧制御LC発振回路に関する。

【背景技術】

【0002】

LC発振回路あるいは電圧制御LC発振回路では、従来、種々の回路構成が提案されている。例えば、非特許文献1に記載される回路構成が知られている。非特許文献1に示される発振回路では、図2に示すような回路構成によって、低電圧、低消費電力および高周波のLC発振回路あるいは電圧制御LC発振回路が実現されている。

【0003】

図2において、トランジスタ素子101の出力端子であるドレイン端子Aには、負荷としてインダクタ素子 $L_{11}$ と可変容量素子 $C_{V1}$ とを並列に接続したものが接続されている。インダクタ素子 $L_{11}$ と可変容量素子 $C_{V1}$ の他の端点は、それぞれバイパスコンデンサ $C_{P1}$ および制御電圧源 $V_{bias}$ に接続される。これらの節点はいずれも仮想接地点あるいは接地に順ずる節点であるため、交流信号の場合には、接地点と等価である。したがって図2のA点の信号電圧は、上記したインダクタ素子 $L_{11}$ と可変容量素子 $C_{V1}$ の並列接続からなる負荷の両端に発生する信号電圧に外ならない。

【0004】

図2において、上記負荷の両端の信号電圧を $V_1$ と表わし図中の方向で定義すれば、A点の信号電圧は $(-V_1)$ と表わせる。この信号電圧 $(-V_1)$ を、ソース端子を接地と化したトランジスタ素子102のゲート端子に加えると、信号電圧 $(-V_1)$ はトランジスタ素子102で増幅され、さらに極性が反転されて $k_2 \times V_1$ となって図中のB点に表れる。但し $k_2$ はトランジスタ素子102の増幅度である。B点に現れた信号は上記トランジスタ素子101のゲート端子に加わっているため、トランジスタ素子102と同様に、更に増幅および極性反転が行われて $(-k_1 \times k_2 \times V_1)$ となりA点に帰還される。ただし $k_1$ はトランジスタ素子101の増幅度である。

【0005】

以上のように、A点に生じた信号電圧と、その信号電圧がトランジスタ素子102および101にて $(k_1 \times k_2)$ 倍増幅されてA点に帰還される信号電圧とは同位相であるため、図2の回路は正帰還ループを構成していることとなり、増幅度 $(k_1 \times k_2)$ が大である場合には発振を起こす。なお図2の回路は差動構成となっており、インダクタ素子 $L_{21}$ と可変容量素子 $C_{V2}$ とを並列に接続した負荷、トランジスタ素子101、およびトランジスタ素子102の組み合わせも上述と同様の動作で正帰還ループを構成している。

【0006】

ここで、LC発振回路あるいは電圧制御LC発振回路に求められる特性のうち、最も重要なものは位相雑音が小さいという特性がある(非特許文献2参照)。発振器における発振周波数は、回路内に存在する雑音の影響を受けてランダムに変化する。位相雑音は、発

10

20

30

40

50

振周波数がその中心周波数の近傍でどのように変化するかをエネルギー分布として捉えたものである。このエネルギーは中心周波数から離れるに従って小さくなる。この離れた周波数を離調周波数と呼ぶ。

【 0 0 0 7 】

図 2 に示す発振回路において、上述の位相雑音を  $L\{\Delta\omega\}$  で表す。この位相雑音  $L\{\Delta\omega\}$  は、

【 数 1 】

$$L\{\Delta\omega\} = 10 \log \left[ \frac{2FkT}{P_s} \left\{ 1 + \left( \frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right\} \left( 1 + \frac{\Delta\omega}{1/f^3} \right) \right] \quad \dots (1)$$

10

と表わされる（非特許文献 1 参照）。ただし、 $\omega_0$  は発振角周波数、 $\Delta\omega$  は発振角周波数からの離調角周波数、 $k$  はボルツマン定数、 $T$  は絶対温度、 $F$  はトランジスタによるノイズの係数、 $P_s$  は信号電力、 $Q_L$  は負荷の  $Q$ 、 $1/f^3$  はトランジスタの  $1/f$  雑音が影響を及ぼす範囲を示す  $\omega_0$  からの離調角周波数である。なお、上記式において、 $1/f^3$  中の “ 3 ” は  $f$  の 3 乗  $f^3$  を表している。

【 0 0 0 8 】

式 ( 1 ) により、発振器の位相雑音  $L\{\Delta\omega\}$  を小さくするためには信号電力  $P_s$  を大きくする、あるいは負荷の  $Q$  である  $Q_L$  を大とすることが有効であることがわかる。信号電力  $P_s$  は発振の振幅を大とすれば大となるが、高周波 L S I では発振振幅が制限されるため、信号電力  $P_s$  を大とすることによって位相雑音  $L\{\Delta\omega\}$  を小さくすることは困難である。これは、微細 L S I プロセスで作られた種々の高周波 L S I においては、低い電源電圧の条件下で動作する必要があるためであり、そのため、必然的に振幅の大きさは低い電源電圧で限られてしまうためである。

20

【 0 0 0 9 】

一方、負荷  $Q$  の値はインダクタの  $Q$ 、容量の  $Q$ 、および負荷の並列抵抗（負荷に並列に接続される出力回路などの入力インピーダンス）等により決まる。L S I 上にオンチップ化される発振器では、一般に負荷  $Q$  は極めて小さい。これはインダクタの  $Q$  が極めて小さくなるからである。非特許文献 1 の Fig. 5.1 には、オンチップ・インダクタは、L S I の配線層をスパイラル状に配置して構成することが示されている。この構成では配線層の抵抗が大であるため、インダクタの直列抵抗も同様に数  $\times 10^3$  の値となり（非特許文献 1 の Table 5.3 参照）、その結果インダクタの  $Q$  値も一桁程度と小さい値となる。

30

【 0 0 1 0 】

したがって、信号電力  $P_s$  や負荷  $Q$  を大きくすることによって位相雑音  $L\{\Delta\omega\}$  を小さくすることは難しい。

【 0 0 1 1 】

以上のように図 2 の回路によれば、L S I 上において低電源電圧で高周波信号の発振が実現されるが、位相雑音という点では限られた特性となることがわかる。

【 0 0 1 2 】

上記したインダクタ素子の  $Q$  値について述べる。一般に  $Z_L$  のインピーダンスを持つインダクタの  $Q$  値は、式 ( 2 ) で与えられる。

40

【 数 2 】

$$Q_L = \frac{\text{Im}[Z_L]}{\text{Re}[Z_L]} \quad \dots (2)$$

【 0 0 1 3 】

式 ( 2 ) から、インピーダンス  $Z_L$  の実部を小さくできれば  $Q$  値を高めることができると考えられる。これは図 3 のような結合インダクタを用いることで可能である。

【 0 0 1 4 】

いま、図 3 において、コイル電流  $I_1$ 、 $I_2$  をそれぞれ、

50

【数3】

$$I_1 = I_1 e^{j\omega\theta_1}, \quad I_2 = I_2 e^{j\omega\theta_2} \quad \dots (3)$$

とおくと、1次側(図の左側)から見たインピーダンス $Z_L$ は次のように表わされる。

【数4】

$$Z_L = \frac{V_1}{I_1} = (R_1 - \omega AM \sin \theta) + j\omega(L_1 + AM \cos \theta) \quad \dots (4)$$

【0015】

ここで $L_1$ ,  $R_1$ は、1次側コイルのインダクタンスとその直列抵抗を表す。 $M$ は相互インダクタンスである。 $A$ は電流振幅の比 $I_2 / I_1$ で、 $\theta$ は一次側と二次側の位相差 $\theta_2 - \theta_1$ を示す。

10

【0016】

ここで、 $\theta = 90^\circ$ (2次側電流の位相が1次側より $90^\circ$ 進んでいる。)とした場合、 $Z_L$ の実部は $R_1 - AM$ 、虚部は $jL_1$ となるので、1次側コイルのインダクタンスの値はそのまま、抵抗分が変化して見えることになる。更に $R_1 = AM$ と選ぶことができれば、1次側コイルの抵抗分は零となる(非特許文献3)。

【0017】

したがって、図3に示すような結合インダクタンスにおいて、1次側コイルの抵抗分を零とすることにより、1次側コイルについて高い $Q$ 値が実現されることが期待される。

20

【0018】

【非特許文献1】J.Craninckx and M.Steyaert, "WIRELESS CMOS FREQUENCY SYNTHESIZER DESIGN", pp.121-159, Kluwer Academic Publishers, 1998.

【非特許文献2】D.K.Shaeffer and T.H.Lee, "THE DESIGN AND IMPLEMENTATION OF LOW-POWER CMOS RADIO RECEIVERS", pp.24-29, Kluwer Academic Publishers, 1999.

【非特許文献3】T.Soorapanth and S.S.Wong, "A 0-dB IL 2140±30 MHz Bandpass Filter Utilizing Q-Enhanced Spiral Inductors in Standard CMOS", IEEE JSSC, vol.37, no.5, pp.579-586, May 2002.

【特許文献1】特開2004-96510号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0019】

以上の説明のように、非特許文献1で提案されている図2の発振回路をLSI上に実現した場合、低電源電圧動作と高周波信号の発振が可能となるが、位相雑音特性は悪い。また非特許文献3で提案されている図3の回路では、トランスの1次側の $Q$ 値が増大することが予想される。図3の結合インダクタンス回路において、 $Q$ 値を増大させるには、2次側コイルに流れる電流の位相が1次側コイルに流れる電流の位相に比して $90^\circ$ 進んでいることが望ましく、また1次側、2次側の電流振幅の比やトランスの結合定数を調整して $R_1 = AM$ と成すことが望ましい。しかしながら、具体的にこれらの電流や振幅比を変化させる回路構成は知られていない。

40

【0020】

また、図2の発振回路に図3の結合インダクタンス回路による大きな $Q$ 値を適用できれば、位相雑音特性を改善したLC発振回路が構成されることが予測される。しかしながら、具体的にどのように構成するかは不明であり、そのような例も知られていない。

【0021】

そこで、本発明では、発振回路の位相雑音特性を改善することを目的とする。より詳細には、正帰還ループを構成するLC発振回路に結合インダクタンス回路により得られる大きな $Q$ 値を用いて、LSI化に適した具体的な回路手段を提供することを目的とし、また、位相雑音特性を改善した低電源電圧動作と高周波信号の発振が可能なLC発振回路あるいは電圧制御LC発振回路を実現することを目的とする。

50

## 【 0 0 2 2 】

なお、発振器において、二次側インダクタンスに一時側インダクタンスと同相あるいは逆相の電流を流す構成が知られている（特許文献1参照）。しかしながら、この発振器の構成は発振周波数の拡大を目的とするものであって、二次側インダクタンスに流す電流も一時側インダクタンスの電流に対して同相あるいは逆相であり、また、Q値を大きくする作用効果も有していないため、本発明のQ値を大きくすることによる位相雑音特性の改善には適用することはできない。

## 【課題を解決するための手段】

## 【 0 0 2 3 】

本発明のLC発振回路あるいは電圧制御LC発振回路は、上記した目的を達成して、LSI化されたLC発振回路の位相雑音特性を改善し、低電源電圧動作と高周波信号の発振を可能とするために、正帰還ループを構成するLC発振回路の負荷を構成するインダクタンスに別のインダクタンスを結合して結合インダクタンス回路を形成し、この結合インダクタンス回路において、2次側コイルに流れる電流の位相を1次側コイルに流れる電流の位相に比して90°進ませることによって、負荷を構成する第1のインダクタ素子のQ値を上昇させ、発振回路の位相雑音を低減させる。

## 【 0 0 2 4 】

本発明のLC発振回路は、トランジスタ素子の出力端子に、第1のインダクタ素子と容量素子とを並列接続した負荷を接続し、この負荷のトランジスタ素子の出力端子側に発生する電圧信号の一部を、極性を反転させてトランジスタ素子の入力端子に加え、この入力端子に加わる電圧信号が前記トランジスタ素子で更に極性が反転されて出力端子に現れる正帰還ループを構成するLC発振回路において、負荷を構成する第1のインダクタ素子に第2のインダクタ素子を結合して形成される結合インダクタンス回路と、トランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形を発生させる電流波形発生回路とを設ける。そして、この電流波形発生回路の出力電流を結合インダクタンス回路の第2のインダクタ素子に流すことにより、第2のインダクタ素子に流れる電流の位相を第1のインダクタ素子に流れる電流の位相に比して90°進ませることで1次側コイルの抵抗分を零とし、これによって負荷を構成する第1のインダクタ素子のQ値を上昇させ、発振回路の位相雑音を低減させる。

## 【 0 0 2 5 】

また、本発明は、LC発振回路の負荷を構成する容量素子を可変容量素子とし、この可変容量を外部の電圧信号によって可変として、発振周波数を可変とする電圧制御LC発振回路に適用することもできる。

## 【 0 0 2 6 】

この電圧制御LC発振回路は、トランジスタ素子の出力端子に、第1のインダクタ素子と可変容量素子とを並列接続した負荷を接続し、この負荷の前記トランジスタ素子の出力端子側に発生する電圧信号の一部を、極性を反転させて前記トランジスタ素子の入力端子に加え、この入力端子に加わる電圧信号が前記トランジスタ素子で更に極性が反転されて出力端子に現れる正帰還ループを構成する電圧制御LC発振回路において、負荷を構成する第1のインダクタ素子に第2のインダクタ素子を結合して形成される結合インダクタンス回路と、トランジスタ素子の出力端子の電圧波形と同相または逆相の電流波形を発生させる電流波形発生回路とを備えた構成とし、この負荷を構成する可変容量素子を外部電圧を印加することにより容量値を可変として発振周波数を可変とし、電流波形発生回路の出力電流を前記結合インダクタンス回路の第2のインダクタ素子に流すことにより、第2のインダクタ素子に流れる電流の位相を第1のインダクタ素子に流れる電流の位相に比して90°進ませることで1次側コイルの抵抗分を零とし、これによって負荷を構成する第1のインダクタ素子のQ値を上昇させ、発振回路の位相雑音を低減させる。

## 【 0 0 2 7 】

本発明のLC発振回路および電圧制御LC発振回路において、結合インダクタンス回路の第1のインダクタ素子および第2のインダクタ素子は、変成器の1次コイルおよび2次

10

20

30

40

50

コイルにより形成することができる。

【 0 0 2 8 】

また、本発明の LC 発振回路および電圧制御 LC 発振回路が備える電流波形発生回路の一形態は、入力端子の電圧の増加により出力端子の電流を増加する第 2 のトランジスタ素子を備えた構成とすることができ、LC 発振回路のトランジスタ素子の出力端子の電圧波形と同相の電流波形を発生する。

【 0 0 2 9 】

電流波形発生回路の他の形態は、複数のトランジスタ素子により増幅度が可変とする差動増幅回路を備えた構成とすることができ、LC 発振回路のトランジスタ素子の出力端子の電圧波形と同相あるいは逆相の電流波形を発生させる。

10

【 0 0 3 0 】

電流波形発生回路が発生する電流波形を、LC 発振回路のトランジスタ素子の出力端子の電圧波形に対して同相とするか、あるいは逆相とするかは、LC 発振回路側の回路特性に応じて、2 次側コイルに流れる電流の位相が 1 次側コイルに流れる電流の位相に比して  $90^\circ$  進む位相関係を満足するように選択する。

【 0 0 3 1 】

従来の LC 発振回路あるいは電圧制御 LC 発振回路は、例えば図 2 に示す回路構成では、トランジスタ素子 101 の出力端子の電圧波形は  $-V_1$  と表すことができる。この電圧波形  $-V_1$  は、発振回路の負荷を構成する並列接続されたインダクタ素子  $L_{11}$  の両端および可変容量素子  $C_{V2}$  (あるいは固定容量素子) の両端に発生する信号電圧であるが、インダクタ素子  $L_{11}$  に流れる電流  $I_{L1}$  との関係は、

20

【 数 5 】

$$-V_1 = -j\omega L_{11} I_{L1} \quad \dots (5)$$

と表される。式 (5) から、 $I_{L1}$  の位相は  $V_1$  の位相に比して  $90^\circ$  の遅れ ( $-90^\circ$ ) があることになり、これより  $I_{L1}$  に対する  $V_1$  の位相は逆に  $90^\circ$  の進み ( $+90^\circ$ ) となる。

【 0 0 3 2 】

上記位相関係から、トランジスタ素子の出力端子の電圧波形 ( $-V_1$ ) と逆相の電流波形を発生させる回路手段を用いることで、 $I_{L1}$  の位相に対して  $90^\circ$  の進み ( $+90^\circ$ ) 電流を発生させることができる。

30

【 0 0 3 3 】

そして、この  $I_{L1}$  の位相に対して  $90^\circ$  位相が進んだ ( $+90^\circ$ ) 電流を、第 2 のインダクタ素子に流す。これによって、結合インダクタンス回路において、第 2 のインダクタ素子に流れる電流の位相は第 1 のインダクタ素子に流れる電流の位相に比して  $90^\circ$  進む位相関係となり、第 1 のインダクタ素子の抵抗分は零となる。これによって負荷を構成する第 1 のインダクタ素子の Q 値は上昇し、発振回路の位相雑音は低減する。

【 0 0 3 4 】

ここで、第 1 のインダクタ素子と第 2 のインダクタ素子を、変成器 (トランス) のそれぞれ 1 次コイルと 2 次コイルとして構成した場合には、この変成器 (トランス) の 1 次コイルに流れる電流の位相に対し 2 次コイルに流れる電流の位相が  $90^\circ$  進んでいる ( $+90^\circ$ ) 状態を実現することができる。

40

【 0 0 3 5 】

以上の方法、構成によれば、図 2 に示す回路例のような LC 発振回路あるいは電圧制御 LC 発振回路と、図 3 に示す回路例のような結合インダクタンス回路とを結合させた回路構成を実現することができる。

【 0 0 3 6 】

なお、上記トランジスタ素子の出力端子の電圧波形 ( $-V_1$ ) と逆相の電流波形を発生させる回路手段は、図 2 の回路に対しては、複数のトランジスタ素子を用いた差動増幅回路により実現されるものである。ただし回路の構成方法により、上記トランジスタ素子の

50

出力端子の電圧波形 ( $-V_1$ ) と同相の電流波形を発生させる回路手段が必要になることもある。

【0037】

また、可変容量素子は、外部より加える電圧によりその容量値が可変となる容量素子であり、この可変容量素子により L S I 化電圧制御 L C 発振回路が構成される。また、可変容量素子の代わりに固定容量素子を用いれば、L S I 化 L C 発振回路が構成される。

【発明の効果】

【0038】

本発明によれば、位相雑音特性を改善した低電源電圧動作と高周波信号の発振が可能な L S I 化 L C 発振回路または L S I 化電圧制御 L C 発振回路が構成できる。

10

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施の形態を実施例に基づき詳細に説明する。図 1 は、本発明実施例を示す回路構成図である。なお、以下では、電圧制御 L C 発振回路を例として説明する。

【0040】

図 1 において、回路ブロック 100 は、トランジスタ素子 101 ( $M_1$ ) および 102 ( $M_2$ )、インダクタ素子 311 ( $L_{11}$ ) および 321 ( $L_{21}$ )、可変容量素子 103 ( $C_{V1}$ ) および 104 ( $C_{V2}$ )、電圧源 107 ( $V_{bias}$ )、固定容量 106 ( $C_{p1}$ )、定電流源 105 ( $I_o$ )、および電圧源 1 ( $V_{cc}$ ) より構成されている。回路ブロック 100 は、図 2 に示す構成と同一であり、低電源電圧動作と高周波信号の発振が可能な L S I 化した電圧制御 L C 発振回路を実現するものである。

20

【0041】

図 2 の構成と異なる構成点は、図 1 におけるインダクタ素子  $L_{11}$  および  $L_{21}$  がそれぞれトランス 310 および 320 の 1 次側コイルとなっている構成にある。

【0042】

ここで図 1 の A 点の信号電圧をトランジスタ素子 201 ( $M_3$ ) のゲート端子に、B 点の信号電圧をトランジスタ素子 202 ( $M_4$ ) のゲート端子に接続する。回路ブロック 200 は、回路ブロック 100 中のトランジスタ素子 101 および 102 と相補型であるトランジスタ素子 201 および 202、固定容量素子 204 ( $C_{p2}$ )、可変電流源 203 ( $I_v$ ) よりなる差動構成の電圧 - 電流変換回路である。回路ブロック 100 の出力端子である A 点、B 点には互いに逆相の信号電圧が発生するので、A 点の信号電圧が大となった時には B 点の信号は小となる。

30

【0043】

したがって、回路ブロック 200 の出力端子であるトランジスタ素子 201 のドレイン端子、およびトランジスタ素子 202 のドレイン端子の各電流はそれぞれ小および大となる。

【0044】

すなわち、A 点の信号電圧波形の位相に対し、回路ブロック 200 の出力端子の一つであるトランジスタ素子 201 のドレイン端子に流れる電流の位相は  $180^\circ$  異なる。同様に、B 点の信号電圧波形の位相に対し、回路ブロック 200 の出力端子の他の一つであるトランジスタ素子 202 のドレイン端子に流れる電流の位相は  $180^\circ$  異なっている。

40

【0045】

以上の様子をベクトル図で図 4 に示す。図 4 は横軸に実軸、縦軸に虚数軸をとり、各信号波形がどのような位相関係にあるかを示している。ただし各ベクトルの大きさについては任意であり、図 1 の各信号波形の値とは一致していない。

【0046】

図 1 のトランス 310 の 1 次側コイルである  $L_{11}$  に図示の方向に流れる電流  $i_1$  を基準とし、実軸の正の方向に描くと、前述の式 (5) の関係より、 $L_{11}$  の両端に発生する信号電圧  $V_1$  の位相は、図 4 に示すように  $i_1$  の位相に対してほぼ  $90^\circ$  進んだ ( $+90^\circ$ ) 形となる。ただし、図 4 において、 $V_1$  の位相が正確に  $90^\circ$  ではないのは、 $L_{11}$  自身の

50



直列抵抗の影響によるためである。

【 0 0 4 7 】

図 1 の A 点の電圧波形は  $-V_1$  であるため、その位相は反転して、 $i_1$  の位相に対しほぼ  $90^\circ$  遅れた ( $-90^\circ$ ) 形となる。一方、A 点の電圧波形  $-V_1$  は図 1 のトランジスタ素子 201 のゲート端子に加わるので、出力端子であるトランジスタ素子 201 のドレイン端子の電流  $i_2$  の位相は、A 点の電圧波形  $-V_1$  の位相を更に反転したものとなり、その結果図 4 に示すように、 $V_1$  の位相と一致するようになる。

【 0 0 4 8 】

これは、 $i_2$  の位相が  $i_1$  の位相に対しほぼ  $90^\circ$  進んだ ( $+90^\circ$ ) 形となることを示している。

10

【 0 0 4 9 】

なお、図 4 には、図 1 のトランジスタ素子  $M_1$  に流れる信号電流  $i_{M1}$  の位相および可変容量素子 103 に流れる信号電流  $I_{CV1}$  の位相も併せて示している。

【 0 0 5 0 】

図 1 において、トランス 310 の 1 次側コイルと 2 次側コイルの結合を図中に示す黒丸の方向にとるとき、図 1 中の  $L_{11}$ 、 $L_{12}$ 、 $i_1$ 、 $i_2$ 、およびコイルの結合の関係は、図 3 で示した関係と全く同一となる。

【 0 0 5 1 】

したがって、式 (4) での議論から、図 1 中の  $L_{11}$  の実数部はほぼ  $R_1 - AM$  となり、 $R_1$  と  $AM$  の値を一致させることができれば、実数部を更に零とすることができる。

20

$AM$  のうち、 $A$  は発振角周波数であるので、LC 発振回路の場合は、使用する発振周波数が決まっているので、これを変化させることはできない。また、電圧制御 LC 発振回路の場合は、発振周波数が外部の電圧 (図 1 の  $V_{bias}$ ) によって変化するが、通常この変化は小さいので、やはり  $AM$  を大きく変化させるには無理がある。

【 0 0 5 2 】

なお  $AM$  のうち、 $M$  は図 1 のトランス 310 (または 320) の 1 次側コイルと 2 次側コイルの結合度に関連するが、この結合度は LSI 上に構成するトランスの構造によって決まるので、この値も変えられない。

【 0 0 5 3 】

また、 $AM$  のうち、比較的大きな変化が可能なのは 1 次側コイルと 2 次側コイルの電流の振幅比である  $A$  である。そこで、ここでは、この振幅比  $A$  を変化させるために、図 1 に示すように、回路ブロック 200 中の電流源 203 ( $I_V$ ) を可変電流源とする。例えば  $I_V$  を増加させた場合、トランジスタ素子 201 および 202 の増幅度が増大するので、トランスの 2 次側コイルの電流値も増大し、 $A$  の値を大きくすることができる。反対に、 $I_V$  を減少させた場合には  $A$  の値を小さくすることができる。

30

【 0 0 5 4 】

以上のように、本発明は  $AM$  の値を調節する機能をも提供する。また、以上の説明は、図 1 のトランス 310 側を対象にしたが、図 1 の回路が完全な差動構成となっているため、トランス 320 側についても同様である。

【 0 0 5 5 】

$AM$  の値を  $R_1$  の値に等しくなるように設定した場合、式 (4) における  $\theta$  の値は上述までの説明から  $+90^\circ$  に近い値に設定されるので、式 (4) からわかるように、図 1 のトランス 310 の 1 次コイル  $L_{11}$ 、およびトランス 320 の 1 次コイル  $L_{21}$  の虚数部の値は変わらず、実数部は零に近くなる。

40

【 0 0 5 6 】

これにより、図 1 のトランス 310 の 1 次コイル  $L_{11}$ 、およびトランス 320 の 1 次コイル  $L_{21}$  の  $Q$  値は大となる。これにより、LC 発振回路において、LSI 上に構成するインダクタ素子が大きな直列抵抗を持っているため  $Q$  値を大きくすることができないという問題点を解消し、図 1 の発振回路の位相雑音を低減することができる。

【 0 0 5 7 】

50

以上のように、図1の構成とすることによって、発振回路の位相雑音を低減し、低電源電圧動作と高周波信号の発振が可能なLSI化LC発振回路またはLSI化電圧制御LC発振回路を提供することができる。

【0058】

ただし、図1の回路構成は、従来構成として示した図2の回路構成と比べて、低電源電圧動作が劣るとい問題がある。これは図1の回路構成が、回路ブロック200を含むためである。

【0059】

図1において、回路ブロック200は図中のA点の電圧およびB点の電圧を電流源 $I_V$ (203)、PMOSトランジスタ $M_3$ (201)および $M_4$ (202)よりなる差動増幅回路によって電圧-電流変換する構成である。この差動増幅回路が正常に動作するためには、電流源 $I_V$ (203)が動作するために必要な電圧、および、PMOSトランジスタ $M_3$ (201)および $M_4$ (202)のゲート・ソース間電圧が適切に確保されていなければならない。電流源 $I_V$ が動作するために必要な電圧、および、PMOSトランジスタ $M_3$ および $M_4$ のゲート・ソース間電圧は、A点の電圧あるいはB点の電圧と電源電圧 $V_{CC}$ 間に直列に入る構成であるため、図1の回路構成は、図2の回路構成と比較して、追加した回路ブロック200を動作させるために必要な分だけの電圧が余分に必要となる。

【0060】

以下、図5～図10を用いて、本発明の他の実施例(実施例1～実施例6)を説明する。

【0061】

なお、図5は本発明の実施例の電圧制御LC発振器において低電源電圧動作に適する他の第1実施例を示し、図6は本発明の実施例の電圧制御LC発振器において、さらに低電源電圧動作に適する他の第2実施例を示し、図7は本発明の実施例の電圧制御LC発振器において、信号を帰還する増幅器のトランジスタ導電型と発振部を構成するトランジスタ導電型とを同一とした形の他の第3の実施例を示し、図8は本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第4の実施例を示し、図9は本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第5の実施例を示し、図10は本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第6の実施例を示している。

【0062】

図5に示す回路構成は、上記の問題を解消する回路の一構成例である。図5に示す回路構成では、差動構成のPMOS増幅器に代えて、単体のPMOSトランジスタ201あるいは202によってA点あるいはB点の電圧信号を電流信号に変換し、トランス310あるいは320の2次側コイルに加える構成である。

【0063】

図5に示す回路構成は、図1に示す回路構成と比較して、図1の可変電流源203が省かれているので、この電流源が正常に動作するのに必要な電圧分だけ、電源電圧 $V_{CC}$ を下げるができる。ただし、図5に示す回路構成は、トランジスタ201および202に流れる電流の大きさを可変にすることができないため、トランス結合により1次側コイルのQ値を増大せしめる効果が最大となるように、あらかじめ設定をしておく必要が生じる。

【0064】

また、図5に示す回路構成において、例えばA点の電圧が高くなるとトランジスタ201がカットオフする可能性がある。この場合には、電流波形 $I_2$ が歪むことが予想され、Q値の増大も効率的には行なわれないこともありうる。

【0065】

図6は本発明のLC発振回路の別の回路構成例である。図6に示す回路構成は、図5に示す回路構成において、トランジスタ201および202をPMOSトランジスタからNMOSトランジスタに変更した例である。図5に示す回路構成との違いは、PMOSトラ

10

20

30

40

50

ンジスタがNMOSトランジスタに変更されただけであるが、この場合はトランジスタ $M_3$ および $M_4$ を動作させるために、更に電圧が必要ではなく、低電圧動作が期待できる。

【0066】

ただし、トランジスタ $M_3$ あるいは $M_4$ がカットオフする可能性がある点は、図5に示す回路構成と変わらない。

【0067】

図7は本発明のLC発振回路のさらに別の回路構成例である。図7に示す回路構成は、トランジスタ $M_3$ および $M_4$ を差動構成にしてカットオフしにくくした回路構成である。可変電流源 $I_V$ によって図中A点およびB点の信号電圧範囲を調整することで、トランジスタ $M_3$ および $M_4$ のカットオフを抑制することができる。

10

【0068】

また、可変電流源 $I_V$ を変えることにより、トランジスタの $g_m$ （伝達コンダクタンス）を変えることができるため、式（4）における電流振幅の比Aを調整することができる。しかしながら、この場合には、可変電流源 $I_V$ には正常に動作するだけの電圧が必要である。このためにはトランジスタ $M_3$ および $M_4$ のゲート電圧を上昇させる必要がある。この目的で電圧レベルシフト用トランジスタ110（ $M_5$ ）が使用される。

【0069】

図8は本発明のLC発振回路の他の回路構成例である。図8に示す回路構成は、図1に示す回路構成において、トランジスタの導電型を変更した構成例である。すなわち、図1のトランジスタ $M_1$ および $M_2$ をPMOSトランジスタに変更し、トランジスタ $M_3$ および $M_4$ をNMOSトランジスタに変更する。なお、動作原理や各部の動作は、図1に示す構成例と同様である。

20

【0070】

図9は本発明のLC発振回路の他の回路構成例である。図9に示す回路構成は、図5に示す回路構成において、トランジスタの導電型を変更した構成例である。すなわち、図5のトランジスタ $M_1$ および $M_2$ をPMOSトランジスタに変更し、トランジスタ $M_3$ および $M_4$ をNMOSトランジスタに変更する。なお、動作原理や各部の動作は、図5に示す構成例と同様である。

【0071】

図10は本発明のLC発振回路の他の回路構成例である。図10に示す回路構成は、図7に示す回路構成において、トランジスタの導電型を変更した構成例である。すなわち、図7のトランジスタ $M_1$ 、 $M_2$ 、 $M_3$ 、 $M_4$ および $M_5$ をPMOSトランジスタに変更する構成である。なお、動作原理や各部の動作は、図7に示す構成例と同様である。

30

【産業上の利用可能性】

【0072】

本発明の回路は、高周波信号を扱う無線送受信機器などの、LC発振回路あるいは電圧制御LC発振回路を必要とする種々の構成に適用することができる。

【図面の簡単な説明】

【0073】

【図1】本発明の電圧制御LC発振器の回路構成を示す図である。

40

【図2】従来例の電圧制御LC発振器の回路構成を示す図である。

【図3】本発明に適用するトランスの1次側コイルの直列抵抗の低減を説明するための図である。

【図4】本発明の実施例の電圧制御LC発振器において、各部の信号電圧や電流の関係を示す図である。

【図5】本発明の実施例の電圧制御LC発振器において、低電源電圧動作に適する他の第1実施例を示した図である。

【図6】本発明の実施例の電圧制御LC発振器において、さらに低電源電圧動作に適する他の第2実施例を示した図である。

【図7】本発明の実施例の電圧制御LC発振器において、信号を帰還する増幅器のトラン

50

ジスタ導電型と発振部を構成するトランジスタ導電型とを同一とした形の他の第3の実施例を示した図である。

【図8】本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第4の実施例を示した図である。

【図9】本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第5の実施例を示した図である。

【図10】本発明の実施例の電圧制御LC発振器において、トランジスタの導電型を入れ替えた形の他の第6の実施例を示した図である。

【符号の説明】

【0074】

1	電源 ( $V_{cc}$ ) 端子	
100	発振部	
101	発振部を構成する第1のトランジスタ ( $M_1$ )	
102	発振部を構成する第2のトランジスタ ( $M_2$ )	
103	可変容量素子 ( $C_{V1}$ )	
104	可変容量素子 ( $C_{V2}$ )	
105	定電流源 ( $I_o$ )	
106	バイパスコンデンサ ( $C_{p1}$ )	
110	電圧シフト用トランジスタ ( $M_5$ )	
200	電圧 - 電流変換用増幅器	10
201	第1の電圧 - 電流変換用トランジスタ ( $M_3$ )	
202	第2の電圧 - 電流変換用トランジスタ ( $M_4$ )	
203	可変電流源 ( $I_v$ )	
204	バイパスコンデンサ ( $C_{p2}$ )	
310	第1のトランス	
311	第1のトランスの1次側コイル ( $L_{11}$ )	
312	第1のトランスの2次側コイル ( $L_{12}$ )	
320	第2のトランス	
321	第2のトランスの1次側コイル ( $L_{21}$ )	
322	第2のトランスの2次側コイル ( $L_{22}$ )	30
$V_{bias}$ (107)	可変容量素子用、制御電圧源	
$i_1$	$L_{11}$ (311) を流れる電流	
$V_1$	$L_{11}$ (311) 両端の電圧	
$I_{CV1}$	可変容量素子 ( $C_{V1}$ ) の電流	
$I_{M1}$	$M_1$ (101) のドレイン電流	
A、B	回路中の内部端子	

【 図 1 】

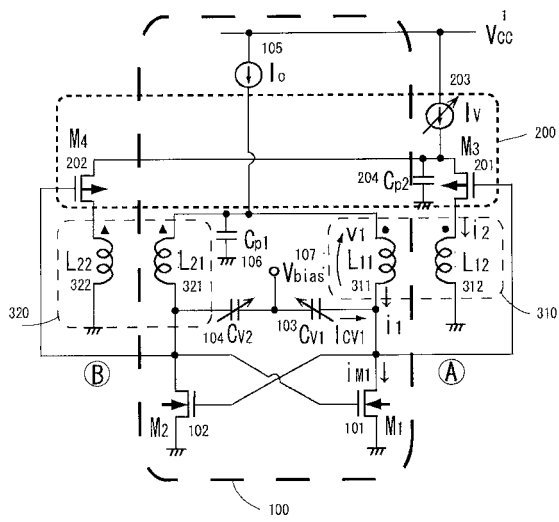


図 1

【 図 2 】

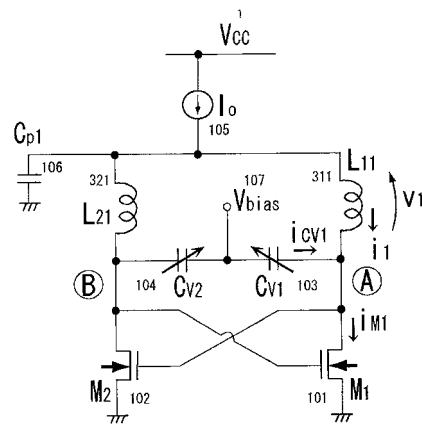


図 2

【 図 3 】

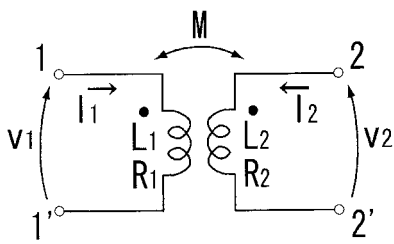


図 3

【 図 4 】

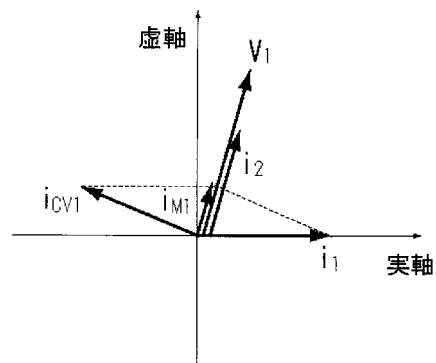


図 4

【 図 5 】

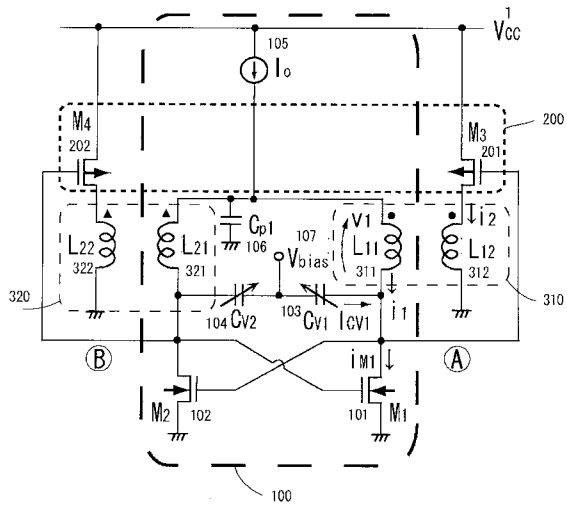


図 5

【 図 6 】

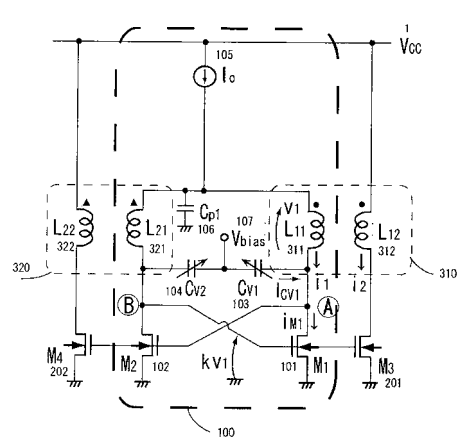


図 6

【 図 7 】

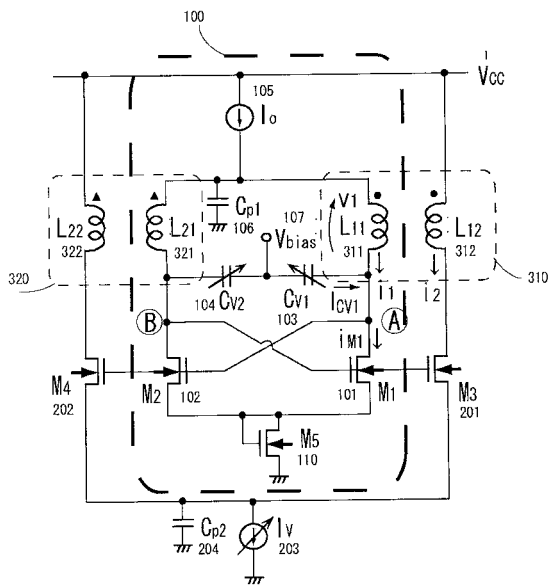


図 7

【 図 8 】

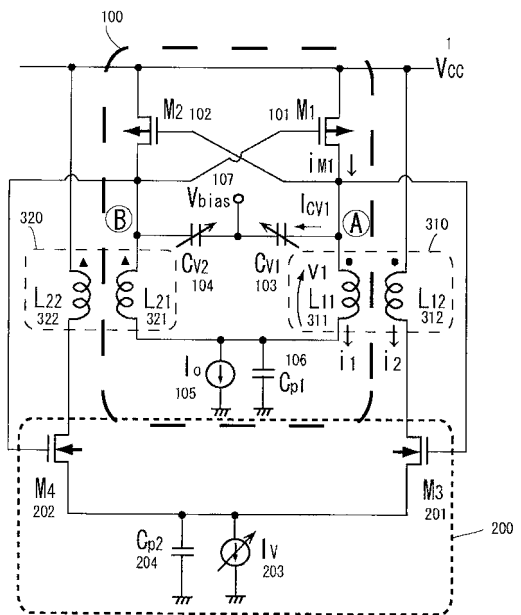


図 8

【図9】

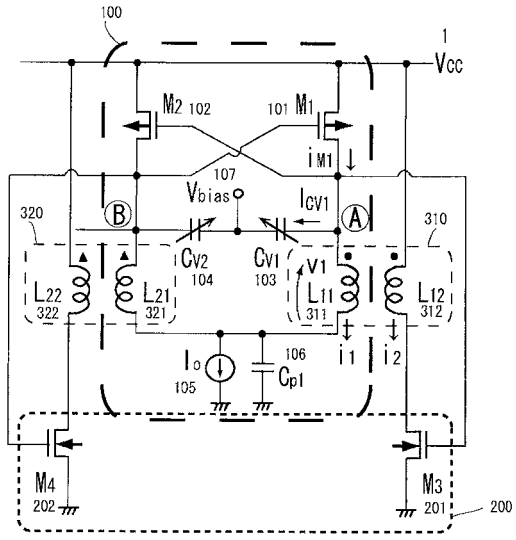


図 9

【図10】

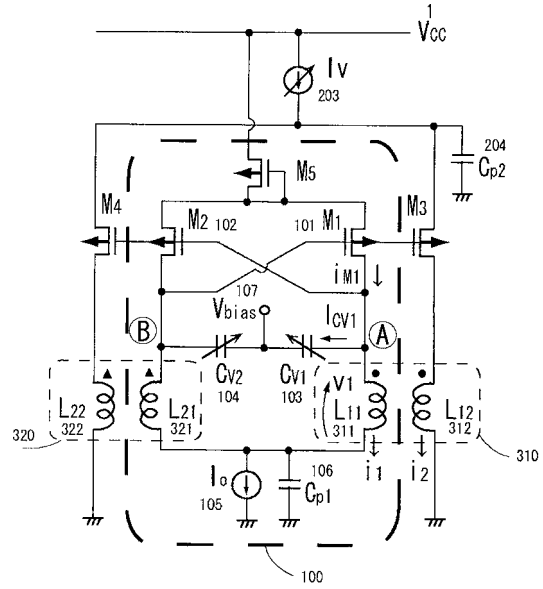


図 10

---

フロントページの続き

(56)参考文献 特開2005-236482(JP,A)

Theerachet Soorapanth and S.Simon Wong, A 0-dB IL 2140±30MHz Bandpass Filter Utilizing Q-E, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 米国, IEEE, 2002年 5月, VOL.37, NO.5, pp.579-586