

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4915616号
(P4915616)

(45) 発行日 平成24年4月11日(2012.4.11)

(24) 登録日 平成24年2月3日(2012.2.3)

(51) Int.Cl.

H03M 1/74 (2006.01)

F I

H03M 1/74

請求項の数 4 (全 16 頁)

<p>(21) 出願番号 特願2007-63332 (P2007-63332) (22) 出願日 平成19年3月13日 (2007.3.13) (65) 公開番号 特開2008-227920 (P2008-227920A) (43) 公開日 平成20年9月25日 (2008.9.25) 審査請求日 平成22年3月12日 (2010.3.12)</p>	<p>(73) 特許権者 599011687 学校法人 中央大学 東京都八王子市東中野742-1 (74) 代理人 100101915 弁理士 塩野入 章夫 (72) 発明者 杉本 泰博 東京都文京区春日1-13-27 学校法人中央大学理工学部内 (72) 発明者 桜井 宏樹 東京都文京区春日1-13-27 学校法人中央大学理工学部内 審査官 柳下 勝幸</p>
--	---

最終頁に続く

(54) 【発明の名称】 電流源回路、及びデジタル・アナログ変換器

(57) 【特許請求の範囲】

【請求項1】

複数の単位電流源をマトリクス状に配列してなる電流源回路であって、
 前記各単位電流源は、第1の出力端子、第2の出力端子、および制御端子を有し、
 前記第1の出力端子を、入力信号に応じて開閉動作を行うスイッチを介して出力部に接続し、

前記第2の出力端子を基準電圧源に接続し、
 前記制御端子にバイアス電圧を印加する構成とし、
 前記マトリクス状配列において、複数の単位電流源をグループ化して電流源ブロックを形成し、

同じグループの電流源ブロック内に含まれる単位電流源の第2の出力端子を木構造かつ等長配線として接続し、

異なるグループの電流源ブロック間において、各グループの木構造の始点どうしを接続して前記基準電圧源に接続することを特徴とする、電流源回路。

【請求項2】

前記請求項1に記載のグループ化した電流源ブロックにおいて、
 互いに異なるグループの電流源ブロックからそれぞれ1個の単位電流源を選択し、当該選択された単位電流源を互いに接続して1個の新たな単位電流源セルを形成することを特徴とする、電流源回路。

【請求項3】

前記請求項 1 又は 2 に記載のグループ化した電流源ブロックにおいて、
 前記各グループの電流源ブロックは、木構造の始点から等しい順位にある枝部を同じ層内において等長の配線で形成し、
 木構造の節部を隣接する層間で接続することによって、前記木構造の配線を層構造とすることを特徴とする、電流源回路。

【請求項 4】

前記請求項 1 から 3 の何れか一つの電流源回路を備え、
 前記各单位電流源に接続されるスイッチは、2 進数で与えられる入力デジタル値を 10 進数表現で表される数に変換した分の数だけオンとし、前記出力部から前記入力デジタル値をアナログ変換した電圧値を出力することを特徴とするデジタル・アナログ変換器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電流源回路に関し、デジタル・アナログ変換器の電流源部に好適な回路構成に関するものである。特に、画像信号処理等の高速で高精度が求められるデジタル・アナログ変換器に好適である。

【背景技術】

【0002】

従来、この種のデジタル・アナログ変換器では、例えば、非特許文献 1 が知られている。非特許文献 1 に示されるデジタル・アナログ変換器では、図 6 に示すような多数の電流源を用いた回路構成が使用され、高速および高精度の変換が実現できる。

20

【0003】

図 6 は一例として、「セルマトリクス + R・2R ラダー抵抗網形」と呼ばれる 14 ビット、デジタル・アナログ変換器の構成を示している。図 6 の方式では、上位 6 ビットを 63 個の単位電流源 (I1 - I63) で構成し、下位 8 ビットは R・2R ラダー抵抗網に 8 個の上位ビットと同一値を持つ電流源 (IL1 - IL8) を接続して構成する。なお、デジタル・アナログ変換器の入力は 2 進数で表現された 14 ビットを 1 単位 (1 語) とする。

【0004】

図 6 のデジタル・アナログ変換器の上位ビットの基本動作は、R・2R ラダー抵抗網全体からなる出力抵抗 100 に、上位 6 ビットの 2 進数が表す数に比例した電流を供給することである。例えば、上位 6 ビットの 2 進数が 10 進数表現で 2 という数を表すならば、1 の電流値を持つ 2 個の単位電流源 I1、I2 の電流を出力抵抗 100 に流せばよい。また、上位 6 ビットの 2 進数が 10 進数表現で 5 という数を表すならば、1 の電流値を持つ 5 個の単位電流源の電流 I1 ~ I5 を出力抵抗 100 に流せばよい。

30

【0005】

上位 6 ビット入力の 2 進数で表される電流を供給するには、論理回路からなるデコーダーによって入力の 2 進数を 10 進数で表現した数の分だけの電流源をオン制御する信号を発生させることで行う。なお、図 2 には、デコーダーは示していない。

【0006】

一方、下位ビットの基本動作は次のようにして行うことができる。下位 8 ビットを構成する回路中には、下位 8 ビットの 2 進数入力に 1 対 1 に対応した単位電流源 (IL1 - IL8) が用意されている。これらの単位電流源の値は、上位ビットの単位電流源 (I1 - I63) の値と等しい。したがって図 6 に示されている単位電流源の値は全て等しいことになる。図 6 において、最下位ビット (LSB といって下から 1 ビット目) に対応する電流源は IL1 であり、下から 2 ビット目には IL2 が、下から 8 ビット目 (つまり 14 ビットの上から 7 番目のビット) には IL8 が対応する。

40

【0007】

図 6 の構成によれば、スイッチ SWL2 を介して電流源 IL2 が R・2R ラダー抵抗網に接続された場合、IL1 がスイッチ SWL1 を介して接続された場合に比し 2 倍の電圧

50

変化がアナログ信号出力110に現れる。また電流源IL8がスイッチSWL8を介してR・2Rラダー抵抗網に接続された場合には、電流源IL1がスイッチSWL1を介して接続された場合に比し 2^7 倍の電圧変化がアナログ信号出力110に現れる。電流源IL1～IL8全てがスイッチSWL1～SWL8を介してR・2Rラダー抵抗網に接続された場合には、電流源IL1がスイッチSWL1を介して接続された場合に比し、 $2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = (2^8 - 1)$ 倍の電圧変化がアナログ信号出力110に現れる。これより、電流源IL8～IL1の8個の単位電流源は、デジタル・アナログ変換器の下位8ビットの2進数入力の各ビットに対応して、2進の重みを持つ出力電圧をアナログ信号出力110に出力する。

【0008】

上位ビットの単位電流源(I1-I63)のうちから1個の電流源がR・2Rラダー抵抗網100に接続された場合には、電流源IL1が接続された場合に比し 2^8 倍の電圧変化がアナログ信号出力110に現れるので、上位ビットの単位電流源によるアナログ信号出力110の電圧変化は、下位8ビットの8個の電流源全てが接続された場合よりも、更に電流源IL1が接続された場合の変化分だけ大きくなる。これは上位ビットの単位電流源1個が、下から9ビット目、つまり上から5ビット目の2進数重みを持つことを表している。

【0009】

以上のように図6に示すデジタル・アナログ変換器は、14ビットの2進数入力に対応して変換を行う。この際、誤差が発生しないためには、上位6ビット用の63個の単位電流源および下位8ビット用の8個の単位電流源の値にばらつきの無いことが重要である。

【0010】

【非特許文献1】B.Razavi “Principles of Data Conversion System Design,” IEEE Press, pp.92-93, 1995. (ISBN0-7803-1093-4)

【特許文献1】特開平9-83369号公報

【特許文献2】特開平7-202698号公報

【特許文献3】特開平8-79080号公報

【特許文献4】特開平9-18342号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

図6の構成によって14ビットデジタル・アナログ変換器を実現する場合、入力2進数の単調な増加あるいは減少に伴って、アナログ出力電圧110の電圧値が単調に増加あるいは減少するという特性(単調性という)が保証される必要がある。この単調性が保証されるには、デジタル・アナログ変換器を構成している各単位電流源にばらつきが無いことが求められる。例えば、各単位電流源の値に許されるばらつき値は、設定値の $\pm 0.1\%$ 以内を満足する必要がある。

【0012】

デジタル・アナログ変換器のビット数に応じて単位電流源の個数も増加し、大きなビット数ではその分単位電流源の個数も多くなる。このような多数の単位電流源をLSI上で実現する場合、マトリクス状に配置することが通常である。図7は複数の単位電流源をマトリクス状に配置した構成例を示している。

【0013】

図7において、例えば、セル1～63は上位ビット用単位電流源を表し、セルL1～L8は下位ビット用単位電流源を表わしている。ここでBのセルは、セル1～63およびセルL1～L8の制御端子にバイアス電圧を供給するためのバイアス回路である。

【0014】

各セルは、トランジスタ203(M1)のゲート端子にバイアス電圧202(Vc)を印加し、ソース端子を第1の電圧源であるグラウンド201に接続し、ドレイン端子を電

10

20

30

40

50

流源の出力端子としてスイッチの1端に接続する構成となっている。バイアス電圧202 (Vc) はバイアス回路Bから供給され、全てのセルに共通に接続している。この際、次のような問題が発生する。

【0015】

図7に示す構成において、各セルの電流はグラウンド201を通してLSIのグラウンドピンに流れ出して行く。ところが、各セルのグラウンドを接続しているグラウンド配線は、一般に配線抵抗200 (RG) を持っている。そのため、LSIのグラウンドピンから遠い距離にある電流源セル(例えばセル1~8などの電流源セル)のグラウンドラインの電位は、配線抵抗200 (RG) とその配線抵抗に流れる電流によって生じる電圧分だけグラウンドピン201の電位に比べて高くなっている。

10

【0016】

しかしながら、各電流源セルに供給されるバイアス電圧202 (Vc) は等しいので、各電流源セルを構成するトランジスタのゲート・ソース端子間電圧は、配線抵抗200 (RG) の配列に沿って順に増加する。このゲート・ソース端子間電圧の増加は、トランジスタのドレイン電流、すなわち電流源セルの電流値についても増加することを意味しており、各セルの電流値は等しくはならない。

【0017】

例えば、セル1の列が含まれる列(図7中の縦方向にセル配列)の場合には、セル1、9、17、25、33、41、49、および57の順でゲート・ソース端子間電圧が増加し、トランジスタのドレイン電流、すなわち電流源セルの電流値も、同様にセル1、9、17、25、33、41、49、および57の順で増加する。

20

【0018】

図7中の他のセルの列、例えば、セル2、10、...、58のセル配列やセル3、11、...、59のセル配列等についても同様である。

【0019】

さらにトランジスタのゲート・ソース端子間電圧とドレイン電流との関係は非線形である。そのため、上記したドレイン電流の増加は直線的な関係とはならない。図8は、このドレイン電流の増加の非線形について、各電流源の位置とそこに流れるセル電流の大きさの関係によって示している。

【0020】

すなわち図7に示す各電流源セルにおいては、列方向にセル電流の不一致が生じることになる。ただし、この種の電流の不一致は、新たに行方向にグラウンドラインを追加しても解消されない。行方向にグラウンドラインを追加した場合には、電流値の大きさと分布は変化するが、行方向においても配線抵抗に流れる電流によって生じる電位勾配によってセル電流の不一致が発生するため、本質的に消し去ることは出来ないのである。

30

【0021】

上述したように、複数の電流源セルの電流値がグラウンド配線の抵抗のために一定にならない。このセル電流がセルの配列方向で一致しないという現象は、このセル電流を用いてデジタル値に応じた電圧を形成した際に、その形成電圧にばらつきが生じることになるため、デジタル・アナログ変換器の精度を大きく劣化させる要因となる。

40

【0022】

そこで、本発明は上述した課題を解決して、配列された複数の電流源を含む電流源回路において、各電流源の電流値のばらつきを低減することを目的とする。

【0023】

また、配列された複数の電流源を含む電流源回路によって、デジタル・アナログ変換器の変換精度を向上させることを目的とする。

【課題を解決するための手段】

【0024】

本発明の電流源回路は、複数の単位電流源をマトリクス状に配列する構成において、全単位電流源を複数個の単位電流源によってグループ化して、いくつかの電流源ブロックを

50

形成し、さらにこのグループ化した電流源ブロック内に含まれる複数の単位電流源を木構造となるように配線し、この配線を等長とすることによって、各電流源からの電流が流れる配線部分の抵抗を等しくし、これによって、各電流源の電流値のばらつきを低減する。

【0025】

本発明の電流源回路は、複数の単位電流源をマトリクス状に配列してなる電流源回路であり、各単位電流源は、第1の出力端子、第2の出力端子、および制御端子を有する。

【0026】

ここで、単位電流源のマトリクス状配列において、複数の単位電流源をグループ化して電流源ブロックを形成し、同じグループの電流源ブロック内に含まれる単位電流源の第2の出力端子を木構造かつ等長配線として接続し、異なるグループの電流源ブロック間において、各グループの木構造の始点どうしを接続して基準電圧源に接続する。この構成とすることで、単位電流源をグループ化しかつ木構造とすることができる。

10

【0027】

また、さらに、グループ化した電流源ブロックにおいて、互いに異なるグループの電流源ブロックからそれぞれ1個の単位電流源を選択し、この選択した単位電流源を互いに接続して1個の新たな単位電流源セルを形成する構成とする。これによって、グループ化した電流源ブロック間における電流のばらつきを解消することができる。

【0028】

新たな単位電流源セルが備える出力端子は、異なるグループより選択され互いに接続したもとの単位電流源が備える第1の出力端子どうしが接続されたものであり、入力信号に応じて開閉動作を行うスイッチを介して出力部に接続する。

20

【0029】

この新たな単位電流源セルにおいてスイッチがオン状態となると、異なるグループより選択され互いに接続したもとの単位電流源の電流が新たな単位電流源セルに流れ、この電流はスイッチを介して出力部の抵抗などに流れ、出力部から電圧が出力される。この電圧は、入力信号によって決定されるオンするスイッチの数に応じた電圧である。

【0030】

上述したグループ化構造と木構造を備えた新たな単位電流源セルよりなる電流源回路は、層構造によって構成することができる。

【0031】

この層構造は、グループの電流源ブロックにおいて、木構造の始点から等しい順位にある枝部を同じ層内において等長の配線で形成し、さらに、木構造の節部を隣接する層間で接続することによって実現することができる。

30

【0032】

さらに、本発明の電流源回路はデジタル・アナログ変換器に適用することができる。このデジタル・アナログ変換器では、各新たな単位電流源セルに接続されるスイッチのうち、2進数の入力デジタル値を10進数表現に変換した数で表される分のスイッチがオンとし、出力部から入力デジタル値をアナログ変換した電圧値を出力する。

【0033】

この構成によるデジタル・アナログ変換器によれば、電流源回路から出力される電流値のばらつきが低減されているため、変換精度が向上する。

40

【0034】

なお、電圧源を用いたD/A変換器において木構造とする例が特許文献1に開示されているが、抵抗ストリング型D/A変換器であって分圧抵抗で形成された電圧を組み合わせたものであり、本発明の単位電流源を用いた構成とは相違するものである。また、特許文献2~4には、A/D変換器において木構造とする構成が開示されている。

【0035】

また、上記した各特許文献のいずれにも、本発明の課題である、マトリクス状に配置した単位電流源の各電流のばらつきについてなんら開示されていない。

【発明の効果】

50

【0036】

本発明によれば、配列された複数の新たな単位電流源セルを含む電流源回路において、各新たな単位電流源セルの電流値のばらつきを低減することができる。

【0037】

また、配列された複数の新たな単位電流源セルを含む電流源回路によって、デジタル・アナログ変換器の変換精度を向上させることができる。

【0038】

本発明によれば、新たな単位電流源セルにおいて、グラウンド配線上に存在する寄生抵抗の影響を取り去ることができるため、新たな単位電流源セルの精度が向上し高精度のデジタル・アナログ変換器が実現される。

10

【発明を実施するための最良の形態】

【0039】

以下、本発明の構成例について図1～図5を用いて説明する。

【0040】

図1は本発明の電流源回路が備える、グループ化される電流源ブロックに属する単位電流源の一構成を説明するための図である。図1において、単位電流源70は、異なるグループの電流源ブロックに属する選択された単位電流源の第1の出力端子と接続されスイッチ72を介して出力部73側に接続される第1の出力端子70aと、基準電圧源71と接続される第2の出力端子70bと、バイアス電圧が印加される制御端子70cを備える。

20

【0041】

図2は本発明の電流源回路の一態様を説明するための概略構成図であり、マトリクス配列される単位電流源の内て一列分のみを示している。

【0042】

本発明の電流源回路およびデジタル・アナログ変換器において、一列内の 2^n 個の単位電流源を 2^m 個の電流源を持つグループに分ける。更に、この 2^m 個の電流源をそれぞれ $1/2$ の電流値を持つaおよびbの2つの電流源に分ける。

【0043】

図2(a)は、図7の第1列目の単位電流源1、9、17、25、33、41、49、および57について示している。この単位電流源1、9、17、25、33、41、49、および57を、単位電流源1、9、17、25の組みと電流源セル33、41、49、57の組みのそれぞれ4($=2^2$)個の電流源からなる2つのグループに分け、更に、これらグループをそれぞれ $1/2$ の電流値を備えるaとbの2つの電流源に分けて新たな単位電流源としたものである。

30

【0044】

ここで、 $1/2$ の電流値とは、各電流源セルの単位電流源が供給する電流値を1としたときに、その半分の割合の電流値という意味である。

【0045】

なお、一列を構成する単位電流源の個数を 2^n としたとき、各グループ化した単位電流源の個数は、 $n > m$ としたとき 2^m で表すことができる。

【0046】

2つのグループに分けられた 2^2 個の新たな単位電流源のグループは、図2(a)に示すように木構造の配線で接続され、それぞれの木構造の始点A(251)、B(252)あるいはC(253)、D(254)は同一の距離関係を保ってGNDピン(201)へと導かれる。この構成とすることで、線分ABおよび線分CDの長さは等しく、点AからGNDピンへの距離と点CからGNDピンまでの距離は等しく設定される。

40

【0047】

図2(a)の構造によれば、2つに分けられたグループの内の一方のグループ(電流源aを有するグループ)において、電流源1a、9a、17a、25aの電流は等しい。これは、木構造とすることで、始点B(252)から各電流源1a、9a、17a、25aの第2の出力端子(図中の2で示す)までの距離が4個全ての電流源で等しいからである。同様に

50

、始点A(251)から各電流源33a、41a、49a、57aの第2の出力端子(図中の2で示す)までの距離が4個全ての電流源で等しいため、電流源33a、41a、49a、57aの電流も等しい。

【0048】

但し、点A(251)を始点とする4個の電流源と、点B(252)を始点とする4個の電流源の値は異なる。これは、線分AB間の寄生の配線抵抗が存在するからである。

【0049】

図2(b)は電流源の電流関係を示す図である。点Aを始点とする4個の電流源の値をIA1、点Bを始点とする4個の電流源の値をIA2とすれば、IA1とIA2の関係は、図2(b)に示すようになる。電流源1a、9a、17a、25a、33a、41a、49a、および57aの電流値は2値化され、IA2とIA1となる。

10

【0050】

以上の関係は、2つに分けられたグループの内の他方のグループ(電流源bを有するグループ)の電流源1b、9b、17b、25b、33b、41b、49b、および57bにも、前記したグループaと構造が同一であるため、同様に当てはまる。これにより、電流源1b、9b、17b、25bの電流は等しくIA1となり、電流源33b、41b、49b、57bの電流値は等しくIA2となる。

【0051】

図2に示すように、互いに異なるグループに属するa、bの電流源(例えば57aと57b)の電流値を足し合わせて新たに電流源セル57を構成すると、この電流値は、

20

$$IA = IA1 + IA2 \quad (1)$$

となる。

【0052】

同様にして、他の電流源についても、互いに異なるグループに属するa、bの電流源の電流値を足し合わせて新たな8個の新たな単位電流源セル(1、9、17、25、33、41、49、および57)を構成することによって、これらの電流源セルの電流値は全て同一値となる。これは、各電流源セルの電流が、グラウンドラインの寄生抵抗によらないため、全て等しくなることを意味している。

【0053】

以上述べた2²個の新たな単位電流源のグループ化と、グループ化した電流源の分割および接続とをマトリクス状配線の各列に施すことによって、各列の電流源セルの電流値を全てIAとし、全ての電流源セルの電流値を等しくすることができる。これにより電流源の高精度化が達成される。

30

【0054】

なお、図7においてセルBは電流源セルではないが、セルBの電流値が電流源セルと等しく設定されるならば、同様に電流値を等しくすることができる。また、セルBを電流源セルと置き換え、マトリクス外に配置しても良い。

【0055】

これにより、図2に示す構成を図7に示すようなマトリクス配列に適用することができる。

40

【0056】

図3は本発明の電流源回路の他の態様を説明するための概略構成図であり、図2の場合と同様に、マトリクス配列される単位電流源の内て一列分のみを示している。

【0057】

本発明の電流源回路およびデジタル・アナログ変換器において、一列内の2ⁿ個の単位電流源を2^m個の電流源を持つグループに分ける事も同様である。更に、この2^m個の電流源をそれぞれ1/2の電流値を持つaおよびbの2つの電流源に分けている。

【0058】

図3(a)も同様に、図7の第1列目の単位電流源1、9、17、25、33、41、49、および57について示している。この単位電流源1、9、17、25、33、41

50

、49、および57を、単位電流源1、9、17、25の組みと電流源セル33、41、49、57の組みのそれぞれ4個(=2²)個の電流源からなる2つのグループに分け、更に、これらグループをそれぞれ1/2の電流値を備えるaとbの2つの電流源に分けて新たな単位電流源としたものとする。

【0059】

ここで、1/2の電流値とは、各電流源セルの単位電流源が供給する電流値を1としたときに、その半分の割合の電流値という意味であり、一列を構成する単位電流源の個数を2ⁿとしたとき、各グループ化した単位電流源の個数は、n>mとしたとき2^mで表すことができる。

【0060】

2つのグループに分けられた2²個の新たな単位電流源のグループは、図3(a)に示すように木構造の配線で接続され、それぞれの木構造の始点A(251)、B(252)あるいはC(253)、D(254)は同一の距離関係を保ってGNDピン(201)へと導かれる。この構成とすることで、線分ABおよび線分CDの長さは等しく、点AからGNDピンへの距離と点CからGNDピンまでの距離は等しく設定される。

【0061】

図3(a)の構造によれば、2つに分けられたグループの内一方のグループ(電流源aを有するグループ)において、電流源1a、9a、17a、25aの電流は等しい。これは、木構造とすることで、始点B(252)から各電流源1a、9a、17a、25aの第2の出力端子(図中の2で示す)までの距離が4個全ての電流源で等しいからである。同様に、始点A(251)から各電流源33a、41a、49a、57aの第2の出力端子(図中の2で示す)までの距離が4個全ての電流源で等しいため、電流源33a、41a、49a、57aの電流も等しい。

【0062】

但し、点A(251)を始点とする4個の電流源と、点B(252)を始点とする4個の電流源の値は異なる。これは、線分AB間の寄生の配線抵抗が存在するからである。

【0063】

図3(b)は電流源の電流関係を示す図である。点Aを始点とする4個の電流源の値をIA1、点Bを始点とする4個の電流源の値をIA2とすれば、IA1とIA2の関係は、図3(b)に示すようになる。電流源1a、9a、17a、25a、33a、41a、49a、および57aの電流値は2値化され、IA2とIA1となる。

【0064】

以上の関係は、2つに分けられたグループの内他方のグループ(電流源bを有するグループ)の電流源1b、9b、17b、25b、33b、41b、49b、および57bにも、前記したグループaと構造が同一であるため、同様に当てはまる。これにより、電流源1b、9b、17b、25bの電流は等しくIA1となり、電流源33b、41b、49b、57bの電流値は等しくIA2となる。

【0065】

図3に示すように、互いに異なるグループに属する電流源(例えば25aと57a)の電流値を足し合わせて新たに電流源セル57を構成すると、この電流値は、

$$IA = IA1 + IA2 \quad (2)$$

となる。

【0066】

同様にして、他の電流源についても、IA2とIA1の電流源の電流値を足し合わせて、例えば、(1a+33a)、(9a+49a)、(17a+41a)、(25a+33a)、(1b+33b)、(9b+49b)、(17b+41b)、(25b+33b)のような組み合わせで新たな8個の新たな電流源セル(1、9、17、25、33、41、49、および57)を構成することによって、これらの電流源セルの電流値は全て同一値となる。これは、各電流源セルの電流が、グラウンドラインの寄生抵抗によらないため、全て等しくなることを意味している。

10

20

30

40

50

【0067】

以上述べた 2^2 個の新たな単位電流源のグループ化と、グループ化した電流源の分割および接続とをマトリクス状配線の各列に施すことによって、各列の電流源セルの電流値を全てIAとし、全ての電流源セルの電流値を等しくすることができる。これにより電流源の高精度化が達成される。

【0068】

次に、本発明の電流源回路の配線構成例について図4を用いて説明する。この配線構成は、木構造の各配線を各層に形成する層構造の例であり、LSI上の実現に好適な構成である。

【0069】

図4では、図2で示した8個の電流源からなる構成の例である。図4において、8個の電流源をまず、図2で示されたようにそれぞれ 2^2 個の電流源を有する2つのグループに分ける。このグループは、図4においてそれぞれ電流セル1、9、17、および25を含むグループと、電流セル33、41、49、および57を含むグループである。更に1個の電流源を $1/2$ の電流値を持つ2つの電流源aおよびbに分割する。分割により、電流源は16個の新たな単位電流源に分割される。

【0070】

分割された16個の新たな単位電流源は、それぞれ4個の4つのグループに分けられる。すなわち、新たな単位電流源1a、9a、17a、25aを含むグループ、新たな単位電流源33a、41a、49a、57aを含むグループ、新たな単位電流源1b、9b、17b、25bを含むグループ、新たな単位電流源33b、41b、49b、57bを含むグループの4グループに分けられる。

【0071】

分割された各グループ内において電流源の第2の出力端子(図4において2の番号を付している)は、木構造を構成し、かつ等長配線で接続し、この構成はLSI等の多層配線層を利用して最小の占有面積で実現することができる。

【0072】

木構造と等長配線の構成は、図4において、1A1(第1層アルミニウム配線層)、2A1(第2層アルミニウム配線層)、3A1(第3層アルミニウム配線層)と、各配線層間を繋ぐビア(配線層間を接続する接続用縦穴)によって実現することができる。なお、図4では、4つの第1層目の配線層1A1と、2つの第2層目の配線層2A1とを備え、さらに、1つの第3層目の配線層3A1を備える。

【0073】

ここで、木構造の木部は各層部分の配線層に相当し、木構造の節部は各層の配線層間を接続するビアに相当する。

【0074】

例えば、新たな単位電流源1aと新たな単位電流源9aとを結ぶ配線層1A1の midpoint にビアを配置して配線層2A1に接続し、新たな単位電流源17aと新たな単位電流源25aとを結ぶ配線層1A1の midpoint にビアを配置して2A1と接続し、配線層1A1と配線層2A1を接続する2つのビアの接続点間の midpoint を更に配線層2A1と配線層3A1(第3層アルミニウム配線層)間を接続するビアにより配線層3A1と結ぶ構成とすることによって、この配線層3A1との接続点が、図2に示す木構造の始点Bに対応する構成となる。これより、電流セル1a、9a、17a、25aの電流値は全て等しくなる。

【0075】

電流セル33a、41a、49a、57aについても、配線層1A1、配線層1A1と配線層2A1間を接続するビア、および配線層2A1と配線層3A1間を接続するビアを用いて、同様に接続することによって、新たな単位電流源33a、41a、49a、57aの電流値は全て等しくなる。また、新たな単位電流源1b、9b、17b、25bの電流値も全て等しくなり、また、新たな単位電流源33b、41b、49b、57bの電流値も全て等しくなる。

10

20

30

40

50

【0076】

ただし同一の番号を持つaのグループに所属する新たな単位電流源の電流値と、bのグループに所属する新たな単位電流源の電流値は異なる。例えば、新たな単位電流源1aと新たな単位電流源1bの電流値は異なる。これは配線層3A1上の木構造の始点AまたはCと始点BまたはDのGNDピンからの距離が異なるためである。ただし、図4に示すように、配線層3A1上の始点A-B間の距離、C-D間の距離、およびGNDピン-A間の距離、GNDピン-C間の距離を互いに等しくすることによって、新たな単位電流源1a、9a、17a、25aの電流値と新たな単位電流源33b、41b、49b、57bの電流値を等しくすることができる。また、新たな単位電流源33a、41a、49a、57aの電流値と新たな単位電流源1b、9b、17b、25bの電流値も等しくすることができる。

10

【0077】

また、それぞれのグループから1つずつ電流源を取り出して加えることによって、何れの電流源を取り出してもその値は同一となる。例えば、新たな単位電流源1aと新たな単位電流源1bとの組み合わせによって各新たな単位電流源の電流を加える構成とした場合には、この新たな単位電流源1aと新たな単位電流源1bの組み合わせの電流を合成して得られる単位電流源セルの電流値と、新たな単位電流源9aと新たな単位電流源9bの組み合わせの電流を合成して得られる電流値電流を合成して得られる単位電流源セルの電流値と、新たな単位電流源17aと新たな単位電流源17bの組み合わせの電流を合成して得られる電流値電流を合成して得られる単位電流源セルの電流値と、新たな単位電流源25aと新たな単位電流源25bの組み合わせの電流を合成して得られる電流値電流を合成して得られる単位電流源セルの電流値とは全て等しくなる。

20

【0078】

同様にして、新たな単位電流源33aと新たな単位電流源33bの組み合わせで合成された単位電流源セルの電流値と、新たな単位電流源41aと新たな単位電流源41bの組み合わせで合成された単位電流源セルの電流値と、新たな単位電流源49aと新たな単位電流源49bの組み合わせで合成された単位電流源セルの電流値と、新たな単位電流源57aと新たな単位電流源57bの組み合わせで合成された単位電流源セルの電流値との各電流値についても全て等しくなる。

【0079】

ところで新たな単位電流源33bを含むグループと新たな単位電流源33aを含むグループの電流源の電流値は、それぞれ新たな単位電流源1aを含むグループおよび新たな単位電流源1bを含むグループの電流源の電流値と等しいのであるから、結局、新たな単位電流源1aと新たな単位電流源1bの組み合わせで合成された単位電流源セルの電流値と新たな単位電流源33aと新たな単位電流源33bの組み合わせで合成された単位電流源セルの電流値は等しい。以上より、新たな単位電流源1aと新たな単位電流源1bの組み合わせにより構成した単位電流源セル、新たな単位電流源9aと新たな単位電流源9bの組み合わせにより構成した単位電流源セル、新たな単位電流源17aと新たな単位電流源17bの組み合わせにより構成した単位電流源セル、新たな単位電流源25aと新たな単位電流源25bの組み合わせにより構成した単位電流源セル、新たな単位電流源33bと新たな単位電流源33aの組み合わせにより構成した単位電流源セル、新たな単位電流源41bと新たな単位電流源41aの組み合わせにより構成した単位電流源セル、新たな単位電流源49bと新たな単位電流源49aの組み合わせにより構成した単位電流源セル、および新たな単位電流源57bと新たな単位電流源57aの組み合わせでにより構成した単位電流源セルの各電流値は全て等しくなる。

30

40

【0080】

ただし、図4には図2に示したバイアス電圧端子202(Vc)は示していない。バイアス電圧端子202(Vc)には各電流源の電流を設定するためにバイアス電圧が印加されるが、バイアス電圧端子202(Vc)は全ての電流源に共通な端子であるから、電流源を貫く配線層を構成することで構成することができ、グラウンドラインの配線層との競合を避けることができる。

50

【 0 0 8 1 】

以上により、図 4 に示す構成によれば、グラウンド配線の配線抵抗の影響を受けることなく、同一の電流値をもつ複数の電流源を供給することができる。また、図 4 を用いて図 7 に示すマトリクス配列を実現するには、図 4 に示す層構造を図 7 のマトリクス配列の各列に用いれば良い。

【 0 0 8 2 】

図 5 は、本発明による電流源回路による一実施例による電流値を示している。なお、この実施例では、CMOS プロセスを用いて 63 個の上位ビット電流源と 8 個の下位ビット電流源をマトリクス状に配置した IC を試作し、図 5 は 63 個の上位ビット単位電流源の特性を示している。図では 63 個の各電流値が理想的な単位電流源の電流値に対してどの位ずれているかを示す特性を示している。1 つの単位電流源の電流は $300 \mu\text{A}$ でその $1/256 = 1/2^8$ 、すなわち $1.17 \mu\text{A}$ を 1 目盛りに目盛ったものである。

10

【 0 0 8 3 】

図 5 において、実線は本発明の図 4 に示す構成を適用した場合である。ここでグラウンド配線の幅は $10 \mu\text{m}$ に設定している。一方、破線は図 7 および図 8 に示す従来の手法を適用した場合の特性であり、グラウンド配線の幅は $60 \mu\text{m}$ に設定している。

【 0 0 8 4 】

本発明の構成では、電流源を 2 分する構成により配線幅が 2 倍となることを考慮すると、従来の手法に対し等価的な配線幅は 3 分の 1 である。これは本発明の図 2、図 3 に示す構成のグラウンドラインの抵抗は、図 7 および図 8 の構成と比較しておおよそ 3 倍であることを示すものである。

20

【 0 0 8 5 】

図 5 において、電流源の誤差は破線で示す従来の手法の場合は $+1.5 \sim -2.5$ 目盛り程度の範囲であるのに対して、実線で示す本発明の構成の場合にはデジタルコード 63 でわずかに 1 を越えている以外は ± 0.5 目盛り程度であって、従来の手法の場合と比較して明らかに小さく、本発明の効果が確認される。

【 0 0 8 6 】

なお、上記の構成では、マトリクス配列を形成する単位電流源を 8 個等の 2 のべき乗で表されるような 2 個を単位とする構成例によって説明しているが、単位電流源の個数はこれに限られるものではない。例えば、単位電流源を 9 個とする構成にも適応することができる。この構成では、例えば、3 個を単位とする単位電流源を $1/3$ に電流値を有する 3 つの電流源に分けて新たな単位電流源を形成し、これら新たな単位電流源について 3 個を単位として階層状にグループ化し、各階層のグループから電流源を選択して合成する構成とすることによって、等しい電流を供給する複数の単位電流源セルを構成することができる。

30

【 産業上の利用可能性 】

【 0 0 8 7 】

本発明は、LSI 上に構成する大型で高精細なグラフィクス端末用デジタル・アナログ変換器あるいは、計測器などで実現される、任意波形発生器におけるデジタル・アナログ変換器に適用することが出来る。

40

【 図面の簡単な説明 】

【 0 0 8 8 】

【 図 1 】 本発明の電流源回路が備える単位電流源の端子構成を説明するための図である。

【 図 2 】 本発明の単位電流源セルをマトリクス状の電流源の一行に配置する一構成例を示す図である。

【 図 3 】 本発明の単位電流源セルをマトリクス状の電流源の一行に配置する他の構成例を示す図である。

【 図 4 】 本発明の電流源回路の配線構成例を説明するための図である。

【 図 5 】 本発明の電流源回路による図 2 の実施例による電流値を示す図である。

【 図 6 】 14 ビットのデジタル・アナログ変換器の従来構成を示す図である。

50

【図7】複数の単位電流源をマトリクス状に配置した構成例を示す図である

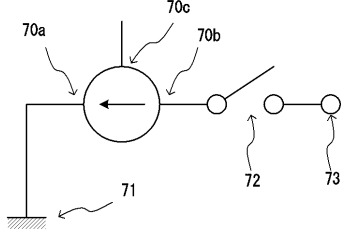
【図8】従来例の電流源マトリクスにおいて、グラウンドの配線抵抗の影響を示す図である。

【符号の説明】

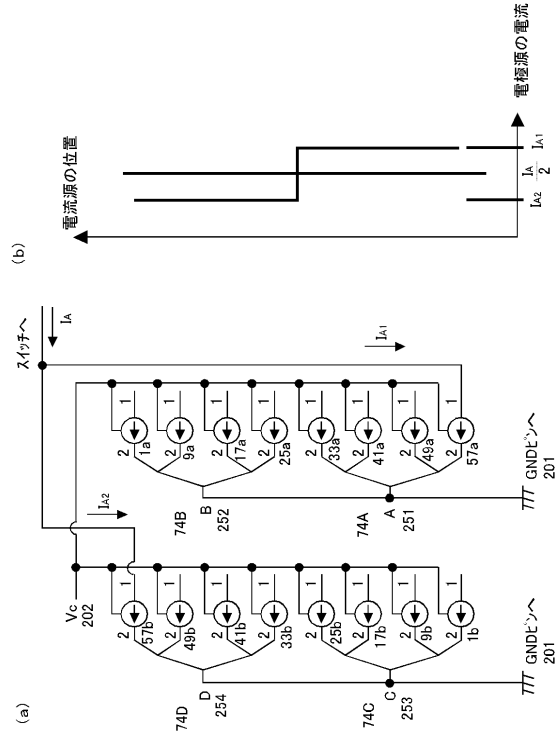
【0089】

1, 9, 17, 25, 33, 41, 49, 57	電流源	
1a, 1b, 9a, 9b, 17a, 17b, 25a, 25b, 33a, 33b, 41a, 41b, 49a, 49b, 57a, 57b	2分した電流源	
30	上位6ビット用電流源および電流源スイッチ	
70	単位電流源	10
70a	第1出力端子	
70b	第2出力端子	
70c	制御端子	
71	基準電圧源	
72	スイッチ	
73	出力部	
74, 74A, 74B	電流源ブロック	
90	下位8ビット用電流源および電流源スイッチ	
100	R・2Rラダー抵抗網	
110	アナログ信号出力端子	20
200	グラウンドの配線抵抗	
201	グラウンドピン	
202	バイアス電圧	
203	電流源トランジスタ	
210	第1層アルミニウム配線層	
220	第2層アルミニウム配線層	
230	第3層アルミニウム配線層	
251	始点A	
252	始点B	
253	始点C	30
254	始点D	
IA, IA1, IA2	電流	
I1 - I63	上位6ビット用電流源	
IL1 - IL8	下位8ビット用電流源	
SW1 - SW63	上位6ビット用電流源スイッチ	
SWL1 - SWL8	下位8ビット用電流源および電流源スイッチ	
RG	配線抵抗	
GND	グラウンド	

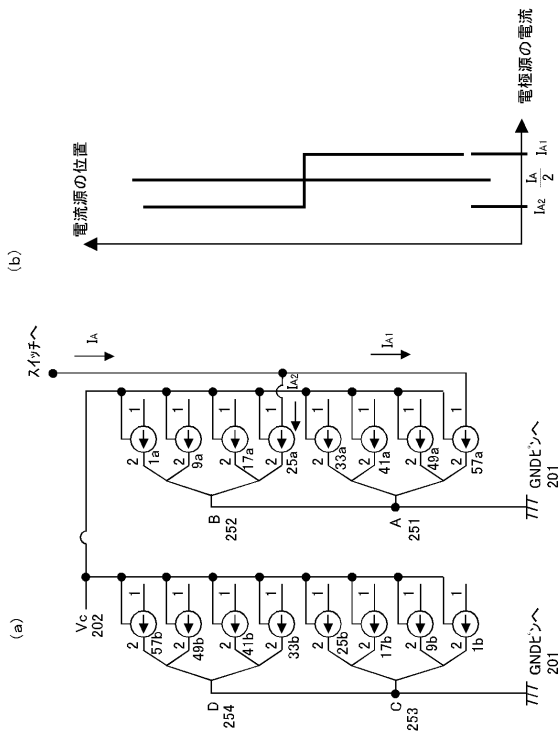
【 図 1 】



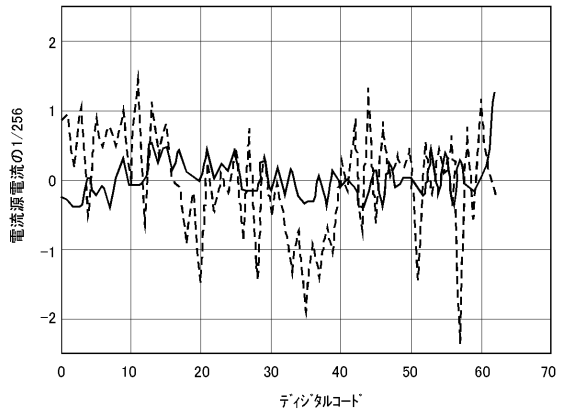
【 図 2 】



【 図 3 】

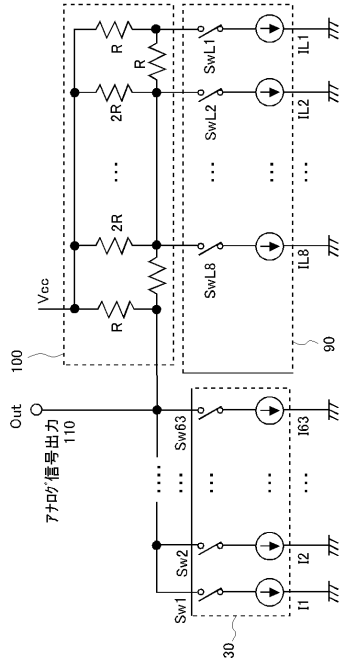


【 図 5 】

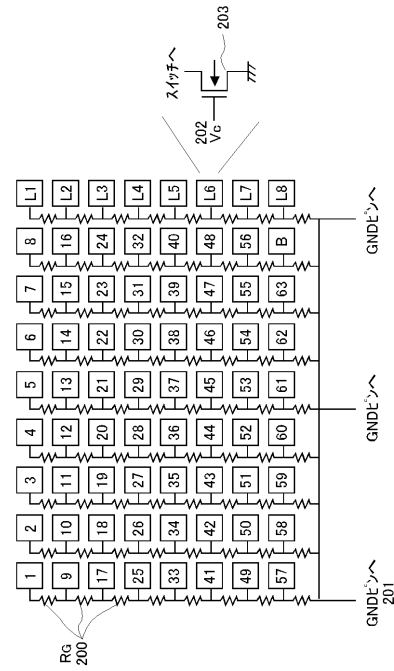


実線：図4の配線
 GND線幅 = 10um
 破線：図7の配線
 GND線幅 = 60um

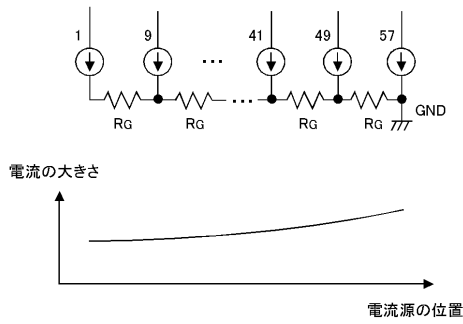
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開2006-191197(JP,A)
特開2000-188550(JP,A)
特開2002-299563(JP,A)
特開2000-299435(JP,A)
特開2003-273224(JP,A)
特開2000-58545(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88