

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5207024号
(P5207024)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

| | |
|--------------------------|----------------------|
| (51) Int.Cl. | F I |
| HO 1 L 21/8247 (2006.01) | HO 1 L 27/10 4 3 4 |
| HO 1 L 27/115 (2006.01) | HO 1 L 27/10 4 4 9 |
| HO 1 L 27/28 (2006.01) | HO 1 L 29/78 3 7 1 |
| HO 1 L 51/05 (2006.01) | HO 1 L 29/28 1 0 0 B |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/28 2 5 0 E |
| 請求項の数 9 (全 11 頁) 最終頁に続く | |

| | | | |
|-----------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2007-228386 (P2007-228386) | (73) 特許権者 | 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号 |
| (22) 出願日 | 平成19年9月3日(2007.9.3) | (74) 代理人 | 100082876 弁理士 平山 一幸 |
| (65) 公開番号 | 特開2009-60059 (P2009-60059A) | (74) 代理人 | 100109807 弁理士 篠田 哲也 |
| (43) 公開日 | 平成21年3月19日(2009.3.19) | (74) 代理人 | 100148127 弁理士 小川 耕太 |
| 審査請求日 | 平成22年7月5日(2010.7.5) | (72) 発明者 | 鯉沼 秀臣 東京都杉並区荻窪3-47-8 |
| | | (72) 発明者 | 伊高 健治 千葉県流山市南流山6-20-9 |
| | | 審査官 | 堀江 義隆 |
| | | | 最終頁に続く |

(54) 【発明の名称】 不揮発性記憶素子及び不揮発性メモリ並びに不揮発性記憶素子の制御方法

(57) 【特許請求の範囲】

【請求項1】

有機半導体からなるチャンネルとチャンネルに接して設けられたゲート絶縁膜とゲート絶縁膜に設けられたゲート電極とチャンネルに接して設けられたソース電極及びドレイン電極とからなるトランジスタ構造を有し、

上記チャンネルは、 C_{60} 又は C_{70} からなり、
上記ゲート絶縁膜が無機物からなり、

上記チャンネルとゲート絶縁膜との界面、又は、該界面上記チャンネル側の表面若しくはゲート絶縁膜の表面に、キャリアのトラップが形成されていることを特徴とする、不揮発性記憶素子。

【請求項2】

前記無機物は、二酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)、酸化イットリウム(Y_2O_3)、酸化タンタル(Ta_2O_5)、酸化ジルコニウム(ZrO)の何れかであることを特徴とする、請求項1に記載の不揮発性記憶素子。

【請求項3】

前記不揮発性記憶素子が、基板上に形成されていることを特徴とする、請求項1に記載の不揮発性記憶素子。

【請求項4】

複数の不揮発性記憶素子のそれぞれがマトリクス of 交点に配置され、各行のドレイン電極はビット線に接続され、各列のゲート電極がワード線に接続されており、

上記不揮発性記憶素子は、有機半導体からなるチャンネルとゲート絶縁膜とゲート電極とソース電極とドレイン電極と、からなるトランジスタ構造を有し、

上記チャンネルは、 C_{60} 又は C_{70} からなり、
上記ゲート絶縁膜が無機物からなり、

上記チャンネルとゲート絶縁膜との界面、又は、該界面上記チャンネル側の表面若しくはゲート絶縁膜の表面に、キャリアのトラップが形成されていることを特徴とする、不揮発性メモリ。

【請求項 5】

前記無機物は、二酸化シリコン (SiO_2)、酸化アルミニウム (Al_2O_3)、酸化イットリウム (Y_2O_3)、酸化タンタル (Ta_2O_5)、酸化ジルコニウム (ZrO) の何れかであることを特徴とする、請求項 4 に記載の不揮発性メモリ。

10

【請求項 6】

前記不揮発性メモリが、基板上に形成されていることを特徴とする、請求項 4 に記載の不揮発性メモリ。

【請求項 7】

請求項 1 または 4 に記載の不揮発性記憶素子の書き込みは、ソース電極が接地され、ドレイン電極及びゲート電極に高電圧が印加されて行われることを特徴とする、不揮発性記憶素子の制御方法。

【請求項 8】

請求項 1 または 4 に記載の不揮発性記憶素子の消去は、ドレイン電極が開放され、ゲート電極には負の電圧が印加され、ソース電極には正の電圧が印加されて行われることを特徴とする、不揮発性記憶素子の制御方法。

20

【請求項 9】

請求項 1 または 4 に記載の不揮発性記憶素子の読み出しは、ソース電極が接地され、ドレイン電極及びゲート電極に書き込み時よりも低い電圧が印加されて行われることを特徴とする、不揮発性記憶素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機半導体を用いた不揮発性記憶素子及び不揮発性メモリ並びに不揮発性記憶素子の制御方法に関する。

30

【背景技術】

【0002】

近年、有機半導体を用いたデバイスの進歩は目覚ましいものがあり、有機半導体薄膜をチャンネルとする電界効果トランジスタ（以下、単に FET と呼ぶ）や有機半導体薄膜を発光層とした発光素子の研究が鋭意進められている（非特許文献 1 参照）。これらの FET は大部分が p 型 FET であり、n 型 FET の報告例は少ない（非特許文献 2 参照）が、n 型 FET に用いられる有機半導体として、フラレン (C_{60}) が注目されている（非特許文献 3 参照）。

40

【0003】

SiFET を用いた不揮発メモリは様々な用途に使用されており、重要な電子素子である（非特許文献 4 参照）。有機半導体を用いた不揮発性メモリとしては、強誘電性や焦電性を有する材料で記憶層を形成したメモリなどの研究が行われている（非特許文献 5 参照）。

【0004】

【非特許文献 1】電気学会編、「柔構造有機エレクトロニクス」、オーム社、2007年3月発行、pp. 107 - 174

【非特許文献 2】Lay- Lay Chua 他 6 名, "General observation of n-type field-effect behaviour in organic semiconductors", Nature, Vol.434, pp.194-199, 2005

50

【非特許文献3】Kenji Itaka 他7名, "High-Mobility C60 Field-Effect Transistors Fabricated on Molecular-Wetting Controlled Substrates", Adv. Mat., Vol.18, pp.1713-1716, 2006

【非特許文献4】西澤潤一編、「半導体研究第36巻、超LSI技術16 デバイスとプロセス その6」、工業調査会、1992年8月5日発行、pp.41-74

【非特許文献5】Yang Yang 他2名, "Organic Thin-Film Memory", MRS BULLETIN, pp.833837, November 2004

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来、有機半導体トランジスタでメモリを構成する場合、記憶層は強誘電性や焦電性などの性質を有している材料で形成されることが必要であるため、メモリの構造が複雑になり、容易に製造できないという課題がある。

【0006】

上記課題に鑑み、本発明の目的は、有機半導体を用いたトランジスタにより簡単な構造で電氣的に不揮発性記憶素子の動作が得られる、不揮発性記憶素子及び不揮発性メモリ並びに不揮発性記憶素子の制御方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明の不揮発性記憶素子は、有機半導体からなるチャンネルとチャンネルに接して設けられたゲート絶縁膜とゲート絶縁膜に設けられたゲート電極とチャンネルに接して設けられたソース電極及びドレイン電極とからなるトランジスタ構造を有し、チャンネルは、 C_{60} 又は C_{70} からなり、ゲート絶縁膜が無機物からなり、チャンネルとゲート絶縁膜との界面、又は、界面のチャンネル側の表面若しくはゲート絶縁膜の表面に、キャリアのトラップが形成されていることを特徴とする。

【0008】

上記構成によれば、有機半導体からなるチャンネルとゲート絶縁膜との界面又は界面のチャンネル側の表面若しくはゲート絶縁膜の表面に存在するトラップに、キャリアを蓄積したりまたは放出させたりすることで、不揮発性記憶素子を実現することができる。

【0009】

本発明の不揮発性メモリは、複数の不揮発性記憶素子のそれぞれがマトリクスの交点に配置され、各行のドレイン電極はビット線に接続され、各列のゲート電極がワード線に接続されており、不揮発性記憶素子は、有機半導体からなるチャンネルとゲート絶縁膜とゲート電極とソース電極とドレイン電極と、からなるトランジスタ構造を有し、チャンネルは、 C_{60} 又は C_{70} からなり、ゲート絶縁膜が無機物からなり、チャンネルとゲート絶縁膜との界面、又は、界面のチャンネル側の表面若しくはゲート絶縁膜の表面に、キャリアのトラップが形成されていることを特徴とする。

【0010】

上記構成によれば、所謂NOR型の不揮発性メモリを実現することができる。

【0011】

上記構成において、無機物は、好ましくは、二酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)、酸化イットリウム(Y_2O_3)、酸化タンタル(Ta_2O_5)、酸化ジルコニウム(ZrO)の何れかである。

不揮発性記憶素子または不揮発性メモリは、好ましくは基板上に形成されている。

【0012】

上記構成によれば、書き込み時と消去時において、大きなゲート閾値(V_{th})差を有する不揮発性記憶素子や不揮発性メモリを得ることができる。

10

20

30

40

50

【0013】

上記構成において、不揮発性記憶素子の書き込みは、好ましくは、ソース電極が接地され、ドレイン電極及びゲート電極に高電圧が印加されて行われる。不揮発性記憶素子の消去は、好ましくは、ドレイン電極が開放され、ゲート電極には負の電圧が印加され、ソース電極には正の電圧が印加されて行われる。また、不揮発性記憶素子の読み出しは、好ましくは、ソース電極が接地され、ドレイン電極及びゲート電極に書き込み時よりも低い電圧が印加されて行われる。

【0014】

上記構成によれば、不揮発性記憶素子及び不揮発性メモリの書き込み、消去、読み出しの何れも電氣的に制御することができる。

10

【発明の効果】

【0015】

本発明の不揮発性記憶素子及び不揮発性メモリによれば、有機半導体薄膜をチャンネルとした簡単な構造のトランジスタを不揮発性記憶素子として、電氣的に書き込み、消去、読み出しの制御を行うことができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。各図において同一又は対応する部材には同一符号を用い、本発明の各要素に分けて、実施するための具体的な形態について述べる。

20

図1は、本発明の不揮発性記憶素子の構成例を示す模式的な断面図である。本発明の不揮発性記憶素子1は、基板2と、基板2上に形成されたゲート絶縁膜3と、この絶縁膜3と基板2との間に配設されるゲート電極4と、ゲート絶縁膜3上に形成されるチャンネル5と、チャンネル5上に形成される主電極となるソース電極6及びドレイン電極7と、からなる。

【0017】

図2は、本発明の不揮発性記憶素子の別の構成例を示す模式的な断面図である。この不揮発性記憶素子15は、基板2と、基板2上に形成されたチャンネル5と、チャンネル5上に配設された絶縁膜3と、ゲート電極4と、基板2上に配設される主電極となるソース電極6及びドレイン電極7と、から構成されている。この不揮発性記憶素子15は、所謂スタガード型の構造を有している。

30

【0018】

基板2は、無機物からなる基板又はプラスチック基板を使用することができる。無機物からなる基板の材料としては、ガラス、アルミナ、サファイアなどを使用することができる。プラスチック基板の場合には、柔軟性や可撓性がある基板を好適に採用することができる。

【0019】

チャンネル5は、 C_{60} 又 C_{70} などのフラーレンのような有機半導体薄膜からなる。以下の説明では、チャンネル5はn型の導電性を有しているものとして説明する。

【0020】

ゲート絶縁膜3は、二酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)、酸化イットリウム(Y_2O_3)、酸化タンタル(Ta_2O_5)、酸化ジルコニウム(ZrO)のような無機物からなる酸化物材料を用いることができる。

40

【0021】

チャンネル5が C_{60} で形成され、ゲート絶縁膜3が酸化アルミニウムの場合、 C_{60} と酸化アルミニウムとの界面もしくは界面近傍に捕獲準位であるトラップ8(捕獲準位)が形成される。界面近傍とは、チャンネル5とゲート絶縁膜3との界面に対して、チャンネル5側またはゲート絶縁膜3側の表面を指す。このトラップ8は、チャンネル5内のキャリアを捕獲する。不揮発性記憶素子1がnチャンネルのMOS型トランジスタからなる場合には、トラップ8は電子を捕獲する。

50

【 0 0 2 2 】

本発明の不揮発性記憶素子 1 の寸法は、その用途に応じて印加電圧やドレイン電流に応じた所定の値とすればよい。基板 2 上に積層されるチャンネル 5 の厚さは、例えば 5 0 n m ~ 5 0 0 n m 程度とすることができる。ソース電極 6 とドレイン電極 7 との間隔、つまりゲート長は、例えば 1 0 μ m ~ 1 0 0 μ m とする。

【 0 0 2 3 】

図 3 は本発明の不揮発性記憶素子 1 の想定されるバンドダイヤグラムを示す図である。図 3 において、実線の状態が書き込み状態のバンドダイヤグラムを示しており、キャリアがトラップ 8 に捕獲される。点線の状態が読み出し状態のバンドダイヤグラムを示している。この場合、ソース電極 6 とドレイン電極 7 とのバイアス電圧が書き込み状態よりも小さいので、キャリアがトラップ 8 に捕獲されている状態が保持される。

10

【 0 0 2 4 】

図 4 は、本発明の不揮発性記憶素子 1 における動作を説明するための模式的な断面図であり、それぞれ、(A) が書き込み状態を、(B) が消去状態を、(C) が読み出し状態を示す図である。

図 4 (A) に示すように、ソース電極 6 とドレイン電極 7 との間に高電圧を加える。ゲート電極 4 とソース電極と間に高電圧を加える。高電圧は、+ 8 0 ~ + 1 0 0 V 程度である。この場合、ソース電極 6 からチャンネル 5 へ注入された電子は、その一部がトラップ 8 に捕獲される。この状態が書き込み状態であり、“ 1 ” の状態と決める。

【 0 0 2 5 】

図 4 (B) に示すように、消去状態は、ドレイン電極 7 を開状態とし、ゲート電極 4 へ負電圧を、ソース電極 6 へ正電圧を加えることで、トラップ 8 に捕獲されていた電子をソース電極 6 側に引き抜くことで実現することができる。消去状態のトラップ 8 には捕獲されている電子がない状態であり、この状態が消去状態または初期状態であり、“ 0 ” と決める。

20

【 0 0 2 6 】

図 4 (C) に示すように、不揮発性記憶素子 1 のソース電極 6 とドレイン電極 7 との間及びゲート電極 4 とソース電極 6 と間に、書き込み時よりも小さい電圧、つまり読み出し電圧を加える。読み出し電圧は、+ 5 ~ + 2 5 V 程度である。この場合には、トラップ 8 に電子が捕獲された場合には、ゲート電圧を印加しても、すぐには電流が流れない。つまり、不揮発性記憶素子 1 の閾値電圧 (V_{th}) は高くなる。このように閾値電圧が高いことから不揮発性記憶素子 1 が “ 1 ” の状態であることを判別することができる。

30

一方、トラップ 8 に電子が捕獲されていない場合には、ゲート電圧を印加すると、すぐに電流が流れるので不揮発性記憶素子 1 の閾値電圧 (V_{th}) は低くなる。この場合には、閾値電圧が低いことから、不揮発性記憶素子 1 は “ 0 ” の状態であることを判別することができる。

【 0 0 2 7 】

図 5 は、書き込み及び消去状態のドレイン電流変化を示す $I_d - V_{gs}$ 特性を示す図である。図 5 の横軸はゲートとソース間の電圧 V_{gs} (任意目盛) であり、縦軸はドレイン電流の I_d (任意目盛) である。ソースとドレイン間の電圧 (V_{ds}) は一定である。図 5 に示すように、消去状態では V_{th} は小さく、書き込み状態では V_{th} が大きいことが分かる。

40

【 0 0 2 8 】

本発明の不揮発性記憶素子 1 によれば、無機物の Si (シリコン) からなる NOR 型のフラッシュメモリと類似の記憶動作をさせることができる。 Si からなるフラッシュメモリの場合には、ゲート絶縁膜中にポリシリコンからなるフローティングゲートを設けている。本発明の不揮発性記憶素子 1 の場合には、ゲート絶縁膜 3 中にフローティングゲートを設けていないが、界面又は界面近傍のトラップ 8 が、 Si からなるフラッシュメモリにおけるフローティングゲートと類似の作用をするものと推定される。

【 0 0 2 9 】

50

図6は、本発明の不揮発性記憶素子を複数個用いたNOR型の不揮発性メモリの構造を示すブロック図である。不揮発性記憶素子1は、図2に示す不揮発性記憶素子15でもよい。

図6に示すように、NOR型の不揮発性メモリ20は、複数の不揮発性記憶素子22のそれぞれがマトリクスの交点に配置され、各行のドレイン電極は共通に接続するように配線されてビット線24に接続される。各列のゲート電極は共通に接続するように配線されてワード線26に接続されている。図示したマトリクスは2行×10列の場合を示している。各ビットとなる不揮発性記憶素子22のそれぞれは、添え字の数字が列及び行を示している。同様に、ビット線24の添え字の数字が行を示し、ワード線26の添え字の数字が列を示している。

10

【0030】

不揮発性メモリ20のビット線24は図示しないビット線駆動回路に接続される。同様に、ワード線26は図示しないワード線駆動回路に接続される。ビット線24に接続された不揮発性記憶素子22の何れか1個が導通すると、ビット線の電位が下がる。したがって、図5に示す不揮発性メモリ20は、NOR型の論理動作をする。

【0031】

次に、本発明の不揮発性記憶素子1の製造方法について説明する。

本発明の不揮発性記憶素子1は、基板2上にゲート電極4となる金属層を堆積し、フォトリソグラフィ法とエッチングによりゲート電極4のパターンを形成する。

次に、ゲート電極4のパターンが形成された基板2の表面全体に、 Al_2O_3 や SiO_2 などのゲート絶縁膜3を堆積する。

20

ゲート絶縁膜3を堆積した後、この上に C_{60} などからなる有機半導体薄膜を所定の厚さに堆積し、チャンネル5を形成する。

最後に、チャンネル5となる有機半導体薄膜上にソース電極6及びドレイン電極7となる金属層を堆積して、フォトリソグラフィ法とエッチングによりソース電極6及びドレイン電極7のパターンを形成する。

【0032】

チャンネル5となる有機半導体薄膜の薄膜堆積は、基板2上に厚みを制御して形成することができる方法であれば、何れの方法を用いてもよい。もちろん、有機半導体薄膜5の厚みを分子層単位で制御してもよい。このような薄膜堆積方法としては、各種真空蒸着法、真空蒸着法の一つである分子線蒸着法及びレーザーアブレーション法等が挙げられる。

30

【0033】

上記有機半導体薄膜を有する基板2には、書き込み、読み出し、消去用などの駆動回路を集積してもよい。図2に示す不揮発性記憶素子15及び図5に示すNOR型の不揮発性メモリ20も上記した製造方法により作製することができる。

【実施例1】

【0034】

以下、本発明の不揮発性記憶素子1について、実施例によりさらに詳細に説明する。

実施例1の不揮発性記憶素子1を下記のように製作した。

表面が[1120]面のサファイア基板2上に、厚さが30nmのアルミニウムからなるゲート電極4を作製して、その上に厚さが450nmのアモルファスのアルミナ膜(Al_2O_3)をRFスパッタ法で作製し、厚さが150nmの C_{60} 薄膜5を真空蒸着法で作製した。最後に、厚さが50nmのマグネシウム(Mg)からなるソース電極6及びドレイン電極7を形成した。

40

【0035】

上記工程において、 C_{60} 薄膜は、最初に、サファイア基板2を大気中において、1000で3時間及び750で3時間のアニール処理を施し、原子レベルで平坦なステップテラス構造を有する表面とした。このサファイア基板2を 5×10^{-8} Torrよりも高い真空度にした分子線蒸着装置内に設置した。

次に、サファイア基板2の温度を150に設定した後、 C_{60} 用ルツボの温度を300

50

～400 に設定し、ルツボ内の C_{60} を蒸発させて、膜厚が150nmの C_{60} 薄膜4をバッファ層3上に堆積した。このときの C_{60} 薄膜4の成膜速度は、5 /分であった。

【実施例2】

【0036】

ゲート絶縁膜3を二酸化シリコン(SiO_2)膜とした以外は、実施例1と同様にして、実施例2の不揮発性記憶素子1を製作した。

【0037】

次に、比較例について説明する。

(比較例1)

ゲート絶縁膜3となる450nmのアモルファスのアルミナ(Al_2O_3)膜上に、絶縁膜となる有機物としてのパリレンCを50nm堆積した以外は、実施例2と同様にして、比較例1の不揮発性記憶素子1を製作した。

【0038】

上記のようにして得た実施例及び比較例の不揮発性記憶素子1の特性について説明する。

図7に、実施例1及び比較例1の不揮発性記憶素子1の $I_d - V_{gs}$ 特性を示す。図の横軸は V_{gs} (V)であり、縦軸はドレイン電流 I_{ds} (A)である。 V_{ds} は100Vである。 V_{gs} は、負側から0Vを通過して最大100Vまで印加し、さらに、電圧を小さくして再び負側に戻した。

図7から明らかなように、実施例1の不揮発性記憶素子1は、 $I_d - V_{gs}$ 特性において大きなヒステリシスを示し、ゲート絶縁膜3においてメモリ作用が生起していることが分かる。これから、書き込みの場合の V_{th} は約50Vであり、消去状態の V_{th} は約5Vであることが分かる。図示しないが、実施例2の場合にも、大きなヒステリシスが得られた。書き込みの場合の V_{th} は約50Vで、消去状態の V_{th} は約5Vであった。

【0039】

一方、比較例1の不揮発性記憶素子は、 $I_d - V_{gs}$ 特性においてヒステリシスが小さく、ゲート絶縁膜3においてメモリ作用が殆ど生じていないことが分かる。

【0040】

図8は、実施例1の不揮発性記憶素子1の書き込み、読み出し、消去を繰り返したときのドレイン電流の時間変化を示す図である。図において、横軸は時間(分)、縦軸はドレイン電流 I_{ds} (A)を示している。書き込み電圧は $V_{ds} = V_{gs} = 100V$ であり、消去電圧は $V_{gs} = -40V$ とした。読み出し電圧は $V_{ds} = 5V$, $V_{gs} = 18V$ とした。図から明らかなように、実施例1の不揮発性記憶素子1では、書き込み、読み出し、消去が繰り返し可能であることが分かる。

【0041】

図9は、実施例2の不揮発性記憶素子1の書き込み、読み出し、消去を繰り返したときのドレイン電流の時間変化を示す図である。図において、横軸は時間(秒)、縦軸はドレイン電流 I_{ds} (A)を示している。書き込み、消去、読み出しのバイアス条件は、図7に示した実施例1の場合と同じである。図から明らかなように、実施例2の不揮発性記憶素子1では、書き込み、読み出し、消去が繰り返し可能であることが分かる。

【0042】

本発明は、上記実施例に限定されることなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。例えば、上記実施の形態で説明した不揮発性記憶素子1のチャンネル5やゲート絶縁膜3に用いる材料は、他の材料でもよいことは勿論である。

【図面の簡単な説明】

【0043】

【図1】本発明の不揮発性記憶素子の構成例を示す模式的な断面図である。

【図2】本発明の不揮発性記憶素子の別の構成例を示す模式的な断面図である。

【図3】本発明の不揮発性記憶素子のバンドダイヤグラムを示す図である。

10

20

30

40

50

【図4】本発明の不揮発性記憶素子における動作を説明するための模式的な断面図であり、それぞれ、(A)が書き込み状態を、(B)が消去状態を、(C)が読み出し状態を示す図である。

【図5】書き込み及び消去状態のドレイン電流変化を示す $I_d - V_{gs}$ 特性の図である。

【図6】本発明の不揮発性記憶素子を複数個用いた NOR 型の不揮発性メモリの構造を示すブロック図である。

【図7】実施例1及び比較例1の不揮発性記憶素子の $I_d - V_{gs}$ 特性を示す図である。

【図8】実施例1の不揮発性記憶素子の書き込み、読み出し、消去を繰り返したときのドレイン電流の時間変化を示す図である。

【図9】実施例2の不揮発性記憶素子の書き込み、読み出し、消去を繰り返したときのドレイン電流の時間変化を示す図である。

10

【符号の説明】

【0044】

1, 15 : 不揮発性記憶素子

2 : 基板

3 : ゲート絶縁膜

4 : ゲート電極

5 : チャンネル (有機半導体薄膜)

6 : ソース電極

7 : ドレイン電極

8 : トラップ

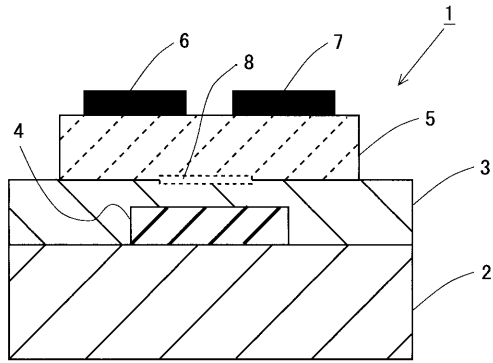
20 : NOR 型の不揮発性メモリ

24 : ビット線

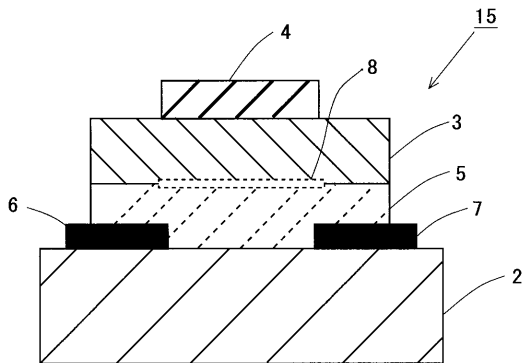
26 : ワード線

20

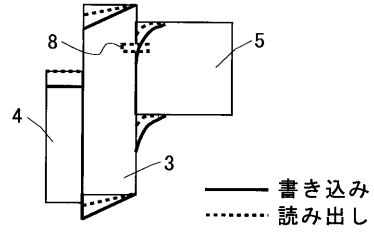
【図1】



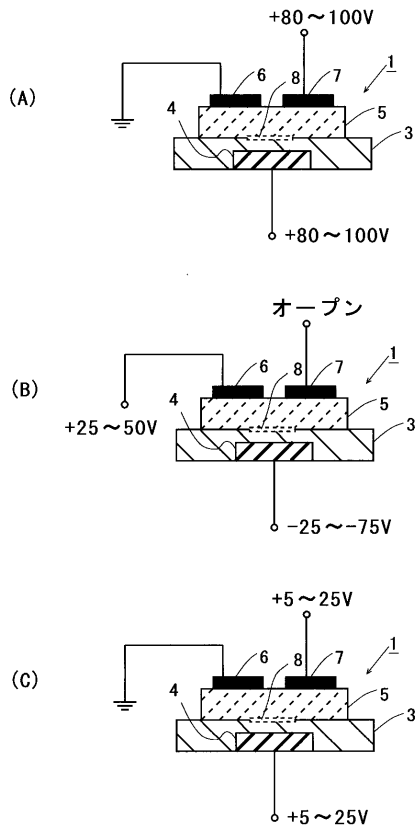
【図2】



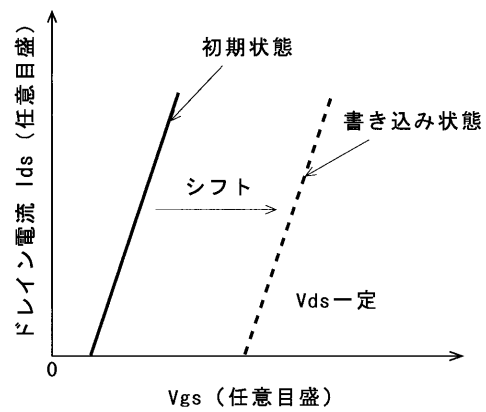
【図3】



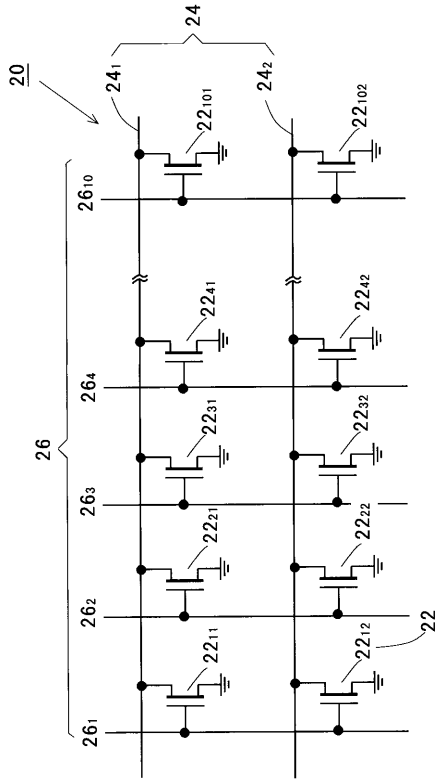
【図4】



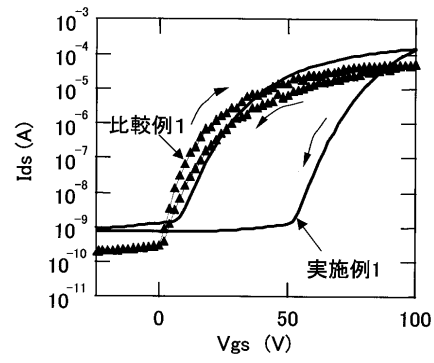
【図5】



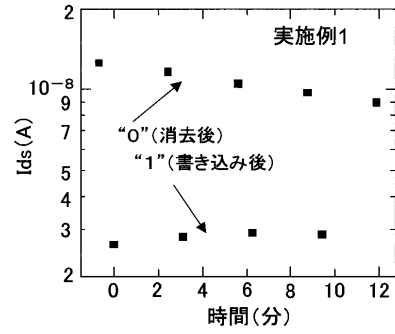
【図6】



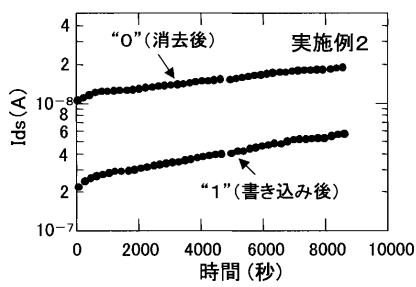
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 51/30 (2006.01)

(56)参考文献 特開2005-064452(JP,A)

特開2007-096289(JP,A)

特表2007-531287(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 7 / 2 8

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2

H 0 1 L 5 1 / 0 5

H 0 1 L 5 1 / 3 0