

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-120321

(P2006-120321A)

(43) 公開日 平成18年5月11日(2006.5.11)

(51) Int. Cl.

G 1 1 C 15/02 (2006.01)

F I

G 1 1 C 15/02

テーマコード (参考)

審査請求 有 請求項の数 2 O L (全 19 頁)

(21) 出願番号 特願2006-20835 (P2006-20835)
 (22) 出願日 平成18年1月30日 (2006.1.30)
 (62) 分割の表示 特願平10-225649の分割
 原出願日 平成10年8月10日 (1998.8.10)

(71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 100072051
 弁理士 杉村 興作
 (74) 代理人 100107227
 弁理士 藤谷 史朗
 (74) 代理人 100114292
 弁理士 来間 清志
 (74) 代理人 100100125
 弁理士 高見 和明
 (72) 発明者 荻野 博幸
 京都府京都市左京区吉田本町 京都大学大
 学院情報学研究所内

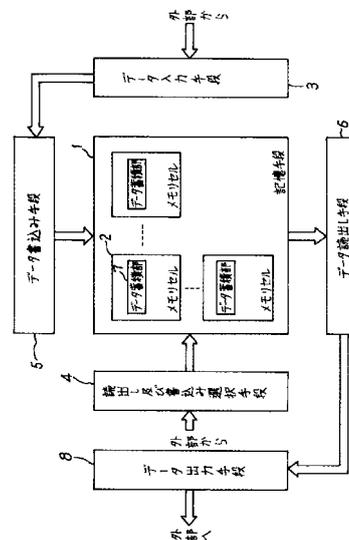
(54) 【発明の名称】 Exclusive-OR型機能メモリ

(57) 【要約】

【課題】機能メモリのメモリセルに書き込まれたデータと一致検索用のデータとのExclusive-ORを少ない構成素子で演算する。

【解決手段】Exclusive-OR型機能メモリのメモリセル2のデータ蓄積部7に書き込まれたデータと一致検索用のデータとの排他的論理和を演算するに当たり、一致検索用のデータが真の値である場合、データ蓄積部7に書き込まれたデータを、正論理と負論理のうちの一方のデータとして読み出し、一致検索用のデータが偽の値である場合、データ蓄積部7に書き込まれたデータを、その他方のデータとして読み出す。

【選択図】 図1



【特許請求の範囲】

【請求項1】

真の値又は偽の値のデータを記憶する複数のメモリセルを有する記憶手段と、
 前記メモリセルに記憶すべきデータ及び一致検索用のデータが外部から入力されるデータ入力手段と、
 前記メモリセルに記憶すべきデータを、前記メモリセルに個々に又は複数まとめて正論理又は負論理で書き込むデータ書込み手段と、
 前記メモリセルから、記憶されたデータを個々に又は複数まとめて読み出すデータ読出し手段と、
 記憶されたデータを読み出すべきメモリセル及び記憶すべきデータを書き込むべきメモリセルを選択する読出し及び書き込み選択手段と、
 前記データ読出し手段によって読み出されたデータを外部に出力するデータ出力手段とを具え、
 前記メモリセルの各々が、記憶すべきデータが書き込まれるデータ蓄積部を有し、
 前記データ読出し手段が、
 前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを1とし、前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを0とし、
 前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを0とし、前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを1とし、
 前記データ蓄積部を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体としたことを特徴とするExclusive-OR型機能メモリ。

【請求項2】

真の値又は偽の値のデータを記憶する複数のメモリセルを有する記憶手段と、
 前記メモリセルに記憶すべきデータ及び一致検索用のデータが外部から入力されるデータ入力手段と、
 前記メモリセルに記憶すべきデータを、前記メモリセルに個々に又は複数まとめて正論理又は負論理で書き込むデータ書込み手段と、
 前記メモリセルから、記憶されたデータを個々に又は複数まとめて読み出すデータ読出し手段と、
 記憶されたデータを読み出すべきメモリセル及び記憶すべきデータを書き込むべきメモリセルを選択する読出し及び書き込み選択手段と、
 前記データ読出し手段によって読み出されたデータを外部に出力するデータ出力手段とを具え、
 前記メモリセルの各々が、記憶すべきデータが書き込まれるデータ蓄積部を有し、
 前記データ読出し手段が、
 前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを0とし、前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを1とし、
 前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを1とし、前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを0とし、
 前記データ蓄積部を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体としたことを特徴とするExclusive-OR型機能メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データベース、人工知能、画像処理、文字列処理等で重要な検索や一致/不一致の問題を解くExclusive-OR型機能メモリ及びその読出し方法に関するものである。なお、本明細書中、Exclusive-OR型機能メモリとは、Exclusive-OR(排他的論理和)の演算を行う機能メモリを意味するものとする。

【背景技術】

【0002】

機能メモリ(Functional Memory)は、記憶素子に演算回路を付加して、単なる記憶だけでなく各種の演算を並列に行うことができるようにしたものである。この種のメモリに関連する分類としては、前記の他に、連想記憶(Associative Memory)、論理付き記憶(Logic in Memory)、分布論理記憶(Distributed Logic Memory)等がある。また、機能メモリ

10

の一種に連想記憶があり、これには、内容アドレスメモリ(Content Addressable Memory)、データアドレスメモリ(Data Address Memory)、探索メモリ(Search Memory)等と呼ばれ、これらの分類には諸説がある。

【0003】

この種のメモリのハードウェアの歴史は大変古く、1956年に発表されたShadeとMc Mahonの"The Cryotron Catalog Memory System"に始まるとされている。しかしながら、これらの研究や開発に関する歴史にも諸説があることを付け加えておく。

【0004】

次いで、磁気コア(1961年)などの磁気を利用したものや半導体のフリップフロップ回路(E.S.Lee;1963年)と一致検出回路の組合せによるものが試みられた。しかしながら、磁気コアを用いたものは、主記憶と同じ電流一致方式による選択制御を行うので、破壊読出しと非破壊読出しの制御が困難であり、結果的には速度の遅い破壊読出しを行う必要があったので検索速度が遅く、量産化されていない。その外には、磁気を用いたものに磁気バブルを用いたものが研究された時期もあった。

20

【0005】

現在では、半導体集積回路のSRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)と一致検出回路を組み合わせたものが実用化されている。しかしながら、SRAMやDRAM自体に比べてトランジスタ数が増加することやそれに伴う記憶容量の減少が問題で小容量のものに留まっている。例えば、(1)仮想記憶システムのアドレス変換(2)キャッシュメモリのメモリマッピングの高速化(3)記号アドレスの変換が実用化されている。

30

【0006】

近年、フラッシュメモリの技術を用いた構成素子が少なく大容量なものが実用化されつつあるが、データの書込み速度が十分でなく、DRAMやSRAMと同様の高速かつ大容量のものが実現されるには至っていない。

【0007】

また、機能メモリ素子の配列からWPBP(Word Parallel Bit Parallel)方式とWPBS(Word Parallel Bit Serial)方式のものがある。WPBP方式は、1回の命令で全てが演算できるが、集積度が増大するに従ってその構成、演算結果の読出し方式、消費電力等から適切に分割して演算するのが現実的である。

40

【発明の開示】

【発明が解決しようとする課題】

【0008】

機能メモリは、仮想記憶システムのアドレス変換、キャッシュメモリのメモリマッピングの高速化、記号アドレスの変換等の小規模の用途に加えて、データベース、人工知能、画像処理、大規模のリスト処理、ソーティング、テーブルの処理、データ構造の処理及びパターンの処理等で最も重要な検索や一致/不一致の問題を高速に解くことができる。しかしながら、既に説明したような長い歴史を持つとともにその重要性が指摘されてきたに

50

もかかわらず、特定用途の小規模メモリからの発展がない。

【0009】

一方、主記憶は計算機の発展にとって最も重要な素子であることから半導体ランダムアクセスメモリの研究開発が進み、DRAMの出現によって劇的な進歩を遂げ、既に1個の記憶素子（電荷を蓄積するコンデンサ）と1個のトランジスタで構成されるまでになっている。また、その占有面積も極限まで小さくなってきている。

【0010】

しかしながら、一般に、機能メモリは記憶素子及び演算素子から構成されている。すなわち、記憶素子が、主記憶で用いられるSRAMやDRAMから構成されていることから、素子とそれに伴う占有面積も広がるので、機能メモリの素子数が常にSRAMやDRAMより多くなり、その占有面積も増大する。また、専用の機能メモリを構成するよりは、大量に生産されるDRAMやSRAMから構成された主記憶と計算機で演算処理した方が汎用性があり、速度を犠牲にしても経済的に処理することができる。これらの事情から、既に説明したような長い歴史を持っているにもかかわらず、機能メモリは主記憶のように発展しなかった。

10

【0011】

近年、フラッシュメモリの技術を用いた構成素子数が少なく大容量化が可能なものも実用化されつつあるが、この場合でも、構成素子数がDRAMの2倍必要となり、データの書き込み速度が十分でなく、DRAMやSRAMと同様の高速かつ大容量のものが実現されるには至っていない。また、フラッシュメモリと同様の記憶素子で複数のしきい値を用いたものも考えられている。

20

【0012】

これまで説明したように、基本的なものから高機能の演算ができるものまで様々な機能メモリが提案されてきたが、集積化が進行するに従って、機能メモリに要求されることは

- (1) 半導体メモリに極力近い構造（1個のトランジスタと1個の記憶素子）
 - (2) WPBPに近いWPBS動作（データ転送速度や消費電力が許す範囲の並列演算）
 - (3) 単純な演算ができる機能に限定（一致/不一致：排他的論理和演算（すなわち、modulo-2を法とする加法演算））
- 等に集約されてきつつある。

30

【0013】

本発明の目的は、機能メモリのメモリセルに書き込まれたデータと一致検索用のデータとのExclusive-ORを少ない構成素子で演算することができるExclusive-OR型機能メモリ及びその読出し方法を提供することである。

【課題を解決するための手段】

【0014】

本発明のうち請求項1記載のExclusive-OR型機能メモリは、

真の値又は偽の値のデータを記憶する複数のメモリセルを有する記憶手段と、

前記メモリセルに記憶すべきデータ及び一致検索用のデータが外部から入力されるデータ入力手段と、

40

前記メモリセルに記憶すべきデータを、前記メモリセルに個々に又は複数まとめて正論理又は負論理で書き込むデータ書き込み手段と、

前記メモリセルから、記憶されたデータを個々に又は複数まとめて読み出すデータ読出し手段と、

記憶されたデータを読み出すべきメモリセル及び記憶すべきデータを書き込むべきメモリセルを選択する読出し及び書き込み選択手段と、

前記データ読出し手段によって読み出されたデータを外部に出力するデータ出力手段とを具え、

前記メモリセルの各々が、記憶すべきデータが書き込まれるデータ蓄積部を有し、

前記データ読出し手段が、

50

前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを1とし、前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを0とし、

前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを0とし、前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを1とし、

前記データ蓄積部を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体としたことを特徴とするものである。

10

【0015】

本発明のうち請求項1記載のExclusive-OR型機能メモリによれば、図1に示すように、記憶手段1のメモリセル2に記憶すべきデータ及び一致検索用のデータが外部からデータ入力手段3に入力されると、読出し及び書込み選択手段4は、このデータを書き込むべきメモリセル2のうちの少なくとも一つを選択する。その後、データ書込み手段5は、個々に又は複数まとめて選択されたメモリセル2に、記憶すべきデータを正論理又は負論理で書き込む。

【0016】

また、一致検索用のデータ及び部分検索のためのフラグが与えられた読出し及び書込み選択手段4によって読み出すべきメモリセル2が選択されると、データ読出し手段6は、真の値の一致検索用のデータを読み出した場合、その一致検索用のデータに対応するメモリセル2のデータ蓄積部7に書き込まれたデータを、正論理と負論理のうちの一方のデータとして読み出し、偽の値の一致検索用のデータを読み出した場合、その一致検索用のデータに対応するデータ蓄積部7に書き込まれたデータを、その他方のデータとして読み出す。読み出されたデータは、データ出力手段8によって外部に出力される。

20

【0017】

このように一致検索用のデータの真又は偽の値に応じてデータ蓄積部7に書き込まれたデータを正論理又は負論理のデータとして読み出すことによって、メモリセル2が別の排他的論理和演算回路を有することなく、データ蓄積部7に書き込まれたデータと一致検索用のデータとの排他的論理和を演算することができるようになる。

30

【0018】

また、データ蓄積部7(図1)を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体とすることによって、分極方向に応じて真及び偽の値のデータを決定して1ビットの記憶を行うことができる。

【0019】

更に詳しく説明すると、一致検索用のデータが真の値である場合、データ蓄積部に書き込まれたデータを正論理と負論理のうちの一方のデータとして読み出す。例えば、データの真の値を1とするとともに偽の値を0とした正論理で表現する。すなわち、データ蓄積部に正論理で書き込まれたデータを正論理で読み出すと、一致検索用のデータが1であるとともにデータ蓄積部に書き込まれたデータが0である場合には、メモリセルからの読出しデータ(すなわち、演算結果)を1とし、一致検索用のデータが1であるとともにデータ蓄積部に書き込まれたデータが1である場合には、メモリセルからの読出しデータを0とする。

40

【0020】

それに対して、一致検索用のデータが偽の値である場合、データ蓄積部に書き込まれたデータをその他方のデータとして読み出す。同様にデータの真の値を0とするとともに偽の値を1とした負論理で表現すると、一致検索用のデータが0であるとともにデータ蓄積部に書き込まれたデータが0である場合には、メモリセルからの読出しデータを0とし、一致検索用のデータが0であるとともにデータ蓄積部に書き込まれたデータが1である場合には、メモリセルからの読出しデータを1とする。

50

【0021】

このように一致検索用のデータの真又は偽の値に応じてデータ蓄積部に書き込まれたデータを正論理又は負論理のデータとして読み出すことによって、メモリセルが別の排他的論理和演算回路を有することなく、Exclusive-OR型機能メモリのメモリセルのデータ蓄積部に書き込まれたデータと一致検索用のデータとの排他的論理和を演算することができるようになる。なお、一方、データの真の値を0とするとともに偽の値を1とした負論理で表現すると、すなわち、データ蓄積部に負論理で書き込まれたデータを負論理で読み出しても、同様の結果が得られる。また、本明細書中、データ蓄積部に正論理で書き込まれたデータを正論理で読み出すこと及びデータ蓄積部に負論理で書き込まれたデータを負論理で読み出すことを「肯定的に読み出す」と定義し、データ蓄積部に正論理で書き込まれたデータを負論理で読み出すこと及びデータ蓄積部に負論理で書き込まれたデータを正論理で読み出すことを「否定的に読み出す」と定義する。

10

【0022】

本発明のうち請求項2記載のExclusive-OR型機能メモリは、

真の値又は偽の値のデータを記憶する複数のメモリセルを有する記憶手段と、

前記メモリセルに記憶すべきデータ及び一致検索用のデータが外部から入力されるデータ入力手段と、

前記メモリセルに記憶すべきデータを、前記メモリセルに個々に又は複数まとめて正論理又は負論理で書き込むデータ書き込み手段と、

前記メモリセルから、記憶されたデータを個々に又は複数まとめて読み出すデータ読出し手段と、

20

記憶されたデータを読み出すべきメモリセル及び記憶すべきデータを書き込むべきメモリセルを選択する読出し及び書き込み選択手段と、

前記データ読出し手段によって読み出されたデータを外部に出力するデータ出力手段とを具え、

前記メモリセルの各々が、記憶すべきデータが書き込まれるデータ蓄積部を有し、

前記データ読出し手段が、

前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを0とし、前記一致検索用のデータが1であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを1とし、

30

前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが0である場合には、前記メモリセルからの読出しデータを1とし、前記一致検索用のデータが0であるとともに前記データ蓄積部に書き込まれたデータが1である場合には、前記メモリセルからの読出しデータを0とし、

前記データ蓄積部を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体としたことを特徴とするものである。

【0023】

この場合も、メモリセルが別の排他的論理和演算回路を有することなく、Exclusive-OR型機能メモリのメモリセルのデータ蓄積部に書き込まれたデータと一致検索用のデータとの排他的論理和を演算することができるようになり、データ蓄積部7(図1)を、分極方向に応じた真の値又は偽の値のデータを保持する強誘電体又は誘電体とすることによって、分極方向に応じて真及び偽の値のデータを決定して1ビットの記憶を行うことができる。

40

【発明を実施するための最良の形態】

【0024】

本発明によるExclusive-OR型機能メモリ及びその読出し方法の実施の形態を、図面を参照して詳細に説明する。図2は、本発明によるExclusive-OR型機能メモリを示す図である。このExclusive-OR型機能メモリは、真の値又は偽の値のデータを記憶する行列配置された複数のメモリセル及びその周辺部(いずれも図示せず)を有する記憶部9と、制御部1

50

0、ワード処理部 1 1 及びデータ処理部 1 2 を有する一致 / 不一致検出可能な処理部 1 3 とを具える。

【0025】

制御部 1 0 は、外部の計算機及び / 又は各種の機器（いずれも図示せず）に接続した制御線 1 4 を通じた制御命令によって、記憶部 9、ワード処理部 1 1 及びデータ処理部 1 2 の動作を制御する。

【0026】

ワード処理部 1 1 は、アドレスデコーダ部 1 1 a、演算結果処理部 1 1 b 及び演算結果レジスタ 1 1 c を有する。アドレスデコーダ部 1 1 a は、外部の計算機及び / 又は各種の機器（いずれも図示せず）に接続したアドレス線 1 5 を通じてアドレスを受け取り、これを復号化して記憶部 9 のメモリセル（図示せず）のアドレスが選択できるようにする。演算結果レジスタ 1 1 c は、記憶部 9 のメモリセルのアドレス方向から一度に、又は複数に分けて、又は単数でワード単位で得られた排他的論理和の演算結果（この演算については後に説明する。）を保持し、演算結果処理部 1 1 b から参照できるようにする。演算結果処理部 1 1 b は、演算結果の読出しの変化を検出し又はカウントして、演算結果レジスタ 1 1 c に得られた一致 / 不一致の演算結果を、一致検出回路（図示せず）を用いて全体の一致 / 不一致の答えを得る。その答えは、演算結果線 1 6 を通じてデータ処理部 1 2 に伝送され、データ線 1 7 を通じて外部に答えを送る。

10

【0027】

データ処理部 1 2 は、データレジスタ 1 2 a 及びマスクレジスタ 1 2 b を有し、データ線 1 7 から入力されたデータ及びマスクをデータレジスタ 1 2 a 及びマスクレジスタ 1 2 b にそれぞれセットし、書込みの際にはデータ選択線（図示せず）の対をデータに対応させてワード処理部 1 1 からのアドレス選択信号に従って書込み動作を行う。

20

【0028】

図 3 は、本発明による他の Exclusive-OR 型機能メモリを示す図である。この Exclusive-OR 型機能メモリは、一致 / 不一致検出可能であり、排他的論理和 (Exclusive-OR)、すなわち、modulo-2 を法とする加法の演算結果を処理し、一致 / 不一致の箇所の特定やそのアドレスや参照ポインタを答えるなどの複雑な動作が可能である。

【0029】

この Exclusive-OR 型機能メモリも、真の値又は偽の値のデータを記憶する行列配置された複数のメモリセル及びその周辺部（いずれも図示せず）を有する記憶部 1 8 と、制御部 1 9、ワード処理部 2 0 及びデータ処理部 2 1 を有する一致 / 不一致検出可能な処理部 2 2 とを具える。なお、記憶部 1 8 及び制御部 1 9 は、図 2 の記憶部 9 及び制御部 1 0 と同様な構成及び動作を有する。

30

【0030】

ワード処理部 2 0 は、アドレスデコーダ / アドレスエンコーダ部 2 0 a、演算結果処理部 2 0 b 及び演算結果レジスタ 2 0 c を有する。アドレスデコーダ / アドレスエンコーダ部 2 0 a は、外部の計算機及び / 又は各種の機器（いずれも図示せず）に接続したアドレス線 2 3 を通じてアドレスを受け取り、これを復号化して記憶部 1 8 のメモリセルのアドレスが選択できるようにするとともに、アドレスに対応した参照ポインタを得てそれを符号化して、アドレス線 2 3 又は演算結果線 2 4 を通じたデータ線 2 5 から答えを送り出す。また、演算結果処理部 2 0 b は、演算結果レジスタ 2 0 c の演算結果を分離して、一致 / 不一致のアドレスを特定する。

40

【0031】

データ処理部 2 1 は、データレジスタ 2 1 a 及びマスクレジスタ 2 1 b を有する。データレジスタ部 2 1 a は n 個のデータレジスタ 2 1 a - 1 ~ 2 1 a - n を有し、記憶部 1 8 の被演算データを読み出し、それを交換し又は変更する。

【0032】

図 4 は、本発明による Exclusive-OR 型機能メモリの第 1 の記憶部を示す図である。この記憶部は、図 2 及び 3 の記憶部 9 及び 1 8 に対応するものであり、行列配置された複数の

50

メモリセル 26 と、ワード処理部 11 (図 2) 又は 20 (図 3) から受け取ったアドレス選択信号に応じてアドレスを選択するアドレス選択部 27 と、このアドレス選択部 27 の選択に応じてメモリセル 26 に書き込むべきデータを書き込むデータ書込み部 28 と、後に説明するような演算結果及びアドレスを読み出す演算結果 / アドレス読出し部 29 とを有する。なお、メモリセル 26 に書き込むべきデータはデータ処理部 12 (図 2) 又は 21 (図 3) から供給され、演算結果 / アドレス読出し部 29 は、メモリセル 26 を 1 ワード単位として後に説明するようにして演算することによって変化を一度に、又は複数に分けて、又は単数で検出し又はカウントして演算結果をアドレスの集合として集め、それをワード処理部 11 (図 2) 又は 20 (図 3) に供給する。

【0033】

図 5 は、本発明による Exclusive-OR 型機能メモリの第 2 の記憶部を示す図である。図 2 及び 3 の記憶部 9 及び 18 に対応するこの記憶部は、行列配置された複数のメモリセル 30 と、ワード処理部 11 (図 2) 又は 20 (図 3) から受け取ったアドレス選択信号に応じてアドレスを選択するアドレス選択部 31 と、このアドレス選択部 31 の選択に応じてメモリセル 30 に書き込むべきデータを書き込むデータ書込み部 32 と、後に説明するような演算結果及びデータを読み出す演算結果 / データ読出し部 33 とを有する。なお、メモリセル 30 に書き込むべきデータもデータ処理部 12 (図 2) 又は 21 (図 3) から供給され、演算結果 / データ読出し部 33 は、メモリセル 26 を各 1 ワードを構成するビット単位の集合として変化を一度に、又は複数に分けて、又は単数で検出し又はカウントして演算結果を集め、それをデータ処理部 12 (図 2) 又は 21 (図 3) に供給する。

10

20

【0034】

図 6 は、本発明による Exclusive-OR 型機能メモリの第 3 の記憶部を示す図である。図 2 及び 3 の記憶部 9 及び 18 に対応するこの記憶部は、行列配置された複数のメモリセル 34 と、ワード処理部 11 (図 2) 又は 20 (図 3) から受け取ったアドレス選択信号に応じてアドレスを選択するアドレス選択部 35 と、このアドレス選択部 35 の選択に応じてメモリセル 34 に書き込むべきデータを書き込むデータ書込み部 36 と、後に説明するような演算結果及びアドレスを読み出す演算結果 / データ読出し部 37 と、後に説明するような演算結果及びデータを読み出す演算結果 / データ読出し部 38 とを有する。なお、メモリセル 34 に書き込むべきデータもデータ処理部 12 (図 2) 又は 21 (図 3) から供給され、演算結果 / アドレス読出し部 37 は、メモリセル 26 を 1 ワード単位として後に説明するようにして演算することによって変化を一度に、又は複数に分けて、又は単数で検出し又はカウントして演算結果をアドレスの集合として集め、それをワード処理部 11 (図 2) 又は 20 (図 3) に供給し、演算結果 / データ読出し部 38 は、メモリセル 26 を各 1 ワードを構成するビット単位の集合として変化を一度に、複数に分けて又は単数で検出し又はカウントして演算結果を集め、それをデータ処理部 12 (図 2) 又は 21 (図 3) に供給する。この場合、演算結果 / アドレス読出し部 37 及び演算結果 / データ読出し部 38 を設けることによって、複雑な演算結果の高速処理を可能にする。

30

40

【0035】

図 7 は、図 5 の記憶部の一例を示す図であり、これを用いて本発明による Exclusive-OR 型機能メモリ及びその読出し方法の動作の一例を説明する。なお、図 7 において、図 5 と同様の符号を用いるが、簡単のためにメモリセル 30 を一つのみ示した。

【0036】

本例では、メモリセル 30 は、NMOS トランジスタ 39 と、それに接続した導線を巻回することによって磁気回路を構成する (例えば、集積化するには環状に磁化できる構造を有する) 強磁性体 40 (例えば、パーマロイ) とを有する。

【0037】

データ書込み部 32 は、単数又は複数のメモリセル 30 からなる行又は列をワードと呼ばれる単位としてこれに付けられた番地に書込みを行うに当たり、単数又は複数のビットからなるデータを準備し、記憶すべきメモリセル 30 をアドレス選択部 31 によって選択し、そのデータを、NMOS トランジスタ 39 のソース及びドレインが接続されたデータ

50

線 4 1 a 及び 4 1 b を通じて強磁性体 4 0 に書き込む。また、読出し動作の際には、データ書込み部 3 2 をデータ読出しの電源として、電流をデータ線 4 1 a 及び 4 1 b に供給し、読み出す対象となる単数又は複数のメモリセル 3 0 を選択し、読出し動作に備える。

【 0 0 3 8 】

演算結果 / データ読出し部 3 3 は、強磁性体 4 0 に巻回した導線を非反転入力部及び反転入力部に接続するとともに出力部をワード処理部 1 1 (図 2) 又は 2 0 (図 3) に接続したセンスアンプ 4 2 を有する。

【 0 0 3 9 】

メモリセル 3 0 を使用するに先立って、次の表のように初期化する。

【 0 0 4 0 】

10

【表 1】

消去データ	初期化前の記憶内容	記憶内容の遷移	初期化後の記憶内容
0	0	0	0
	1	1 → 0	

【 0 0 4 1 】

なお、この場合、データの真の値を 1 とするとともに偽の値を 0 とした正論理で表現する。また、通常、メモリセル 3 0 の動作は、強磁性体 4 0 に書き込んだデータの論理と読み出したときのデータの論理が同一になるものとして説明する。この正論理で表現されたデータを、次の表に示すような書込み動作で強磁性体 4 0 に記憶する。

20

【 0 0 4 2 】

【表 2】

書込みデータ	書込み前の記憶内容	記憶内容の遷移	書込み後の記憶内容
0	0	0	0
	1	1 → 0	
1	0	0 → 1	1
	1	1	

30

【 0 0 4 3 】

なお、読出し動作については、メモリセル 3 0 に記憶されたデータが読み出せるように書込み動作の逆に強磁性体 4 0 を駆動し、次の表のようにして行う。

【 0 0 4 4 】

【表 3】

読出しデータ	読出し前の記憶内容	記憶内容の遷移	読み出されたデータ
0	0	0	0
	1	1 → 0	1

40

【 0 0 4 5 】

また、データの読出しには破壊読出しと非破壊読出しとがあるが、破壊読出しを行うと読出しと同時に記憶内容が破壊されるので、読出し後には再書込みを行って記憶内容を復元する必要がある。このような再書込みは次の表のようにして行う。

【 0 0 4 6 】

【表 4】

再書込みデータ	読出し後の記憶内容	記憶内容の遷移	復元された記憶内容
1	0	0→1	1

【0047】

次に、Exclusive-OR演算動作について説明する。まず、強磁性体40に書き込まれたデータを肯定的に読み出す場合、すなわち、強磁性体40に正論理で書き込まれたデータを正論理のデータとして読み出す場合、次の表のようになる。

【0048】

【表 5】

読出しデータ	読出し前の記憶内容	記憶内容の遷移	読み出されたデータ
0	0	0	0
	1	1→0	1

【0049】

なお、破壊読出し動作の場合、次の表のような再書込み動作が必要となる。

【0050】

【表 6】

再書込みデータ	読出し後の記憶内容	記憶内容の遷移	復元された記憶内容
1	0	0→1	1

【0051】

次に、強磁性体40に書き込まれたデータを否定的に読み出す場合、すなわち、強磁性体40に正論理で書き込まれたデータを負論理のデータとして読み出す場合、次の表のようになる。

【0052】

【表 7】

読出しデータ	読出し前の記憶内容	記憶内容の遷移	読み出されたデータ
1	0	0→1	1
	1	1	0

【0053】

なお、破壊読出し動作の場合、次の表のような再書込み動作が必要となる。

【0054】

10

20

30

40

【表 8】

再書込み データ	読出し後の 記憶内容	記憶内容 の遷移	復元された 記憶内容
0	1	1 → 0	0

【0055】

一方、強磁性体 40 に記憶された内容を肯定的に読み出す方法と否定的に読み出す方法とを組み合わせた動作は、次の表に示した Exclusive-OR 演算と同一である。

10

【0056】

【表 9】

記憶内容	読出しデータ	記憶状態の遷移	読み出されたデータ
0	0	0	0
	1	0 → 1	1
1	0	1 → 0	1
	1	1	0

20

【0057】

したがって、これら肯定的に読み出す方法と否定的に読み出す方法を組み合わせることによって、Exclusive-OR 演算を行うことができる。その結果、読出しデータ（演算データ）の真偽に応じて肯定的に読み出す方法又は否定的に読み出す方法が行われ、結果的に Exclusive-OR 演算がデータ処理部（図示せず）に出力される。

【0058】

次に、強磁性体を用いた場合の肯定的な読出し及び否定的な読出しについて、図 8 を用いて更に具体的に説明する。読出しデータが真の場合、参照電源 43a を有するデータ読出し部 44a（図 8B）を選択し、端子 a（図 8A）を端子 a'（図 8B）に接続するとともに端子 b（図 8A）を端子 b'（図 8B）に接続する。強磁性体 40'（図 8A）が矢印 A 方向に磁化されている場合、その逆方向の矢印 B 方向に駆動することによって磁束変化が生じ、それに対して、強磁性体 40'（図 8A）が矢印 B 方向に磁化されている場合、その磁化方向と同一の矢印 B 方向に駆動することによって磁束変化が生じることなく、これによって、誘導される起電力を肯定的に検出器 45（図 8A）によって“1”，“0”の値を検出する。

30

【0059】

それに対して、読出しデータが偽の場合、参照電源 43b（図 8C）を有するデータ読出し部 44b（図 8C）を選択し、端子 a（図 8A）を端子 a''（図 8C）に接続するとともに端子 b（図 8A）を端子 b''（図 8C）に接続する。強磁性体 40'（図 8A）が矢印 A 方向に磁化されている場合、その磁化方向と同一の矢印 A 方向に駆動することによって磁束変化が生じることなく、それに対して、強磁性体 40'（図 8A）が矢印 B 方向に磁化されている場合、その逆方向の矢印 A 方向に駆動することによって磁束変化が生じ、これによって、誘導される起電力を否定的に検出器 45（図 8A）によって“0”，“1”の値を検出する。

40

【0060】

このようにして、磁化方向 A，B を肯定的読出し方法又は否定的読出し方法によって読み出すことによって、Exclusive-OR 演算と同一結果が得られる。

【0061】

次に、図 7 の記憶部の動作を更に具体的に説明する。ここでは、データの真の値を“1”

50

、例えば5 Vとし、偽の値を“0”、例えば0 Vとした正論理で表現する。最初に記憶動作について説明すると、強磁性体40、すなわち、メモリセル30にデータを記憶するに当たり、データ書込み部32に理論値1、例えば、5 Vが与えられ、これによってデータ書込み部32は、データ線41 a及び41 bにそれぞれ5 V及び0 Vの電圧を付与し、アドレス選択部31がメモリセル30を選択する前に又はメモリセル30を選択すると同時に、データ線41 a及び41 bにデータとなる電圧又は電荷を加える。

【0062】

アドレス選択部31によってアドレスを選択するために、NMOSトランジスタ39のゲートに、例えば5 Vの電圧が印加されると、NMOSトランジスタ39がオンになり、そのソース-ドレイン間に電流が流れ、データ線41 a及び41 bを通して強磁性体40に供給された電圧又は電流の方向に応じた磁気が、例えば論理値1に対応する矢印C方向に発生する。

10

【0063】

それに対して、NMOSトランジスタ39をオフにすると、強磁性体40のヒステリシス特性によって強磁性体40には矢印C方向の残留磁束が残り、結果的には論理値1のデータが記憶される。

【0064】

同様に、論理値0の記憶は、データ書込み部32によってデータ線41 a及び41 bにそれぞれ0 V及び5 Vの電圧を付与し、論理値1の書込みと逆の論理値0に対応したB方向に強磁性体40が磁化されるように電圧又は電荷を加える。これによって、強磁性体40には論理値0に対応した矢印D方向の残留磁束によるデータが記憶される。

20

【0065】

次に、読出し動作について説明する。データを肯定的に読み出す場合、記憶したデータと同一の値が読み出せるようにするために、書込みを行ったデータの電圧又は電流の方向と逆に駆動する。例えば、データ線41 a及び41 bに0 V及び5 Vをそれぞれ付与し、読出しと同時にアドレス選択してNMOSトランジスタ39をオンにし、強磁性体40を駆動する。これによって、センスアンプ42によって記憶内容を検出することができる。

【0066】

例えば、論理値1が残留磁束として矢印C方向に記憶されている場合には、この磁束を変化させることができるように矢印D方向に磁化させると、その変化が電磁誘導によって起電力として誘起される。その変化をセンスアンプ42で検出することによって記憶内容の論理値1が読み出される。

30

【0067】

同様に、論理値0が記憶されている場合には、例えば、残留磁束が矢印D方向に記憶されているので、読出しのために矢印D方向に磁束を変化させても残留磁束の変化がなく、したがって、誘起される起電力もなく、センスアンプ42からは論理値0が得られる。ここでは、強磁性体40の残留磁束が破壊されてしまうまで磁束を変化させて読み出す方法を破壊読出し方法といい、残留磁束が破壊されない程度、例えば、破壊読出しに必要な電流又は電圧の約1/2で駆動して読み出した後、磁束をなくすと元の記憶状態に復元する読出し方法を非破壊読出し方法という。

40

【0068】

なお、データを否定的に読み出す場合、書込み方向と同一方向に、例えば、論理値1を記憶した矢印C方向に強磁性体40を駆動すると磁束の変化がなく、センスアンプ42は、記憶データの否定の論理値0を出力する。それに対して、記憶データの論理値0に相当する残留磁束が例えば矢印D方向に記憶されている場合、磁束の変化が生じ、センスアンプ42からは記憶データの否定の論理値1が得られる。

【0069】

図9は、図4の記憶部の一例を示す図である。なお、図9において、図4と同様の符号を用いるが、メモリセル26を一つのみ示した。本例では、メモリセル26は、NMOSトランジスタ46と、それに接続した導線を巻回することによって磁気回路を構成する強

50

磁性体 47 とを有する。データ書込み部 28 は、データ書込み部 32 (図 7) と同様の構成及び動作を有する。演算結果 / アドレス読出し部 29 は、強磁性体 47 に巻回した導線を非反転入力部及び反転入力部に接続したセンスアンプ 48 を有し、その非反転入力部をデータ書込み部 28 に接続し、その反転出力部を参照電源 49 に接続し、その出力部をワード処理部 11 (図 2) 又は 20 (図 3) に接続する。

【0070】

図 10 は、図 6 の記憶部の一例を示す図である。なお、図 10 において、図 6 と同様の符号を用いるが、メモリセル 34 を一つのみ示した。本例では、メモリセル 34 は、NMOS トランジスタ 47 (図 9) に対応する NMOS トランジスタ 50 と、強磁性体 48 (図 9) に対応する強磁性体 51 とを有する。演算結果 / アドレス読出し部 37 は、センスアンプ 42 (図 7) に対応するセンスアンプ 52 と、参照電源 43 (図 7) に対応する参照電源 53 とを有する。また、演算結果 / データ読出し部 38 は、センスアンプ 49 (図 9) に対応するセンスアンプ 54 を有する。

10

【0071】

図 11 は、図 5 の記憶部の一例を示す図である。なお、図 11 において、図 5 及び 9 と同様の符号を用いるが、メモリセル 30 を一つのみ示した。本例では、メモリセル 30 は、NMOS トランジスタ 47 (図 9) に対応する NMOS トランジスタ 55 と、強磁性体薄膜 56 (例えば、パーマロイ) とを有する。

【0072】

この場合、磁化ベクトルの回転によって磁束を反転させるようにしている。したがって、第 1 の値 (例えば、1) を、第 1 の磁化ベクトル E に対応させるとともに、第 2 の値 (例えば、0) を、第 1 の磁化ベクトル E の向きと正反対の向きを有する第 2 の磁化ベクトル F に対応させて、1 ビットの記憶を行う。

20

【0073】

図 12 は、図 4 の記憶部の他の例を示す図である。なお、図 12 において、図 4 及び 7 と同様の符号を用いるが、メモリセル 26 を一つのみ示した。本例では、メモリセル 26 は、NMOS トランジスタ 47 (図 9) に対応する NMOS トランジスタ 57 と、不揮発性の強磁性体 58 と、その記憶を読み出す磁気抵抗素子 59 とを有する。

【0074】

このような記憶部は、不揮発性の磁気ヒステリシスを利用するものであり、駆動電流又は電圧を制御することによって破壊読出し、非破壊読出し又はその両方を選択できるようにして実現する。なお、破壊読出しを行った場合には再書込みを行う。なお、読出し及び書込み動作については、図 7 ~ 12 で説明した記憶部と同様にして行われる。

30

【0075】

図 13 は、図 4 の記憶部の他の例を示す図である。なお、図 12 において、図 4 及び 7 と同様の符号を用いるが、メモリセル 26 を一つのみ示した。本例では、メモリセル 26 は、NMOS トランジスタ 47 (図 9) に対応する NMOS トランジスタ 60 と、不揮発性でヒステリシス特性を有する強誘電体 61 とを有する。

【0076】

次に、強誘電体を用いた場合の肯定的な読出し及び否定的な読出しについて、図 14 を用いて更に具体的に説明する。読出しデータが真の場合、参照電源 62 a (図 14 B) を有するデータ読出し部 63 a (図 14 B) を選択し、端子 c (図 14 A) を端子 c' (図 14 B) に接続するとともに端子 d (図 14 A) を端子 d' (図 14 B) に接続し、強誘電体 61' (図 14 A) の電位と参照電源 62 a (図 14 B) の電位とを比較し、その差又は等価性を検出器 64 a (図 14 B) によって肯定的に検出する。

40

【0077】

それに対して、読出しデータが偽の場合、参照電源 62 b (図 14 C) を有するデータ読出し部 63 b (図 14 C) を選択し、端子 c (図 14 A) を端子 c'' (図 14 C) に接続するとともに端子 d (図 14 A) を端子 d'' (図 14 C) に接続し、強誘電体 61' (図 14 A) の電位と参照電源 62 b (図 14 C) の電位とを比較し、その差又は等価性を

50

検出器 6 4 b (図 1 4 C) によって否定的に検出する。

【 0 0 7 8 】

このようにして、強誘電体 6 1 ' を肯定的読出し方法又は否定的読出し方法によって読み出すことによって、Exclusive-OR演算と同一結果が得られる。なお、図 1 3 の記憶部の読出し及び書込み動作は、図 7 で説明したものと同様に行われる。すなわち、読出し動作の際には、演算結果 / アドレス読出し部 2 9 に演算データを設定する。例えば、“ 0 ” (肯定的読出し) を設定すると、一方のデータ線がセンスアンプ 4 2 の第 1 のノードに結合され、他方のデータ線がセンスアンプ 4 2 の第 2 のノードに結合される。

【 0 0 7 9 】

次いで、参照電源 4 3 のスイッチをオンにして比較電位 V_{ref} を発生させるとともに、一方のデータ線と他方のデータ線との平衡をとることによって、読出し経路の平衡をとる。次いで、メモリセル 2 6 のワードライン及び参照電源 4 3 のスイッチをオンにして、演算を行う。次いで、センスアンプ 4 2 のスイッチをオンにして演算結果を読み出し、センスアンプの第 1 及び第 2 のノードの状態を確定した後、演算結果を出力する。同様にして、演算データを“ 1 ”に設定して否定的に読み出す。また、書込み動作も読出し動作と同様に行われる。

【 0 0 8 0 】

図 1 5 は、図 5 の記憶部の別の例を示す図である。なお、図 1 5 において、図 5 と同様の符号を用いるが、メモリセル 3 0 を一つのみ示した。本例では、メモリセル 3 0 は、NMOSトランジスタ 6 5 a 及び 6 5 b と、揮発性でヒステリシス特性を有する半導体の Flip/Flop からなるデータ蓄積部 6 6 とを具える。なお、図 1 5 の記憶部の読出し及び書込み動作は、図 7 で説明したものと同様に行われる。

【 0 0 8 1 】

本実施の形態によれば、一致検索用のデータの真又は偽の値に応じてデータ蓄積部に書き込まれたデータを正論理又は負論理のデータとして読み出すことによって、メモリセルが別の排他的論理和演算回路を有することなく、Exclusive-OR型機能メモリのメモリセルのデータ蓄積部に書き込まれたデータと一致検索用のデータとの排他的論理和を演算することができるようになる。

【 0 0 8 2 】

本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、上記実施の形態では、肯定的に読み出すに当たり、強磁性体、強誘電体等に正論理で書き込まれたデータを正論理で読み出した場合についてのみ説明したが、強磁性体、強誘電体等に負論理で書き込まれたデータを負論理で読み出すこともできる。また、否定的に読み出すに当たり、強磁性体、強誘電体等に正論理で書き込まれたデータを負論理で読み出した場合についてのみ説明したが、強磁性体、強誘電体等に正論理で書き込まれたデータを負論理で読み出すこともできる。

【 図面の簡単な説明 】

【 0 0 8 3 】

【 図 1 】 本発明によるExclusive-OR型機能メモリの態様を示す図である。

【 図 2 】 本発明によるExclusive-OR型機能メモリの実施の形態を示す図である。

【 図 3 】 本発明によるExclusive-OR型機能メモリの他の実施の形態を示す図である。

【 図 4 】 本発明によるExclusive-OR型機能メモリの第 1 の記憶部を示す図である。

【 図 5 】 本発明によるExclusive-OR型機能メモリの第 2 の記憶部を示す図である。

【 図 6 】 本発明によるExclusive-OR型機能メモリの第 3 の記憶部を示す図である。

【 図 7 】 図 5 の記憶部の一例を示す図である。

【 図 8 】 強磁性体を用いた場合の肯定的な読出し及び否定的な読出しについて説明するための図である。

【 図 9 】 図 4 の記憶部の一例を示す図である。

【 図 1 0 】 図 6 の記憶部の一例を示す図である。

【 図 1 1 】 図 5 の記憶部の他の例を示す図である。

10

20

30

40

50

【図12】図4の記憶部の他の例を示す図である。

【図13】図4の記憶部の他の例を示す図である。

【図14】強誘電体を用いた場合の肯定的な読出し及び否定的な読出しについて説明するための図である。

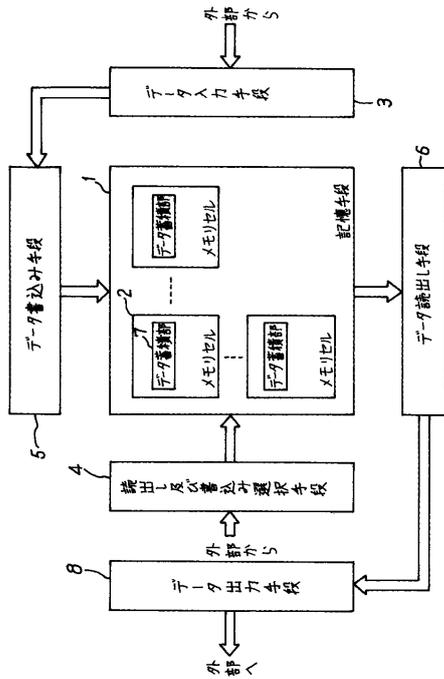
【図15】図5の記憶部の別の例を示す図である。

【符号の説明】

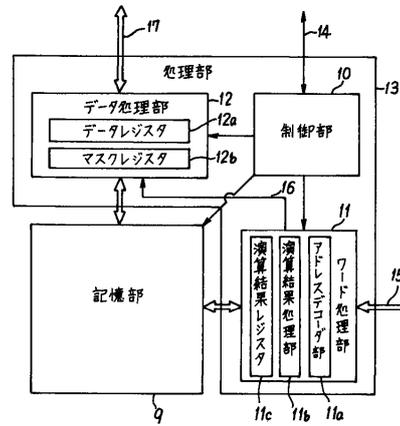
【0084】

- | | | |
|--|------------------------------|---------------------|
| 1 | 記憶手段 | |
| 2 | , 26, 30, 34 | メモリセル |
| 3 | データ入力手段 | 10 |
| 4 | 読出し及び書込み選択手段 | |
| 5 | データ書込み手段 | |
| 6 | データ読出し手段 | |
| 7 | データ蓄積部 | |
| 8 | データ出力手段 | |
| 9 | , 18 | 記憶部 |
| 10 | , 19 | 制御部 |
| 11 | , 20 | ワード処理部 |
| 11a | | アドレスデコーダ部 |
| 11b | , 20b | 演算結果処理部 |
| 11c | , 20c | 演算結果レジスタ |
| 12 | , 21 | データ処理部 |
| 12a | , 21a-1, 21-2, . . . , 21a-n | データレジスタ |
| 12b | , 21b | マスクレジスタ |
| 13 | , 22 | 処理部 |
| 14 | | 制御線 |
| 15 | , 23 | アドレス線 |
| 16 | , 24 | 演算結果線 |
| 17 | , 25, 41a, 41b | データ線 |
| 20a | | アドレスデコーダ/アドレスエンコーダ部 |
| 27 | , 31, 35 | アドレス選択部 |
| 28 | , 32, 36 | データ書込み部 |
| 29 | , 37 | 演算結果/アドレス読出し部 |
| 33 | , 38 | 演算結果/データ読出し部 |
| 39 | , 46, 50, 55, 57, 60 | NMOSトランジスタ |
| 40 | , 40', 47, 51, 58 | 強磁性体 |
| 42 | , 48, 52, 54 | センスアンプ |
| 43a | , 43b, 49, 53, 62a, 62b | 参照電源 |
| 44a | , 44b, 63a, 63b | データ読出し部 |
| 45 | , 64a, 64b | 検出器 |
| 56 | | 強磁性体薄膜 |
| 59 | | 磁気抵抗素子 |
| 61 | , 61' | 強誘電体 |
| a, b, c, d, a', b', c', d', a", b", c", d" | | 端子 |

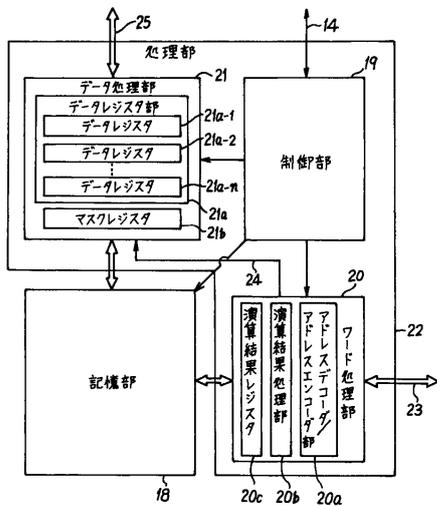
【 図 1 】



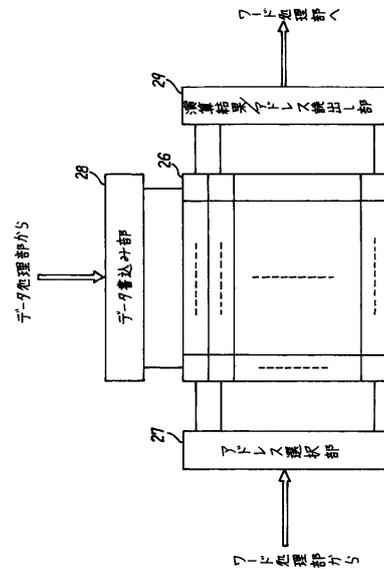
【 図 2 】



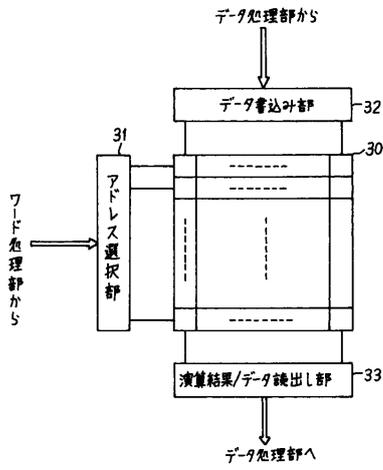
【 図 3 】



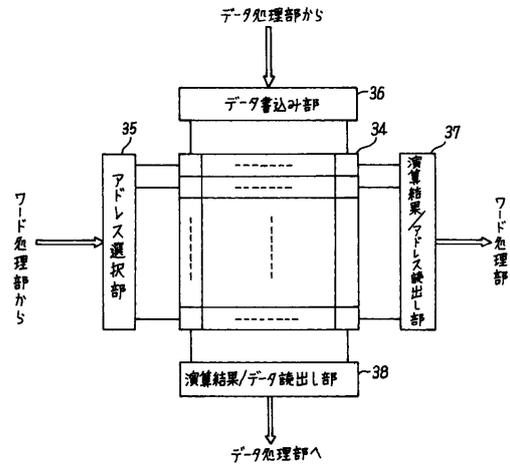
【 図 4 】



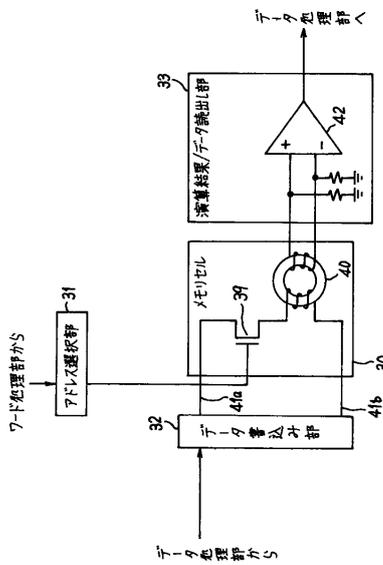
【 図 5 】



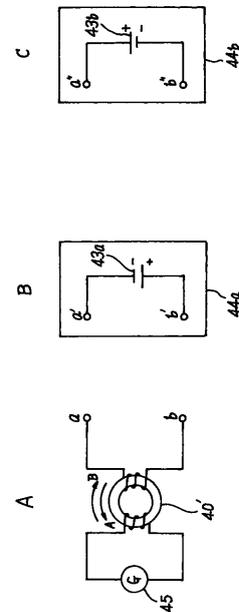
【 図 6 】



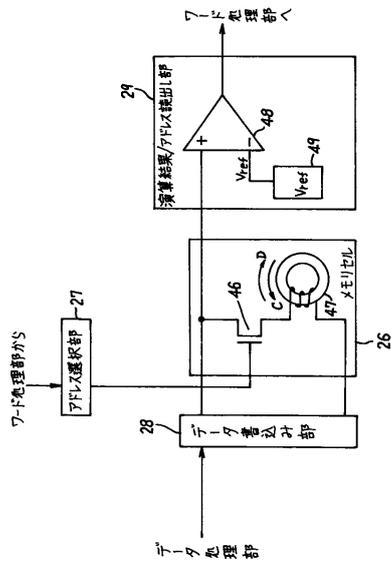
【 図 7 】



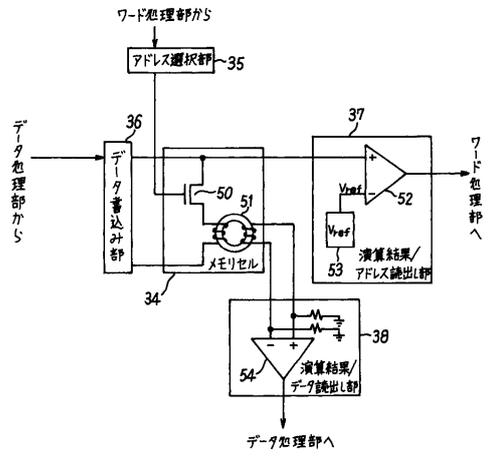
【 図 8 】



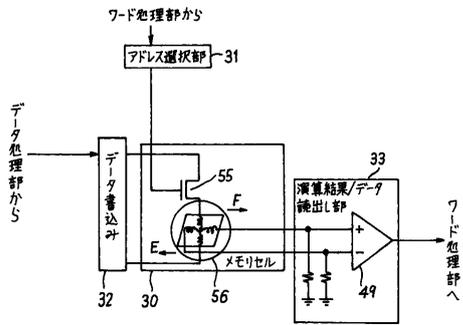
【図 9】



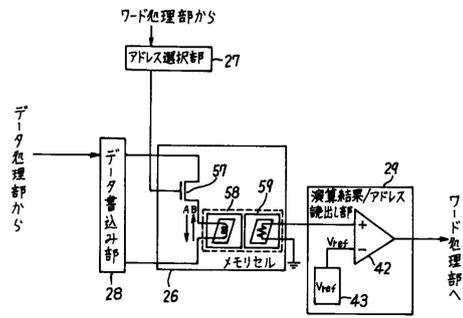
【図 10】



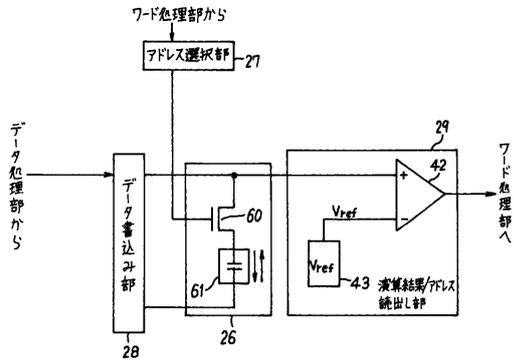
【図 11】



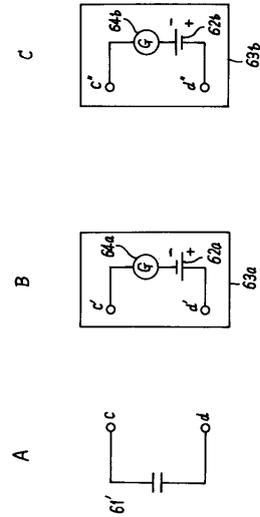
【図 12】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

