

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4538641号
(P4538641)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int.Cl. F I
H03M 3/02 (2006.01) H03M 3/02

請求項の数 12 (全 30 頁)

(21) 出願番号	特願2007-549019 (P2007-549019)	(73) 特許権者	504145364 国立大学法人群馬大学 群馬県前橋市荒牧町四丁目2番地
(86) (22) 出願日	平成18年8月1日(2006.8.1)	(74) 代理人	100122884 弁理士 角田 芳末
(86) 国際出願番号	PCT/JP2006/315200	(74) 代理人	100133824 弁理士 伊藤 仁恭
(87) 国際公開番号	W02007/066431	(72) 発明者	萩原 広之 群馬県伊勢崎市長沼町1496
(87) 国際公開日	平成19年6月14日(2007.6.14)	(72) 発明者	元澤 篤史 栃木県足利市泉町1518
審査請求日	平成20年9月4日(2008.9.4)	(72) 発明者	小林 春夫 群馬県桐生市相生町2-620-12 相生住宅1-202
(31) 優先権主張番号	特願2005-356688 (P2005-356688)		
(32) 優先日	平成17年12月9日(2005.12.9)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 高精度マルチバンドパス $\Delta\Sigma$ 変調器

(57) 【特許請求の範囲】

【請求項1】

アナログ信号が供給される減算回路と、

該減算回路の出力が供給されるN個のゼロ点を持つマルチバンドパスフィルタと、

該N個のゼロ点を持つマルチバンドパスフィルタの出力が供給され、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、

該アナログデジタル変換回路からのデジタル出力をアナログ信号に変換して前記減算回路にフィードバックするデジタルアナログ変換回路からなる 変調器において、

前記デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給す重み付けポイントを、前記マルチバンドパスフィルタの中心周波数に合わせて並列に

設けることを特徴とする 変調器。

【請求項2】

前記重み付けポイントは前記マルチバンドフィルタの次数Nに対応してN個のポイントからなることを特徴とする請求の範囲1に記載の 変調器。

【請求項3】

前記N個のゼロ点を持つマルチバンドパスフィルタはN次の信号帯域に直流成分を含まないマルチバンドパスフィルタであることを特徴とする請求項1又は2に記載の 変調器。

【請求項4】

前記N個のゼロ点を持つマルチバンドパスフィルタの伝達関数 $H(Z)$ は、次式で表されることを特徴とする請求項3に記載の変調器。

$$H(Z) = -Z^N / (1 + Z^N)$$

【請求項5】

前記N個のゼロ点を持つマルチバンドパスフィルタはN次の信号帯域に直流成分を含むマルチバンドパスフィルタであることを特徴とする請求項1又は2に記載の変調器。

【請求項6】

前記N個のゼロ点を持つマルチバンドパスフィルタの伝達関数 $H(Z)$ は、次式で表されることを特徴とする請求項5に記載の変調器。

$$H(Z) = Z^N / (1 - Z^N)$$

10

【請求項7】

アナログ信号が供給される減算回路と、

該減算回路の出力が供給されるバンドパスフィルタと、

該バンドパスフィルタの出力が供給され、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、

該アナログデジタル変換回路からのデジタル出力をアナログ信号に変換して前記減算回路にフィードバックするデジタルアナログ変換回路からなる変調器において、

前記バンドパスフィルタは、サンプリング周波数を f_s として、そのフィルタ部分の信号帯域の中心周波数が $f_s/4$ 以外の中心周波数を持つように設定され、

前記デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給する重み付けポイントを、前記バンドパスフィルタの中心周波数に合わせて並列に設けることを特徴とする変調器。

20

【請求項8】

前記バンドパスフィルタの信号帯域の周波数は $f_s/6$ であり、伝達関数 $H(Z)$ は、次式で表されることを特徴とする請求項7に記載の変調器。

$$H(Z) = -Z^{-2} / (1 - Z^{-1} + Z^{-2})$$

【請求項9】

前記重み付けポイントは3個のポイントで形成される請求項8に記載の変調器。

【請求項10】

アナログ信号が供給される減算回路と、

該減算回路の出力が供給されるマルチバンドパスフィルタと、

該マルチバンドパスフィルタの出力が供給され、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、

該アナログデジタル変換回路からのデジタル出力をアナログ信号に変換して前記減算回路にフィードバックするデジタルアナログ変換回路からなる変調器において、

前記マルチバンドパスフィルタの信号帯域の中心周波数は、サンプリング周波数を f_s として、そのフィルタ部分の信号帯域の中心周波数が $f_s/4$ 以外の中心周波数であって、かつ信号帯域の中心周波数を $(2n+1)f_s/2N$ または nf_s/N としたとき、 n が特定値とならない中心周波数となるように構成され、

前記デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給する重み付けポイントを、前記マルチバンドフィルタの信号帯域の中心周波数に合わせて並列に

40

設けることを特徴とする変調器。

【請求項11】

前記マルチバンドパスフィルタの信号帯域の中心周波数は、 $f_s/16$ 、 $5f_s/16$ 、 $7f_s/16$ ($2N=16$) が中心周波数となるように構成され、該マルチバンドパスフィルタの伝達関数 $H(Z)$ は、次式で表されることを特徴とする請求項10に記載の変調器。

$$H(Z) = -Z^{-6} / \{(1 - 2AZ^{-1} + Z^{-2})(1 - 2BZ^{-1} + Z^{-2})(1 - 2CZ^{-1} + Z^{-2})\}$$

(但し、 $A=\cos 22.5^\circ$ 、 $B=\cos 112.5^\circ$ 、 $C=\cos 157.5^\circ$ とする。)

50

【請求項 1 2】

前記重み付けポイントは 8 個のポイントで形成されることを特徴とする請求項 1 1 に記載の変調器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、N 個のゼロ点を持つマルチバンドパスフィルタを用いた変調器に関し、特に、変調器内のフィードバック回路系にマルチビットの DAC (Digital Analog Converter: デジタルアナログ変換器) を用いた高精度のマルチバンドパス変調器に関する。

10

【背景技術】

【0002】

近年、携帯電話や無線 LAN (Local Area Network) 等の通信システムの RF 受信回路において、マルチバンドパスフィルタを用いた変調器の適用が検討されている。これは、マルチバンドパス変調器を用いると、アナログデジタル変換器 (ADC: Analog Digital Converter) 内部における量子化ノイズが信号帯域内で小さくなって、デジタル出力の精度を向上させることができるからである (この手法をノイズ・シェーブという)。また、変調器は、アナログ回路規模が小さく、かつ精度の低いデバイスで高精度の AD 変換を実現するという利点もある。

【0003】

20

このように、変調器は、従来から、高速のオーバーサンプリングとノイズ・シェーブ手法により高精度な AD 変換器を実現できる方式として、特に音声用の AD 変換方式として広く使われているものであるが、更なる高精度化を追求するためにマルチビットの変調器を用いた場合には、変調器内の DAC の非線形性がノイズ・シェーブされないという問題が生じる。このため、ADC 全体の精度を劣化させてしまうという不都合があった。

【0004】

図 3 4 は、マルチビット DAC の非線形性によるノイズの発生を説明するためのブロック図であり、図 3 4 (a) はブロック構成図、図 3 4 (b) はその等価回路を表している。

30

【0005】

図 3 4 (a) に示されるように、入力されるアナログ信号 $X(Z)$ は、減算器 100 の一方の入力に供給される。減算器 100 の出力は N 次のマルチバンドフィルタ 101 (伝達関数を $H(Z)$ とする) に供給され、ここで帯域内の信号成分のみが取り出されてマルチビット ADC 102 に供給される。このマルチビット ADC 102 は、入力されたアナログ信号をデジタル信号に変換するものであるが、図 3 4 (b) に示すように、AD 変換に伴って量子化ノイズ $E(Z)$ が加えられる。この量子化ノイズは、ビット数が大きくなるほど小さいものとなる。したがって、マルチビット ADC は 1 ビット ADC に比べて量子化ノイズは小さくなる。

【0006】

40

AD 変換されたデジタル出力 $Y(Z)$ は、マルチビットの DAC 103 を介して減算器 100 の他方の入力に供給される。このマルチビット DAC 103 には、ノイズが重畳されている (図 3 4 (b) を参照)。このノイズは、マルチビット DAC 103 が本質的に持っている非線形性ノイズであり、DAC 103 を構成する素子、例えばコンデンサのばらつきに起因するノイズである。図 3 4 (b) に示される等価回路から $Y(Z)$ と $X(Z)$ の関係は数式 (1) のようになる。

【0007】

【数1】

$$Y(Z) = \frac{H(Z)}{1+H(Z)} (X(Z) - \delta(Z)) + \frac{1}{1+H(Z)} \cdot E(Z) \quad \dots\dots (1)$$

10

【0008】

ここで、非線形性ノイズ $\delta(Z)$ について説明しておく。図35は、1ビットDACのデジタルアナログ変換特性(直線)とマルチビットのときのデジタルアナログ変換特性(折れ線)を比較して示したものである。図示の如く、1ビットDACでは非線形ノイズは現れないが、マルチビットDACを用いると非線形ノイズが出てくる。これはマルチビットDACを構成する素子の非線形性に起因する誤差によるものである。

【0009】

マルチビットDAC103の構造の一例と動作説明を図36に示す。図36(a)に示されるように、マルチビットDAC103は、8つのキャパシタ $C_0 \sim C_7$ と、演算増幅器(オペアンプ)104と、帰還コンデンサ C_s と、スイッチ $S_0 \sim S_7$ から構成される。これらのキャパシタ $C_0 \sim C_7$ はすべてが完全に等しく製造されるわけではなく、その容量値には多少のバラツキが生じる。このバラツキに起因するミスマッチを e_0, e_1, \dots, e_7 とし、 $C_0 \sim C_7$ の平均値 C とすると、 $C_0 = C + e_0, C_1 = C + e_1, \dots, C_7 = C + e_7$ と表現することができる。

20

【0010】

そして、入力信号0~7までのいずれかの値が入力に供給されると、その数に相当するコンデンサ(キャパシタ)が充電され、それらの充電されたキャパシタが演算増幅器の反転端子と出力端子に接続される帰還コンデンサ(キャパシタ) C_s を介して出力される。ここで、入力信号が‘ m ’(例えば $m=3$)であれば、図のスイッチ S_0, S_1, S_2 がオンになってコンデンサ C_0, C_1, C_2 に基準電圧 V_{ref} が充電される。このコンデンサに充電された電圧は帰還コンデンサ C_s を通して出力電圧 V_{out} として取り出される。

30

このときの出力 V_{out} は、数式(2)で示される。

【0011】

【数2】

$$V_{out} = -m \frac{C}{C_s} V_{ref} + \delta \quad \dots\dots (2)$$

但し $\delta = \frac{(e_0 + e_1 + \dots + e_7) V_{ref}}{C_s}$ はスイッチ $S_0 \sim S_7$ に

40

供給される基準電圧である。

【0012】

このマルチビットDAC103を用いることによる非線形ノイズは、DAC103のキャパシタ $C_0 \sim C_7$ の値にバラツキに起因するものであるが、これはマルチビットDACの特性上、入力デジタル信号がどんな値であっても、 $C_0, C_1, \dots, C_6, C_7$ の順

50

に充電されていくからである。つまり、図36(b)に示されるように、入力として4、3、2、2・・・という値が順次供給される場合、スイッチは S_0 から S_7 の順に入力された数に対応してオンされるため、キャパシタ C_0 、 C_1 ・・・は常にオン状態になることが多く、 C_7 、 C_6 ・・・はオン状態になることが少ないことに起因している。

【0013】

このような問題を解決するため、図37(a)に示されるように、接続されるキャパシタ $C_0 \sim C_7$ を、リング状に形成してマルチビットDACの動作を説明する手法がとられている。この手法によれば、最初に‘4’が入力されたときは、キャパシタ $C_0 \sim C_3$ がオンになり、次に、‘3’が入力されると、キャパシタ $C_4 \sim C_6$ がオンになるようにする。このように8つのキャパシタ $C_0 \sim C_7$ を順次オンしていくことにより、上記の問題を解決することができるのである。図37(b)はこのようなDACの動作を説明するための図である。この手法自体は、設計上の効率の悪さの点で実用に供されているものではないが、電流セルがリング状に配列するセグメント型DACとして論文上では既に知られているものである。(非特許文献1を参照)。

10

【0014】

【非特許文献1】傘コウ、小林、川上、和田「複素バンドパス AD変調器用マルチビットDAC非線形性のノイズ・シェーブ・アルゴリズム」(第16回 回路とシステム 軽井沢ワークショップ講演論文集85頁~90頁)

【非特許文献2】S.Bommalingai ahnapallya, R. Bommalingai ahnapallya, and R.Harjani “EXTENDED NOISE-SHAPING IN CASCADED N-TONE CONVERTERS”, (Fifth International Conference on Advanced AD and DA Conversion, Techniques and Their Applications, Limerick Ireland (July 2005).)

20

【発明の開示】

【0015】

しかしながら、非特許文献1に記載のものは、バンドパス AD変調器用マルチビットDACの非線形性のノイズシェーブに適用されるものであり、その有効性は単一の信号帯域のみであった。また、非特許文献2に記載されたマルチビット変調器では、高精度化するために必要なアナログの部品が増えて、その結果、ハードウェア量及び消費電力が大きくなってしまいう問題があった。

【0016】

本発明は、マルチバンドパス型の複数の信号帯域に対して有効であって、かつマルチビットDACを使用して低次のフィルタで全体のハードウェア量・消費電力を小さくするとともに、マルチビットDACの非線形性ノイズをマルチビットDACと並列にデジタル回路(ポインタ)を設けることにより減少させることを目的とするものである。

30

【0017】

上記目的を達成するため、本発明の変調器は、アナログ信号が供給される減算回路と、この減算回路の出力が供給されるN個のゼロ点を持つマルチバンドパスフィルタと、このN個のゼロ点を持つマルチバンドパスフィルタの出力が供給され、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、このアナログデジタル変換回路からのデジタル出力をアナログ信号に変換して前記減算回路にフィードバックするデジタルアナログ変換回路からなる変調器において、前記デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給する重み付け(DWA: Data-Weighted Averaging)ポインタをマルチバンドパスフィルタの中心周波数に合わせて並列に設けることを特徴としている。

40

【0018】

また、本発明の好ましい第1の形態としては、N個のゼロ点を持つマルチバンドパスフィルタがN次の信号帯域に直流成分を含まないマルチバンドパスフィルタであり、本発明の好ましい第2の形態としては、N個のゼロ点を持つマルチバンドパスフィルタがN次の信号帯域に直流成分を含むマルチバンドパスフィルタである。

【0019】

50

また、本発明の好ましい第3の形態として、アナログ信号が供給される減算回路と、この減算回路の出力が供給されるバンドパスフィルタと、このバンドパスフィルタの出力が供給され、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、アナログデジタル変換回路からのデジタル出力をアナログ信号に変換して前記減算回路にフィードバックするデジタルアナログ変換回路からなる変調器において、前記バンドパスフィルタは、サンプリング周波数を f_s として、そのフィルタ部分の信号帯域の中心周波数が $f_s / 4$ 以外の中心周波数（例えば $f_s / 6$ ）を持つように設定されており、前記デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給す重み付けポイントをバンドパスフィルタの中心周波数にあわせて並列に備えたことを特徴としている。このように信号周波数を設定すると、 $f_s / 4$ を中心に折り返したところにイメージ信号が発生するという問題を解消することができ、かつ信号帯域部分での信号対雑音比（S N D R : Signal Noise Distortion Ratio）を向上させることができる。

10

【0020】

更に、本発明の好ましい第4の形態としては、アナログ信号が供給される減算回路と、該減算回路の出力が供給されるマルチバンドパスフィルタと、このマルチバンドパスフィルタの出力が供給され、アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、このアナログデジタル変換回路からのデジタル出力をアナログ信号に変換して減算回路にフィードバックするデジタルアナログ変換回路からなる変調器において、マルチバンドパスフィルタは、サンプリング周波数を f_s として、そのフィルタ部分の信号帯域の中心周波数が $f_s / 4$ 以外の中心周波数であって、かつ信号帯域の中心周波数を $(2n+1) f_s / 2N$ 、または $n f_s / N$ としたとき、 n が特定の奇数となる場合を除いた値（例えば、 $f_s / 16$ 、 $5 f_s / 16$ 、 $7 f_s / 16$ （ $2N = 16$ ）が中心周波数）となるように構成されており、デジタルアナログ変換回路を構成する複数のセグメント素子に順次入力デジタル信号を供給す重み付けポイント（D W A D A C）をマルチバンドパスフィルタの中心周波数に合わせて並列に設けることを特徴としている。この実施形態に対応する D W A D A C のポイントは8個用意され、これにより、外部の影響で減衰しやすい帯域や他の通信で使われる帯域（この場合では、中心周波数が $3 f_s / 16$ となる信号帯域）を意識的に除外して伝送路を形成することができる。すなわち、送受信のキャリアを選択することで伝送路の悪影響を防ぐことができるようになる。

20

【0021】

本発明の変調器で用いられる D W A D A C によれば、通常のセグメント型 D A C に複数のデジタル回路（ポイント）を追加することによって実現されるものであるが、このポイントとしては、 N 次の信号帯域に直流成分を含まない N 個のゼロ点を持つマルチバンドパスフィルタ（ハイパスアルゴリズム構成）か、あるいは N 次の信号帯域に直流成分を含む N 個のゼロ点を持つマルチバンドパスフィルタ（ローパスアルゴリズム構成）をフィルタの次数に合わせて並列に配置したものが、使用されるフィルタに応じて採用される。

30

【0022】

本発明の変調器によれば、非線形性の影響を軽減するデジタル回路（ポイント）を、マルチビットの A D 変調器内のフィードバックループ内に使用されるマルチビット D A C と並列に設けているため、マルチビット D A C の特性からもたらされる非線形ノイズを効率的に除去することができる。

40

【図面の簡単な説明】

【0023】

【図1】本発明の第1の実施の形態である、 N 次の信号帯域に直流成分を含まない N 個のゼロ点を持つマルチバンドパスフィルタ（H P フィルタ）を用いた場合の A D 変調器のブロック図である。

【図2】本発明の第1の実施の形態に用いられる D W A D A C の概略構成を示す図である。

【図3】本発明の第1の実施の形態の D W A D A C のポイントを構成する H P ブロック構

50

成イメージ図である。

【図4】図3に示すHPブロック構成イメージ図の動作を説明するための図である。

【図5】本発明の第1の実施の形態に用いられるDWADACのポインタとしてHPブロック構成を複数(4個)用いたイメージ図である。

【図6】図5に示す本発明のDWADACの動作を説明するための図である。

【図7】本発明の第1の実施形態においてHPフィルタの次数を'4'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図8】本発明の第1の実施形態においてHPフィルタの次数を'1'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図9】本発明の第1の実施形態においてHPフィルタの次数を'2'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

10

【図10】本発明の第1の実施形態においてHPフィルタの次数を'3'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図11】本発明の第1の実施形態においてHPフィルタの次数を'5'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図12】本発明の第1の実施形態においてHPフィルタの次数を'6'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図13】本発明の第1の実施形態においてHPフィルタの次数を'7'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

【図14】本発明の第1の実施形態においてHPフィルタの次数を'8'とした場合の、出力スペクトラム(a)とOSRに対するSNRを示す図である。

20

【図15】本発明の第2の実施の形態である、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ(LPフィルタ)を用いた場合の変調器のブロック構成図である。

【図16】本発明の第2の実施の形態のDWADACのポインタを構成するLPブロック構成イメージ図である。

【図17】図16に示すLPブロック構成イメージ図の動作を説明するための図である。

【図18】本発明の第2の実施の形態に用いられるDWADACのポインタとしてLPブロック構成を複数(4個)用いたイメージ図である。

【図19】図5に示す本発明のDWADACの動作を説明するための図である。

30

【図20】本発明の第2の実施形態においてLPフィルタの次数を'4'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図21】本発明の第2の実施形態においてLPフィルタの次数を'1'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図22】本発明の第2の実施形態においてLPフィルタの次数を'2'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図23】本発明の第2の実施形態においてLPフィルタの次数を'3'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図24】本発明の第2の実施形態においてLPフィルタの次数を'5'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

40

【図25】本発明の第2の実施形態においてLPフィルタの次数を'6'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図26】本発明の第2の実施形態においてLPフィルタの次数を'7'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図27】本発明の第2の実施形態においてLPフィルタの次数を'8'とした場合の、出力スペクトラム(a)とOSRに対するSNR(b)を示す図である。

【図28】本発明の第3の実施形態の例を示すブロック構成図である。

【図29】本発明の第3の実施形態(HPポインタを3個用いた場合)とした場合の動作を説明するための図である。

【図30】本発明の第3の実施形態におけるバンドパスフィルタの中心周波数を $f_s \cdot 4$

50

以外の $f_s / 6$ に設定し、HPポインタを 3 個用いた場合の出力スペクトラム (a) と O S R に対する S N R を示す図である。

【図 3 1】信号帯域の選定を可能とした本発明の第 4 の実施形態の例を示すブロック構成図である。

【図 3 2】図 3 1 における D W A D A C 3 8 の動作を説明するための図である。

【図 3 3】本発明の第 4 の実施形態における出力スペクトラムと (a) O S R に対する S N R (b) を示す図である。

【図 3 4】従来のマルチビット A D 変調器のブロック構成図 (a) とその等価回路 (b) である。

【図 3 5】従来のマルチビット A D 変調器に用いるマルチビット D A C の非線形のイ 10
ズについて説明するための図である。

【図 3 6】従来の D A C の概略構成と動作を説明するための図である。

【図 3 7】従来のリング型 D A C イメージとその動作を説明するための図である。

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、図面に基づいて本発明の一実施の形態であるマルチバンドパス 変調器について説明する。

図 1 (a) は、N 次の信号帯域に直流成分を含まない N 個のゼロ点を持つマルチバンド 20
パスフィルタ 2 を用いたときの、D W A D A C を用いてアナログデジタル変換を行うようにしてマルチバンドパス 変調器のブロック構成図であり、図 1 (b) は、周波数帯域 における信号周波数とノイズレベルの関係を示す図である。

【 0 0 2 5 】

本発明の実施の形態例では、図 1 (a) に示すように、入力アナログ信号 $X (Z)$ が一 30
方の端子に供給される減算器 1 と、減算器 1 の出力が供給される、N 次の信号帯域に直流成分を含まない N 個のゼロ点を持つマルチバンドパスフィルタ 2 (以下、便宜上「H P フィルタ」と略記する。) と、この H P フィルタ 2 の出力をデジタル信号 $Y (Z)$ に変換する通常のマルチビット A D C 3 と、マルチビット A D C 3 の出力をアナログ信号に変換して減算器 1 の他方の端子に供給する D W A D A C 4 とから構成される。

【 0 0 2 6 】

ここで、入力アナログ信号 $X (Z)$ と出力デジタル信号 $Y (Z)$ との関係は、H P フィ 30
ルタの伝達関数は、フィルタの次数を N とすると、 $H (Z) = - Z ^ N / (1 + Z ^ N)$ で表すことができるから、数式 (1) にこれを代入することにより、数式 (3) のように表現できる。

【 0 0 2 7 】

【数 3】

$$Y(Z) = -Z^N \cdot \{X(Z) - \delta(Z)\} + E(Z) (1 + Z^{-N}) \quad \dots\dots\dots (3)$$

(但し、 $E(Z)$ は量子化ノイズ、 $\delta(Z)$ は DAC に関する非線形ノイズである)

40

【 0 0 2 8 】

ここで、新たに 2 つの物理量 S T F (Signal Transfer Function) と N T F (Noise Tr 40
ansfer Function) を定義しておく。

この S T F と N T F はそれぞれ (4) 式と (5) 式で表されるものである。この式から分かるように、S T F は信号成分に対する出力の割合であり、N T F はノイズ成分の出力割合を示している。つまり、S T F と N T F をプラスした値は ' 1 ' となり、これは、出力値が信号成分と雑音成分を足した値であることを示している。 50

【 0 0 2 9 】

【数 4】

$$\text{STF} = \frac{Y(Z)}{X(Z)} = \frac{H(Z)}{1+H(Z)} \quad \dots\dots\dots (4)$$

【数 5】

10

$$\text{NTF} = \frac{Y(Z)}{E(Z)} = \frac{1}{1+H(Z)} \quad \dots\dots\dots (5)$$

【 0 0 3 0 】

この数式(4)と(5)に伝達関数 $H(Z) = -Z^{-N} / (1 + Z^{-N})$ を代入すると、数式(6)と数式(7)のようになる。

20

【数 6】

$$\text{STF} = -Z^{-N} \quad \dots\dots\dots (6)$$

【数 7】

$$\text{NTF} = 1 + Z^{-N} \quad \dots\dots\dots (7)$$

30

【 0 0 3 1 】

図1(b)は、信号周波数 f_n を中心とした信号帯域に対して、量子化ノイズがどのような関係になって影響を及ぼしているかを示す図である。この信号帯域中心周波数 f_n は、 $f_n = (2n + 1) f_s / 2N$ (但し、 $n = 0, 1, 2, \dots$ であり、 f_s はサンプリング周波数、 N はフィルタの次数) となる。この図から、信号帯域の中心周波数付近で量子化ノイズが著しく減少していることが分かる。

【 0 0 3 2 】

40

次に、図1(a)で用いられる DWADC4 について、その概要を説明する。図2は、DWADC4の概略的な構成を示したものである。この図2に示されるように、DWADC4は、入力アナログ信号をデジタル信号に変換する通常の DAC5 と DAC5 を構成するセグメント素子の位置を示すポインタ6 とから構成されている。

【 0 0 3 3 】

図3は、ポインタ6とDAC5の動作を説明するために、模擬的にその構成を示したイメージブロック図であり、DWADC4は、後述するように、図3の基本構成ブロックが複数個切り替わりながら、デジタルアナログ変換処理を行う回路装置である。

【 0 0 3 4 】

図3の模擬的に示したイメージ図に基づいてハイパスアルゴリズム構成の動作を説明す

50

る。図3は、N次の信号帯域に直流成分を含まないN個のゼロ点を持つマルチバンドパスフィルタ（HPフィルタ）を用いた図1に示されるような変調器に適用される、DWADAC4のポインタ6（図2）を構成するHPブロックのイメージ構成図である。このHPブロックイメージ構成図では、DAC8の前段にデジタル微分回路7が設けられ、後段にアナログ積分回路9が設けられる。

【0035】

入力されるデジタル信号は減算器10の一方の入力端子に供給される。この減算器10には1つ前に減算されたデータが遅延回路11を介して他方の入力端子に供給されている。そして、新たに入力されたデータとの引き算が行われる。減算器10と遅延回路11のフィードバックループによってデジタル微分回路7が構成される。この微分されたデジタル信号は通常のDAC8でアナログ信号に変換され、変換されたアナログ信号が加算器13に供給される。またこのアナログ信号は遅延回路12を介して加算器12の他方の端子に要求される。加算器13と遅延回路12とからアナログ積分回路9が構成されている。

10

【0036】

まず、この図3に示されるようなイメージブロック構成図に基づいて、図2に示すDWADAC4の動作を説明する。図4(a)～図4(c)はその動作説明を行うための図であり、図4(a)は、ポインタ6を構成するセグメント素子が無限にある場合の動作説明図、図4(b)はセグメント素子を8個に限定したときの動作説明図である。図4(c)は図3のイメージブロック構成図におけるA～Dの値がどのように変化するかを示した図である。

20

【0037】

図4(a)～(c)に示されるように、入力Aに「3、2、3、2」の順にデジタル信号が供給されるとする。まず、入力Aとして「3」が与えられる。そのとき遅延回路11の出力は「0」であるから減算器10の出力Bは「3」のままとなる。したがって、DAC8の出力Cも「3」となり、セグメント素子0、1、2がオンになる（これを図4(a)の「+」で示す）。

【0038】

次に、入力Aに「2」が供給されると、減算器10の出力Bは、入力データ「2」から蓄積されている「3」が引かれるので「-1」になる。つまりDAC8の出力Cは「-1」になる。しかし、DAC8の後段に設けられて加算器12において、「-1」に遅延回路13の出力である1つ前の値「3」が加算されるため、加算器12の出力Dは「2」となり、デジタル入力された(A = 「2」)がアナログ出力(D = 「2」)として出力されることになる。このときDAC8を構成するセグメント素子1、2がオンになっている。次に、デジタル入力Aに「3」が入力されると、減算器10で1つ前の値「-1」が減算されるため、減算器10の出力Bは「4」となる。このためDACのアナログ出力Cは「4」となるが、この「4」と1つ前の値「-1」とが加算器13で加算されるので、アナログ出力信号D = 「3」が出力される。結果として、DACのセグメント素子1、2、3がオンになる。

30

【0039】

続いてデジタル信号A = 「2」が加えられると、「2」から一つ前の値「4」が減算され、減算器Bの出力は「-2」となり、この「-2」がDAC8に供給されてアナログ信号C (= 「-2」)に変換される。この変換されたデジタル信号「-2」は加算器12で遅延回路13の出力である一つ前の値「4」と加算されて、デジタル信号D (= 「2」)が出力される。

40

【0040】

図4(b)は、上記図4(a)説明を、矢印で説明したものであり、最初の入力A (= 「3」)で、セグメント素子0～2がオンになり、次の入力A (= 「2」)で、セグメント素子2の位置を始点として、セグメント素子2、1がオンになることを示している。同様に、次の入力A (= 「3」)が供給されると、今度はセグメント素子1を始点にして、セグメント素子1、2、3がオンになる。以下、同様な手順で繰り返される。

50

【 0 0 4 1 】

図 4 (c) は、図 3 の A、B、C、D の値の関係を示したものである。この図から入力デジタル信号 A が途中の経過 (B、C) には関係なく同じ値の出力デジタル信号 D に変換されるかが分かる。

【 0 0 4 2 】

次に、図 5、図 6 は、図 1 に示す本発明の実施の形態例である N 次の信号帯域に直流成分を含まない N 個のゼロ点を持つマルチバンドパスフィルタ (H P フィルタ) を用いたときの 変調器の D W A D A C 4 において、ポインタ 6 (図 3 の H P イメージブロック構成図) を複数個 (例えば 4 個) 備えた場合のイメージ構成例とその動作を説明するための図である。この D W A D A C 4 のポインタ 6 はマルチバンドパスフィルタ 2 の中心周波数の数に合わせて設定され、このときのポインタの数はマルチバンドパスフィルタ 2 の次数 N に一致するように N 個設けられる。なお、ポインタ 6 を構成する一つひとつの H P ブロックイメージ構成図は既に図 3 で説明したものと変わらないので説明を省き、その動作について、図 6 に基づいて説明する。

10

【 0 0 4 3 】

この図 5 に示される複数の D A C (I) ~ (IV) には、入力されるデジタル信号が順番に供給される。すなわち、それぞれの D A C (I) ~ (IV) の前段部分に配置されるデジタル微分回路 7 a ~ 7 d には、スイッチ 1 4 を介してデジタル入力 A が供給される。そして、D A C (I) ~ (IV) の後段に接続されるアナログ積分回路 9 a ~ 9 d はスイッチ 1 5 を介して出力 D として取り出される。例えば、図 6 に示されるように、デジタル入力として「 4、2、6、5、5 . . . 」の順に入力デジタル信号が供給されると、D A C (I) には、「 4 」が供給され、D A C (II) には「 2 」が供給され、D A C (III) には「 6 」が供給され、D A C (IV) には「 5 」が供給される。次のデジタル入力「 5 」は再び D A C (I) に供給されることになる。

20

【 0 0 4 4 】

図 1 に示される H P フィルタ 2 の次数が定まり、このフィルタの通過帯域が決まると、D W A D A C 4 ではポインタ 6 の数がフィルタの次数と同じに設定される。ここでは、H P フィルタ 2 の次数を 4 次として、D W A D A C 4 のポインタ 6 として用いられる H P ブロック構成をフィルタの次数に合わせて 4 個用いることとする。

【 0 0 4 5 】

最初に、デジタル入力 A に「 4 」が入力されると、このデジタル入力 A は、スイッチ 1 4 を介して D A C (I) に供給されるので、図 3 及び図 4 で説明したように、D A C (I) のセグメント素子 0 ~ 3 がオンになる。次に、デジタル信号 A (= 「 2 」) が入力されると、D A C (II) の H P ブロック構成に信号が入力され、そのセグメント素子 0、1 がオンになる。続いて、デジタル信号 A (= 「 6 」) が入力されると、D A C (III) の H P ブロック構成に信号が入力され、そのセグメント素子 0 ~ 5 がオンになる。更に、次のデジタル信号 A (= 「 5 」) が入力されると、D A C (IV) の H P ブロック構成に信号が入力され、D A C (IV) のセグメント素子 0 ~ 4 がオンになる。

30

【 0 0 4 6 】

これで D A C (I) から D A C (IV) のすべてにデジタル信号が蓄積されたことになるが、次に入力されるデジタル信号 A (= 「 5 」) は、最初の信号が入力された D A C (I) に入力されることになる。このとき D A C (I) は、図 4 (a) ~ (c) で説明したように動作するので、D A C (I) ではセグメント素子 3、2、1、0、7 の順に 5 つのセグメント素子がオンになる。これはポインタで示された始点 3 から 2、1、0 と逆に進み、最後に 7 で停止したと等価である。次に、D A C (I) に入力信号が入った場合には、7 が始点になることになる。

40

【 0 0 4 7 】

同様に、次にデジタル入力 A (= 「 3 」) が供給されると、スイッチ 1 4 を介して D A C (II) に入力され、セグメント素子 1、0、7 がオンになる。更に、デジタル入力「 7 」が供給されると、D A C (III) が作動して、5 番目のセグメント素子を始点として、5、4

50

、3、2、1、0、7がオンとなる。そして、次にデジタル信号A(=‘1’)が入力されると、DAC(IV)のセグメント素子3だけがオンになる。次に、デジタル信号‘2’が入力されると、DAC(I)に戻り、始点7から進んで、セグメント素子7、1がオンになる。このようにして複数のHPブロック構成であるDAC(I)~(IV)が順次作動してデジタルアナログ変換処理が行われる。

【0048】

図7(a)は、N次の信号帯域に直流成分を含まないN個のゼロ点を持つマルチバンドパスフィルタ(HPフィルタ)の次数を‘4’(N=4)として、DWADAC4を4個のDAC(I)~(IV)で構成した場合の出力スペクトラム(dB:出力/周波数)を示した図であり、図7(b)はその時のOSR(Over sampling Ratio)に対するSNR(Signal Noise Ratio)の値を示した図である。図7(b)において、()は非線形ノイズのない理想状態のSNRを示し、()は非線形ノイズがあつてかつ通常のDACを用いた場合を示す。(x)は本実施の形態例におけるDWADAC4を用いた場合の例である。この図7(b)から分かるように、本例のようにDWADACを用いた場合には、非線形ノイズがあつても、非線形ノイズがない場合()に極めて近いSNRを示している。すなわち、N次の信号帯域に直流成分を含まないN個のゼロ点を持つマルチバンドパスフィルタ(HPフィルタ)を有するマルチバンドパス変調器において、フィードバックDACとして、DWA DACを用いることの有効性を確認することができる。

10

【0049】

上述したように、図7はバンドパスフィルタの次数Nを‘4’としてシュミレーションしたものであるが、n=4はあくまでも一例であつて、図8~図10にはNを‘1’、‘2’、‘3’にした場合の出力スペクトラムとSNRを示している。また、図11~図14には、nの値が‘4’より大きい場合、すなわち‘5’、‘6’、‘7’、‘8’の場合を示している。何れの図を見ても、DWADACを用いた場合には、非線形ノイズがノイズ・シェーブされていることが分かる。

20

【0050】

次に、本発明の第2の実施の形態例として、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ(以下、「LPフィルタ」と略記する。)を用いた例について説明する。

図15(a)は、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ21を用いたときの、DWADACを用いてアナログデジタル変換を行うようにしたマルチバンドパス変調器のブロック構成図であり、図15(b)は、周波数帯域における信号周波数とノイズレベルの関係を示す図である。

30

【0051】

この第2の実施の形態例では、図15(a)に示されるように、入力されるアナログ信号X(Z)は、減算器20の一方の端子に供給され、ここで出力デジタル信号Y(Z)をアナログ信号に変換した値と減算される。この減算された値のアナログ信号が、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ21(以下、便宜上「LPフィルタ」と略記する。)通してマルチビットADC22に供給される。マルチビットADC22の出力はデジタル信号Y(Z)として出力されるとともに、DWADAC23に供給され、減算器20の他方の端子にフィードバックされる。

40

【0052】

ここで、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ21の伝達関数は、フィルタの次数をNとすると、 $H(Z) = Z^N / (1 - Z^N)$ で表すことができるから、数式(1)にこれを代入することにより、数式(8)のように表現できる。

【0053】

【数 8】

$$Y(Z)=Z^{-N} \cdot \{X(Z)-\delta(Z)\}+E(Z)(1-Z^{-N}) \quad \text{----- (8)}$$

(但し、 $E(Z)$ は量子化ノイズ、 $\delta(Z)$ はDACに関する非線形ノイズである)

【0054】

したがって、STF (Signal Transfer Function) とNTF (Noise Transfer Function) は、以下の数式(9)、(10)に示す通りとなる。 10

【数 9】

$$STF=Z^{-N} \quad \text{----- (9)}$$

【数 10】

$$STF=1-Z^{-N} \quad \text{----- (10)}$$

20

【0055】

数式(9)、(10)においても、STFとNTFの和は‘1’となることは言うまでもない。この式(9)、(10)において、 $STF=1$ で、 $NTF=0$ となる複数の信号帯域の中心周波数 f_n は、 $f_n = n f_s / N$ (但し、 $n=0, 1, 2, \dots$ であり、 f_s はサンプリング周波数、 N はフィルタの次数)となる。

この図15(b)から、図1(b)と同様に、信号帯域の中心周波数付近で量子化ノイズが著しく減少していることが分かる。 30

【0056】

図16は、図15(a)に示される N 次の信号帯域に直流成分を含む N 個のゼロ点を持つマルチバンドパスフィルタを用いた変調器に利用される、DWADAC23のポインタ(DWADACの構成は図2に示すものと同じ、但しポインタ6の構成が異なっている)を構成するLPイメージブロック構成図を示すものである。このLPイメージブロック構成図では、DAC25の前段にデジタル積分回路24が設けられ、後段にアナログ微分回路26が設けられる。

【0057】

まず、入力デジタル信号Aが、デジタル積分回路24の加算器27に供給される。この加算器27には1つ前に入力されたデータが遅延回路28を介して供給されて新たに入力されたデータとの足し算が行われる。この加算器27と遅延回路28を介したフィードバックループによってデジタル積分回路24が構成される。この積分されたデジタル信号Bは通常のデジタルアナログ変換器25でアナログ信号Cに変換され、変換されたアナログ信号Cが減算器30の一方の端子に供給される。またこのアナログ信号Cは遅延回路29を介して減算器30の他方の端子に要求される。減算器30と遅延回路29とからアナログ微分回路26が構成されている。したがって、この減算器30からのアナログ出力信号Dは入力されたデータから1つ前に入力されたデータが減算されたアナログ信号、つまり差分(微分)アナログ信号となる。 40

【0058】

50

この回路の動作を図17(a)~図17(c)に基づいて説明する。図17(a)はDACのセグメント素子が無限に存在するときの図であり、図17(b)はDACのセグメント素子が8個からなる場合である。この場合は、一巡すると元に戻るLPアルゴリズムが実行される。ここでは、デジタル入力Aとして、'3'が連続して供給される場合を考えている。最初に、デジタル入力Aとして'3'が与えられると、そのとき遅延回路28の出力は'0'であるから加算器27の出力は'3'のままとなる。したがって、DAC素子0、1、2がオンになる(図17(a)の'+ 'を参照)。次に、入力Aに'3'が供給されると、加算器27の出力は遅延回路28を介して既に蓄積されている'3'に加算されて'6'になり、DAC25からは'6'がアナログ信号Cとして出力される。すなわち、DAC25を構成するセグメント素子0~6がオンになる。

10

【0059】

このDAC25の出力Cは、アナログ微分回路を構成する減算器30の一方の端子に供給され、同様に減算器30の他方の端子には一つ前の値が遅延回路29を介して供給される。このため、減算器30から得られるアナログ出力Dは、入力される'6'から既に蓄積されている'3'を引いた値となり、'3'になる。続いてデジタル入力A(='3')が供給されると、一つ前の加算器27の出力'6'にこの新たに入力された'3'が加えられるので、加算器27の出力は'9'になる。しかし、減算器30において、このDAC25のアナログ出力'9'から一つ前の値'6'が引き算されるので、アナログ出力Dとしては'3'が得られる。このように、入力として順次'3'が加えられると、アナログ出力としては常に'3'が出力されるのであるが、DAC25のセグメント素子は、まずセグメント素子0~2がオンになり、次にセグメント素子3~5がオンになり、そして6~8がオンになり、続いて9~11がオンになってという具合に無限に続いていく。

20

【0060】

しかし、DAC25のセグメント素子を無限に備えることは不可能であるから、今仮に8個のセグメント素子を備えたDACを用いたとして、3番目の6~8をオンにする際に、セグメント素子をリセットして戻すようにする。つまり、3番目の入力'3'では、6、7、0のセグメントがオンになるようにする。これを示したのが図17(b)である。したがって、4番目のデジタル入力A'3'が加えられると、セグメント素子1~3がオンすることになる。この方法で8つのセグメントを入力デジタル信号の値の分だけ順次オンしていくのである。この方法は、DAC25を構成するセグメント素子をリング状に構成して順番にオンしていくことで実現することができる。図17(c)は、図16に示すLPブロック構成図のA、B、C、Dの値の関係を示したものである。この図から入力デジタル信号Aは、途中の経過(B、C)には無関係に同じ値のデジタル信号出力Dに変換されることが分かる。

30

【0061】

図18、図19は、図15に示す本発明の第2の実施の形態例であるN次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタを用いた変調器のDWADACにおいて、ポインタを複数個(例えば4個)備えた場合のイメージブロック構成図とその動作説明図である。このDWADAC23でも、DWADAC23を構成するポインタは、マルチバンドパスフィルタ21の中心周波数に合わせて並列に設定され、そのときのポインタの数はマルチバンドパスフィルタ21の次数Nに合わせてN個が用意される。ここのLPブロックイメージ構成図については、既に図16と図17に基づいて説明しているので、説明を省き、複数個(4個)用いた場合の動作について、図19に基づいて説明する。

40

【0062】

この図18に示される複数のDAC(I)~(IV)には、入力されるデジタル信号が順番に供給される。すなわち、それぞれのDAC(I)~(IV)の前段部分に配置されるデジタル積分回路24a~24dには、スイッチ31を介してデジタル入力Aが供給される。そして、DAC(I)~(IV)の後段に接続されるアナログ微分回路26a~26dはスイッチ32と接続され、このスイッチ32を介してDAC(I)~DAC(II)からのアナログ出力Cが

50

アナログ出力Dとして取り出される。例えば、図19に示されるように、デジタル入力Aとして「4、2、6、5、5・・・」の順に入力デジタル信号が供給されると、DAC(I)には、「4」が供給され、DAC(II)には「2」が供給され、DAC(III)には「6」が供給され、DAC(IV)には「5」が供給される。次のデジタル入力「5」は再びDAC(I)に供給されることになる。これは、4個のHPブロック構成図で説明した場合(図5)と同じである。

【0063】

図15(a)に示されるN次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ(LPフィルタ)21の次数Nが定まり、このフィルタの通過帯域が決まると、DWADAC23ではポイント(図2のポイント6に相当する)の数がフィルタの次数Nと同じに設定される。ここでは、LPフィルタ21の次数Nを4次として、DWADAC23のポイントとして用いられるLPブロックイメージ構成をフィルタの次数に合わせて4個用いることとする。

10

【0064】

最初に、デジタル入力Aに「4」が入力されると、このデジタル入力Aは、スイッチ31を介してDAC(I)に供給されるので、図16及び図17で説明したのと同様に、図19で示すように、DAC(I)のセグメント素子0~3がオンになる。次に、デジタル信号A(=「2」)が入力されると、DAC(II)のLPブロック構成に信号が入力され、そのセグメント素子0、1がオンになる。続いて、デジタル信号A(=「6」)が入力されると、DAC(III)のLPブロック構成に信号が入力され、そのセグメント素子0~5がオンになる。更に、次のデジタル信号A(=「5」)が入力されると、DAC(IV)のLPブロック構成に信号が入力され、DAC(IV)のセグメント素子0~4がオンになる。

20

【0065】

これでDAC(I)からDAC(IV)のすべてにデジタル信号が蓄積されたことになるが、次に入力されるデジタル信号A(=「5」)は、最初の信号が入力されたDAC(I)に入力されることになる。このときDAC(I)のLPブロック構成は、図17(a)~(c)で説明したように動作するので、DAC(I)ではセグメント素子4、5、6、7、0の順に5つのセグメント素子がオンになる。これはポイントで示された始点3から4、5、6、7、と順方向に進み、最後に0に戻るようになる。次に、DAC(I)に入力信号が入った場合には、この一番目のセグメント素子0が始点になることになる。

30

【0066】

同様に、次にデジタル入力A(=「3」)が供給されると、スイッチ31を介してDAC(II)に入力され、セグメント素子2、3、4がオンになる。更に、デジタル入力「7」が供給されると、DAC(III)が作動して、5番目のセグメント素子を始点として、6、7、0、1、2、3、4がオンとなる。そして、次にデジタル信号A(=「1」)が入力されると、DAC(IV)のセグメント素子4が始点となってセグメント素子3だけがオンになる。次に、デジタル信号「2」が入力されると、DAC(I)に戻り、始点0から進んで、セグメント素子1、2がオンになる。このようにして複数のLPブロック構成であるDAC(I)~(IV)が順次作動してデジタルアナログ変換処理が行われる。

40

【0067】

図20(a)は、図15(a)に示す、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ21の次数を「4」(n=4)として、DWADAC23を4個のDAC(I)~(IV)で構成した場合の出力スペクトラム(dB:出力/周波数)を示した図であり、図20(b)はその時のOSR(Over sampling Ratio)に対するSNRの値を示した図である。図20(b)で、()は非線形ノイズのない理想状態のSNRを示し、()は非線形ノイズがあつてかつ通常のDACを用いた場合を示す。(x)は本実施の形態例におけるDWADACを用いた場合の例である。この図20(b)から分かるように、本例のようにDWADACを用いた場合には、非線形ノイズがあつても、非線形ノイズがない場合()に近い値のSNRを示している。すなわち、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ21を用いた 変調

50

器においても、フィードバックDACとして、DWA DACを用いることの有効性を確認することができた。

【0068】

以上の説明では、図15におけるマルチバンドパスフィルタの次数Nを‘4’としてシミュレーションした例を取り上げたが、N = 4 はあくまでも一例であって、図21~図23では‘N’を‘1’、‘2’、‘3’にした場合の出力スペクトラムとSNRを示している。また、図24~図27には、nの値が‘4’より大きい場合、すなわち‘5’、‘6’、‘7’、‘8’の場合を示している。何れの図を見ても、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタを有する変調器においても、直流成分を含まないマルチバンドパスフィルタを有する変調器(図1参照)と同様、DWA DACを用いた場合には、非線形ノイズがノイズ・シェーブされていることが分かる。

10

【0069】

本発明の変調器は、図28(a)に示すような回路ブロック構成により実現することも可能である。

図28(b)~(c)は、変調器を構成する内部回路の非線形性によって信号周波数 f_{in} が信号帯域の中心周波数である、例えば $f_s/4$ からずれた場合についての変調器を説明するための図である。

【0070】

図28(b)に示すように、上記の原因で入力信号周波数 $f_{in} = (f_s/4) - f$ となると、この信号帯域の中心周波数である $f_s/4$ を中心に折り返したところにイメージ信号が発生する。そして、このイメージ信号が信号帯域内に入ってくるため、信号対雑音比(SNDR: Signal Noise Distortion Ratio)を劣化させるという問題を生じてしまうのである。この問題を解決するために信号帯域の中心周波数を $f_s/4$ 以外のところ、例えば $f_s/6$ とする。図28(c)は、信号帯域の中心周波数を $f_s/6$ とした場合の図を示したものである。このように、信号帯域の中心周波数を $f_s/4$ 以外のところに設定することにより、非線形性によるイメージ成分の折り返しは信号帯域の外に出るようになる。

20

このような変調器を実現するため、図28(a)に示されるフィルタ32の伝達関数 $H(Z)$ を数式(11)のように設定している。

30

【0071】

図28(a)に示される回路ブロック構成において、アナログ入力 $X(Z)$ は、減算器31の一方の端子に供給され、ここで減算器31の他方の端子に供給されるDWAマルチビットDAC34のアナログ出力と減算される。減算器31の出力はフィルタ32に供給され、このフィルタ32の処理を受けてマルチビットADC33に供給される。マルチビットADC33の出力はデジタル出力 $Y(Z)$ として取り出されるとともに、DWAマルチビットDAC34に供給され、アナログ信号に変換される。

【0072】

【数11】

$$H(Z) = \frac{-Z^{-2}}{1-Z^{-1}+Z^{-2}} \dots\dots\dots (11)$$

40

この伝達関数 $H(Z)$ を用いることにより、信号帯域の中心周波数を $f_s/6$ とすることが出来る。

【0073】

図29は、図28(a)に示した変調器において、 $f_s/6$ ($2N = 6$)が中心周

50

波数となるように構成したバンドパスフィルタにマルチバンドパスアルゴリズムを適用した場合のDWA DAC 3 4の動作を説明するための図である。この例においては、DWA DAC 3 4のポインタはバンドパスフィルタ 3 2の中心周波数に合わせて並列に設定され、ポインタの数は、中心周波数 $f_s / 6$ ($2N = 6$) の場合、3個が必要とされる。この場合のDWA DACの動作は、図5に示すようなDAC(I)からDAC(III)が入力信号に応じて順番に切り替わると考えて説明することができる。この $f_s / 4$ 以外に信号帯域の中心周波数があるバンドパスフィルタを用いた場合においても、図1(a)、図15(a)に示されるマルチバンドパスフィルタを用いた場合のときと同様に、DWA DACを用いることができ、それによって非線形ノイズを減少させることが可能となる。

【0074】

すなわち、入力信号が「4、2、6、5、5、3、7、1、2」の順に供給されると、最初、デジタル入力Aに「4」がDAC(I)に供給され、図29に示すように、DAC(I)のセグメント素子0～3がオンになる。次に、デジタル信号A(=「3」)が入力されると、DAC(II)のセグメント素子0、1がオンになる。続いて、デジタル信号A(=「6」)が入力されると、DAC(III)のセグメント素子0～5がオンになる。

【0075】

そして、次のデジタル信号A(=「5」)が入力されると、再びDAC(I)のセグメント素子がオンになるが、このとき、DAC(I)ではセグメント素子3を始点として「3、2、1、0、7」の順番に5つのセグメント素子がオンになる。

【0076】

更にデジタル信号「5」が入力されると、DAC(II)がオンになるが、DAC(II)では、セグメント素子1が始点となって、図示の如く、「1、0、7、6、5」の順番にオンになっていく。次に、DAC(III)に「3」が入力される。DAC(III)では、「5、4、3」の順にオンになる。続くデジタル信号入力「7」は、DAC(I)に、デジタル入力「1」はDAC(II)に、デジタル入力「2」はDAC(III)に供給され、同様に、図29に示すような動作がなされる。

【0077】

図30は、図28(a)に示されるような、信号帯域の中心周波数を $f_s / 6$ にした場合の変調器の出力スペクトラム(dB:出力/周波数)と、その時のOSR(Over sampling Ratio)に対するSNR(Signal Noise Ratio)の値を示した図である。図30(b)において、() は非線形ノイズのない理想状態のSNRを示し、() は非線形ノイズがあつてかつ通常のDACを用いた場合を示す。(x)は本実施の形態例におけるDWA DAC 4を用いた場合の例である。この図30(b)から分かるように、本例のようにDWAマルチビットDACを用いた場合には、非線形ノイズがあつても、非線形ノイズがない場合()に極めて近いSNRを示している。すなわち、HPポインタを3個用いた場合、数式(11)で示される伝達関数 $H(Z)$ を用いたバンドパスフィルタ 3 2を用いたバンドパス変調器においても、フィードバックDACとして、DWA DACを用いることの有効性を確認することができる。

【0078】

ここで、この図28(a)に示される実施の形態では、信号帯域の中心周波数の例として、 $f_s / 6$ として説明したが、この中心周波数としては $f_s / 6$ に限るものではなく、 $f_s / 4$ 以外の周波数であれば任意のものでよい。また、 $f_s / 2$ 以上、 f_s 以下の中心周波数、例えば $3f_s / 4$ 、 $7f_s / 8$ などを信号帯域の中心周波数に用いると、低サンプリング周波数でのAD変換を実現できるという利点もある。この手法をサブサンプリングという。このサブサンプリング手法においても、前記のイメージ信号を回避する場合と同様にマルチバンドパスアルゴリズムのDWA DACを用いることでDACの非線形性を低減させることが可能である。

【0079】

また、図28(a)に示されるバンドパスフィルタ 3 2の代わりに、例えば、数式(12)で示される伝達関数のフィルタを用いると、キャリア選択可能な変調器を実現す

10

20

30

40

50

ることができる。これを実現したブロック構成図を図31に示す。

【数12】

$$H(Z) = \frac{-Z^{-6}}{(1-2AZ^{-1}+Z^{-2})(1-2BZ^{-1}+Z^{-2})(1-2CZ^{-1}+Z^{-2})} \quad \dots\dots (12)$$

(但し、 $A=\text{Cos}22.5^\circ$ $B=\text{Cos}112.5^\circ$ $C=\text{Cos}157.5^\circ$ とする。)

10

なお、この数式(12)で示される伝達関数を有するフィルタはあくまでも一例であって、設定する帯域に応じて適宜設計できることはいうまでもない。

【0080】

図31は、変調器のフィルタ部分の変更によりマルチバンドパスフィルタの信号帯域の中心周波数を選択したものである。このマルチバンドパス変調器では、例えばHPフィルタとして8次のフィルタを用いた場合、 $f_s/16$ 、 $3f_s/16$ 、 $5f_s/16$ 、 $7f_s/16$ を信号帯域の中心周波数を持つキャリアの選択が可能である。

【0081】

まず、何故、信号帯域の中心周波数を特定の周波数だけに選択するキャリア選択が必要であるかを説明する。一般に、通信に用いる変調器では伝送路の影響により使用することが難しい帯域が発生し、この使用しない帯域に対してノイズ・シェーブしてしまうという問題が起こりうる。このため、信号に対して量子化ノイズが一定に発生する変調器では、この使用しない帯域に対しての無駄なノイズ・シェーブが他の帯域内でのSNR(Signal Noise Ratio)の劣化に繋がってしまうという不都合が生じる。この問題を解決するためフィルタ部分の信号帯域の中心周波数を例えば $f_s/16$ 、 $5f_s/16$ 、 $7f_s/16$ という形で選択することにより、使用しない帯域(例えば、中心周波数が $3f_s/16$ の帯域)を消すことができる。このように、帯域の選択により、無駄なノイズ・シェーブの回避を行うことができ、選択した帯域内でのノイズ・シェーブの効果を大きくすることが可能となる。

20

30

【0082】

図31に示される回路ブロック構成において、アナログ入力 $X(Z)$ は、減算回路35の一方の端子に供給され、ここで減算回路35の他方の端子に供給されるDWAマルチビットDAC38のアナログ出力と減算される。減算回路35の出力は、数式(12)で示される伝達関数を有するフィルタ36に供給され、このフィルタ36の処理を受けてマルチビットADC37に供給される。マルチビットADC37の出力はデジタル出力 $Y(Z)$ として取り出されるとともに、DWAマルチビットDAC38に供給され、アナログ信号に変換される。

【0083】

この第4の実施形態に示した変調器においては、 $f_s/16$ 、 $5f_s/16$ 、 $7f_s/16$ が中心周波数となるように選択したマルチバンドパスフィルタにマルチバンドパスアルゴリズムを適用している。この場合のDWA DAC38としては、図5に示すようなDACが、DAC(I)からDAC(VIII)までの8個必要とされ、この8個のポイントが入力信号に応じて順番に切り替わる。この実施形態の場合にもDWA DAC38を構成するポイントはマルチバンドパスフィルタ36の中心周波数に合わせて並列に設定される。このように、この中心周波数を選択したマルチバンドパスフィルタにおいても、図1(a)、図15(a)に示されるマルチバンドパスフィルタを用いた場合と同様に、DWA DACを用いることができ、それによって非線形ノイズを減少させることが可能となる。

40

なお、この実施形態では $2N=16$ として、中心周波数が $f_s/16$ 、 $5f_s/16$ 、 $7f_s/16$ が中心周波数となるように選択したマルチバンドパスフィルタを用いた場合

50

について説明したが、一般的には $(2n+1) f_s / 2N$ において、 $n = 0, 1, 2, 3, \dots$ とフィルタの次数 N とは任意に設定可能である。本例の場合のように、 $N = 8$ とし、 $n = 0, 2, 3$ 、として、 $n = 1$ となる中心周波数 $3 f_s / 16$ を中心周波数とする信号帯域を利用しないようにしたのはあくまでも一つの例であって、それに限定されるものではない。

【0084】

図32は、DWADAC38に8個のポインタを用いた場合の動作を説明するための図である。まず、DWADAC38にデジタル入力が「4、2、6、5、5、3、7、1、2」の順に供給されるものとする。最初、デジタル入力Aに「4」がDAC(I)に供給され、DAC(I)のセグメント素子0～3がオンになる。次に、デジタル信号A(=「3」)が入力されると、DAC(II)のセグメント素子0、1がオンになる。続いて、デジタル信号A(=「6」)が入力されると、DAC(III)のセグメント素子0～5がオンになる。

【0085】

同様に、「5、5、3、7、1」のデジタル信号が、DAC(IV)からDAC(VIII)に順次供給される。これでデジタル入力がDAC(I)からDAC(VIII)まで一巡して入力したことになるので、次のデジタル入力「2」は、DAC(I)に戻って供給される。図32に示されるように、DAC(I)には、すでに「4」が入力され、DAC(I)はそのセグメント素子0～3がオンになっていて、ポインタはセグメント素子3をさしているのので、デジタル入力「2」に対しては、セグメント素子3を始点として、セグメント素子2がオンになる。つまり、DAC(I)は前回の入力の方向とは逆の方向にオンになる。続く入力に対しては、図示されていないが、DAC(II)が同様に動作し、順次DAC(VIII)まで繰り返される。このように8個のポインタが順次作動することにより、DWADAC38の動作が実行される。これにより、マルチビットDACの性質上避けられない非線形ノイズ(ノイズ)が抑制されることになる。

【0086】

図33は、図31に示した変調器において、 $f_s / 16$ 、 $5 f_s / 16$ 、 $7 f_s / 16$ ($2N = 16$) が中心周波数となるように構成したマルチバンドパスフィルタにHPアルゴリズムポインタを8個適用した場合の変調器の出力スペクトラム(a)(dB:出力/周波数)と、その時のOSRに対するSNR(b)の値を示した図である。図32(b)において、() は非線形ノイズのない理想状態のSNRを示し、() は非線形ノイズがあつてかつ通常のDACを用いた場合を示す。(x) は本実施の形態例におけるDWADAC38を用いた場合の例である。この図32(b)から分かるように、本例のようにDWAマルチビットDACを用いた場合には、非線形ノイズがあつても、非線形ノイズがない場合() に極めて近いSNRを示している。すなわち、信号帯域を選択したマルチバンドパスフィルタ36を用いたマルチバンドパス変調器においても、フィードバックDACとして、DWA DACを用いることの有効性を確認することができる。

【0087】

以上、本発明の変調器に対して、N次の信号帯域に直流成分を含まないN個のゼロ点を持つマルチバンドパスフィルタを有するフィルタ(HPフィルタ)を用いた場合と、N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ(LPフィルタ)を用いた場合について説明した。

また、信号帯域の中心周波数を $f_s / 4$ とは異なる $f_s / 6$ とした場合の変調器についても説明した。しかしながら、本発明は、ここで説明した実施の形態に限定されるものではなく、請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、種々の変更事例を含むものであることは言うまでもない。

【引用符号の説明】

【0088】

1、10、20、30、31、35・・・減算器、2・・・N次の信号帯域に直流成分を含まないN個のゼロ点を持つマルチバンドパスフィルタ(HPフィルタ)、3、22、3

10

20

30

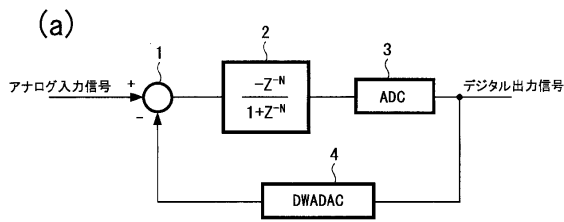
40

50

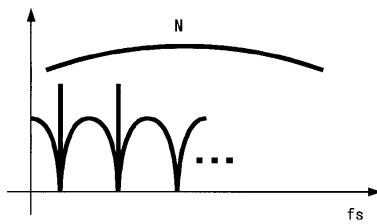
3、37・・・アナログデジタル変換器（ADC）、4、23、34、38・・・重み付けデジタルアナログ変換器（DWADAC）、5、8、25・・・デジタルアナログ変換器（DAC）、6・・・ポインタ、7、26・・・デジタル微分回路（フィルタ）、9、24・・・デジタル積分回路（フィルタ）、11、13、28、29・・・遅延回路、12、27・・・加算器、21・・・N次の信号帯域に直流成分を含むN個のゼロ点を持つマルチバンドパスフィルタ（LPフィルタ）、32・・・バンドパスフィルタ

【図1】

FIG. 1

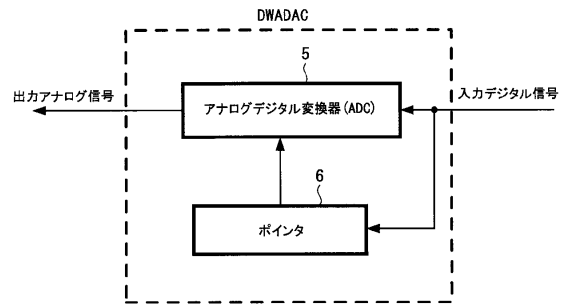


(b)



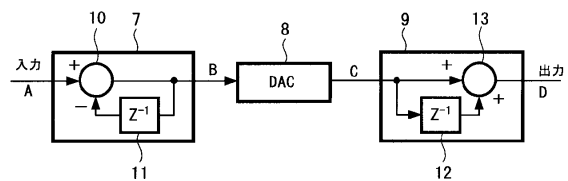
【図2】

FIG. 2



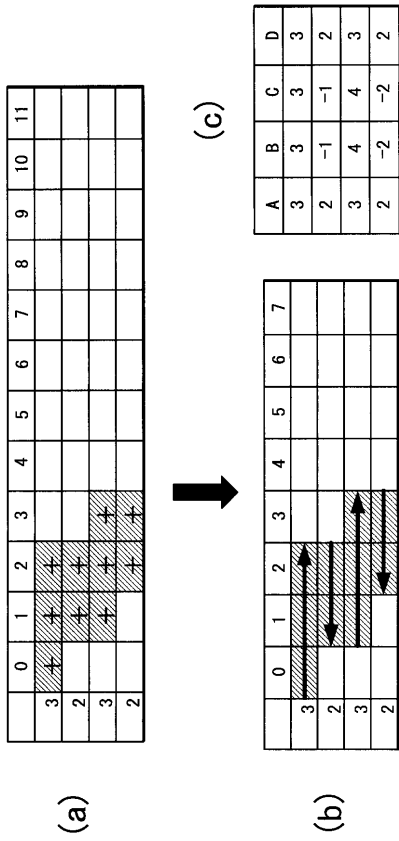
【図3】

FIG. 3



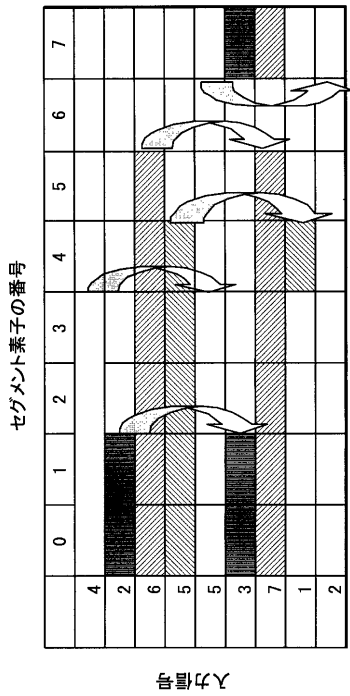
【 図 4 】

FIG. 4



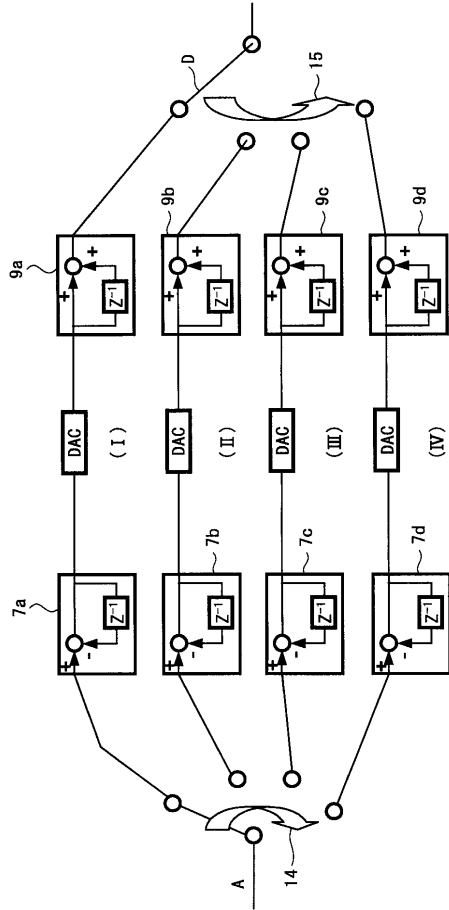
【 図 6 】

FIG. 6



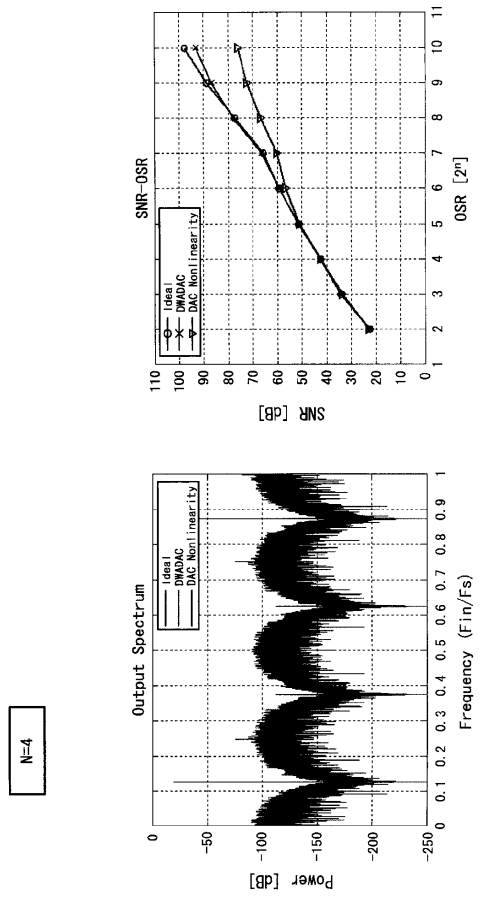
【 図 5 】

FIG. 5



【 図 7 】

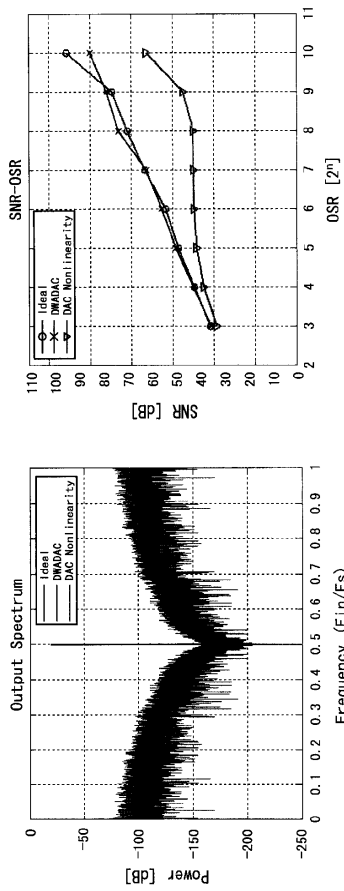
FIG. 7



【 8 】

FIG. 8

N=1

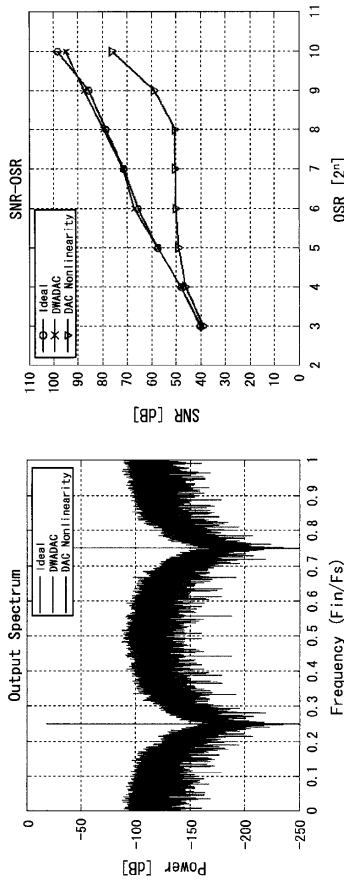


【 1 0 】

【 9 】

FIG. 9

N=2 (BP)



【 1 1 】

FIG. 10

N=3

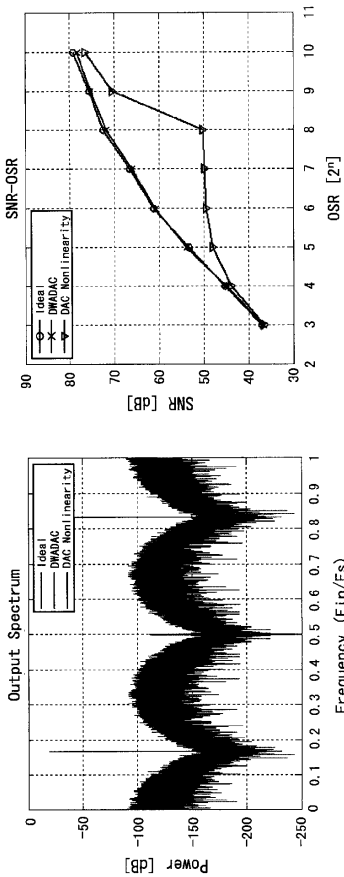
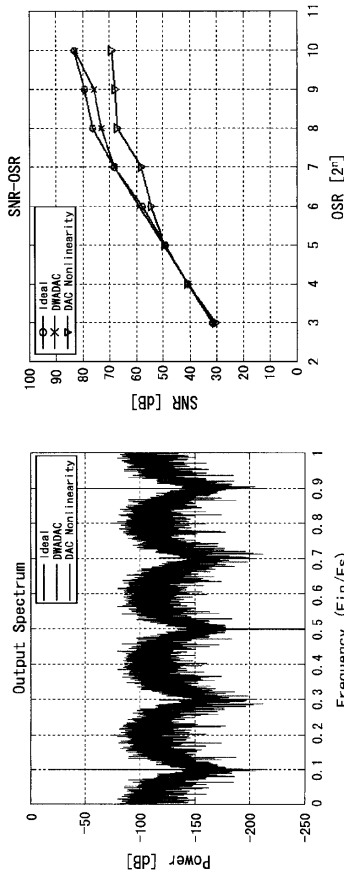


FIG. 11

N=5



【 1 2 】

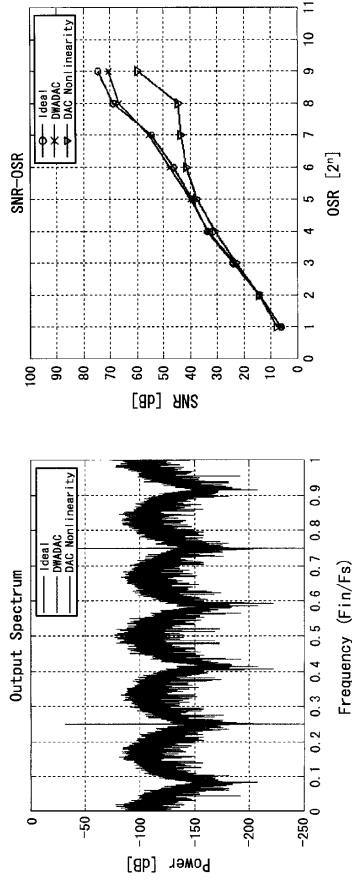


FIG. 12

N=6

【 1 4 】

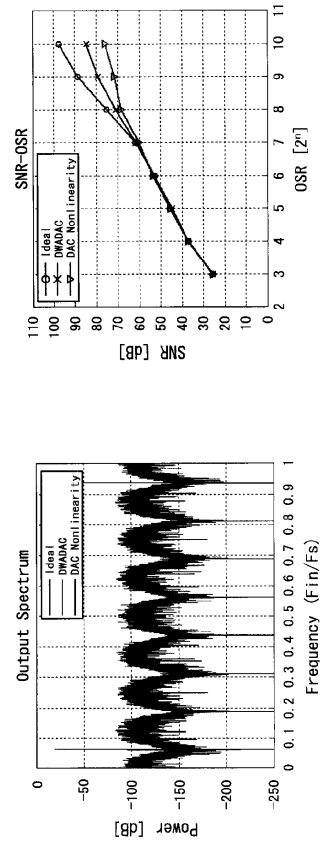


FIG. 14

N=8

【 1 3 】

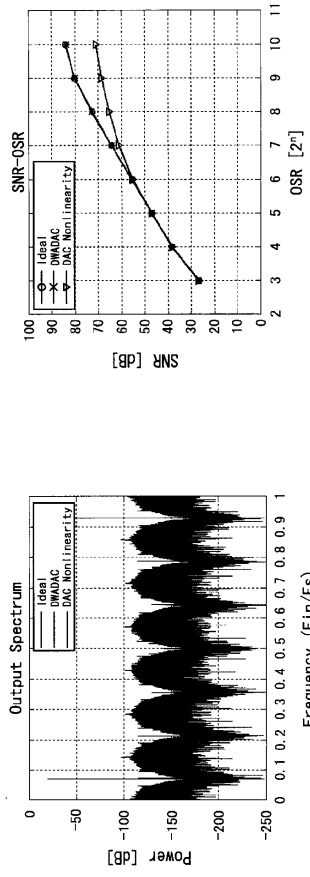
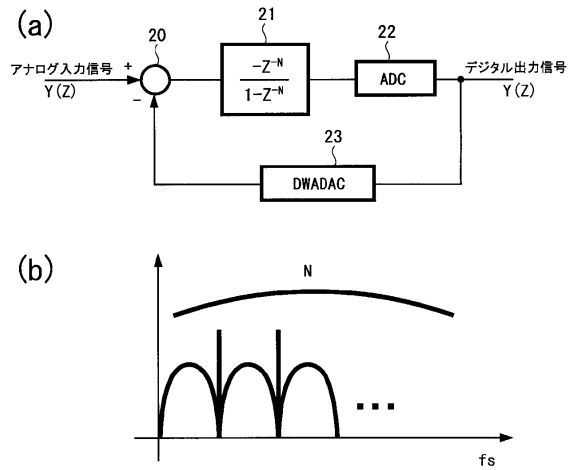


FIG. 13

N=7

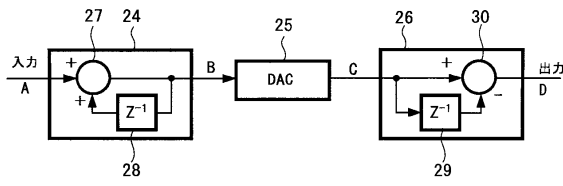
【 1 5 】

FIG. 15



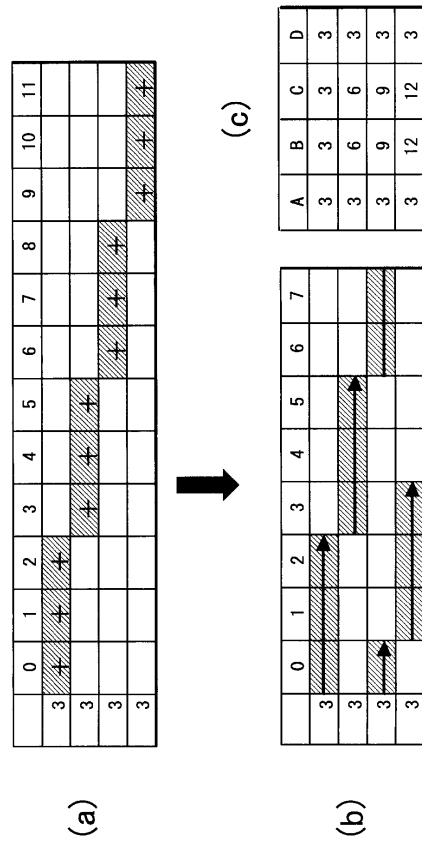
【 図 1 6 】

FIG. 16



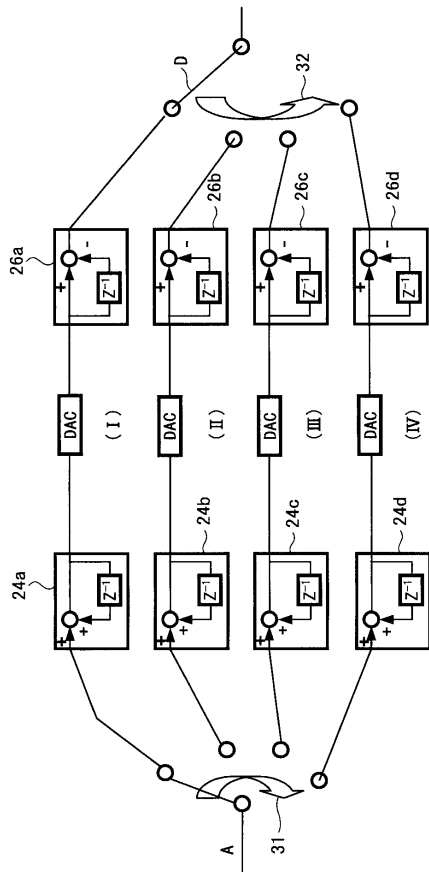
【 図 1 7 】

FIG. 17



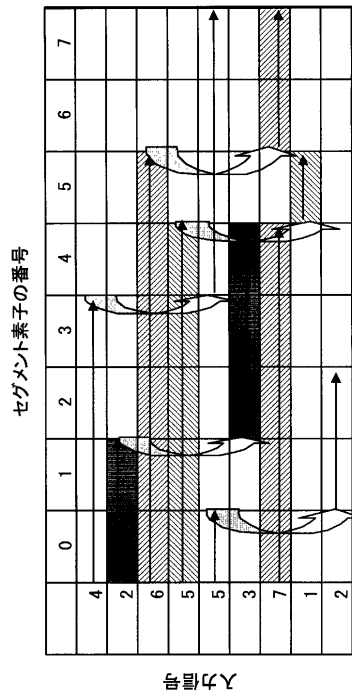
【 図 1 8 】

FIG. 18



【 図 1 9 】

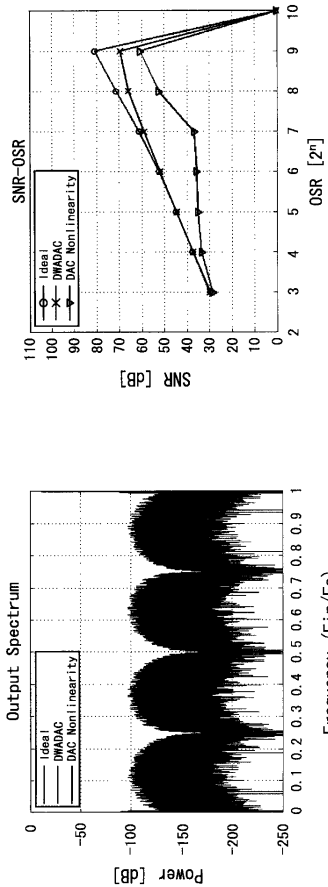
FIG. 19



【 20 】

FIG. 20

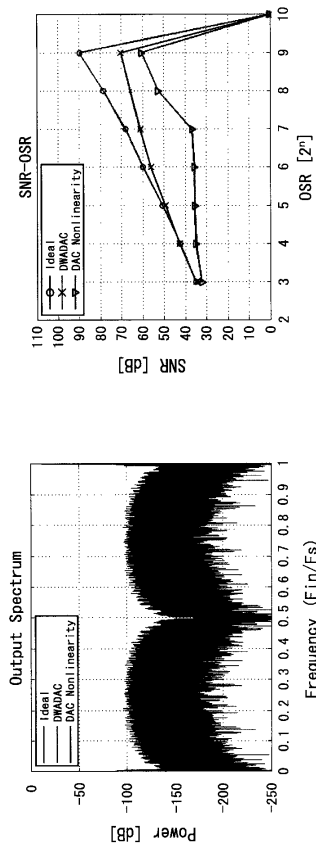
N=4



【 22 】

FIG. 22

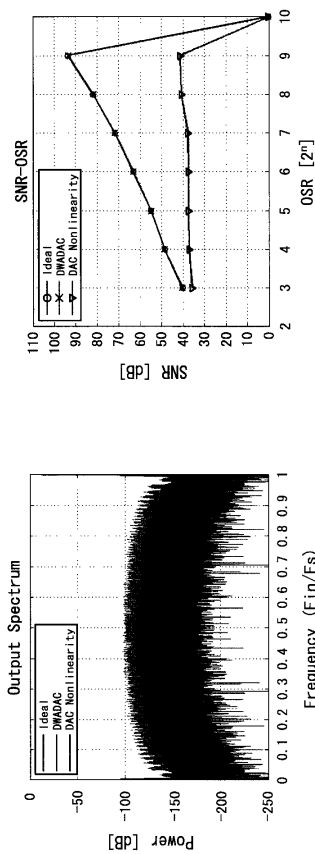
N=2



【 21 】

FIG. 21

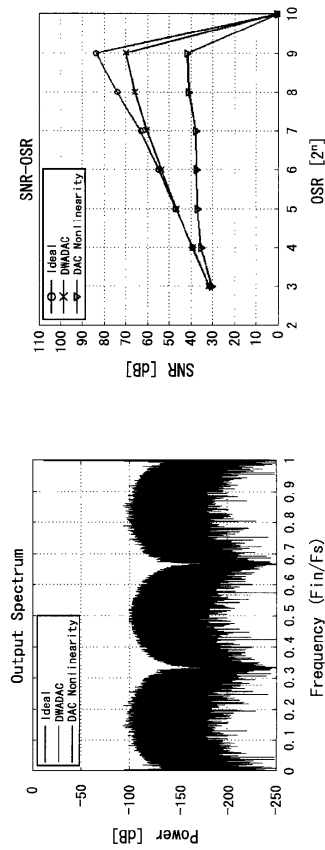
N=1



【 23 】

FIG. 23

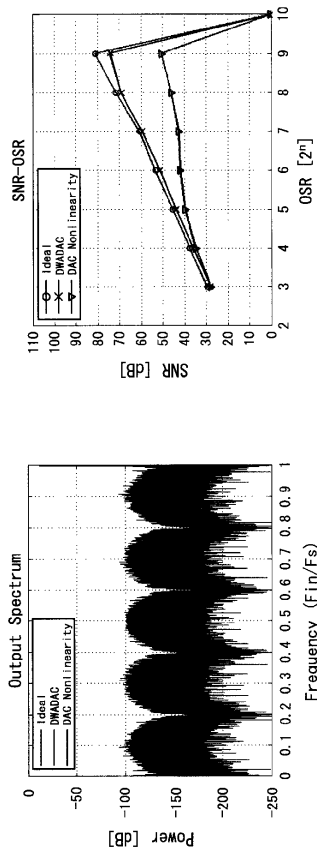
N=3



【 2 4 】

FIG. 24

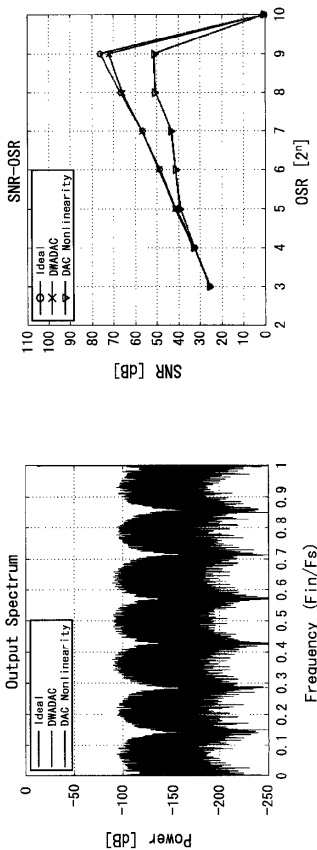
N=5



【 2 6 】

FIG. 26

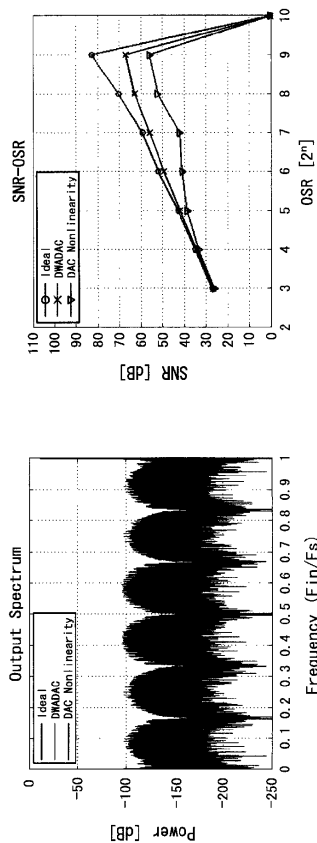
N=7



【 2 5 】

FIG. 25

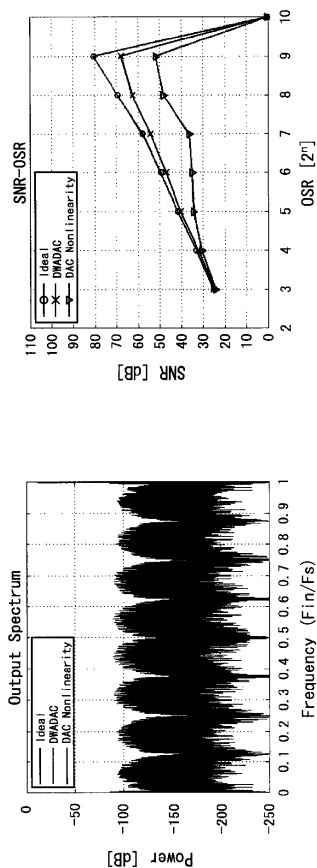
N=6



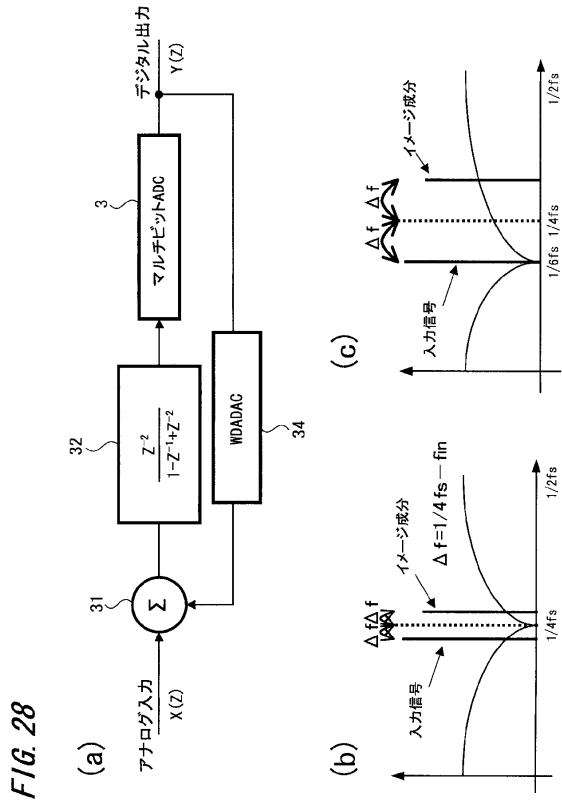
【 2 7 】

FIG. 27

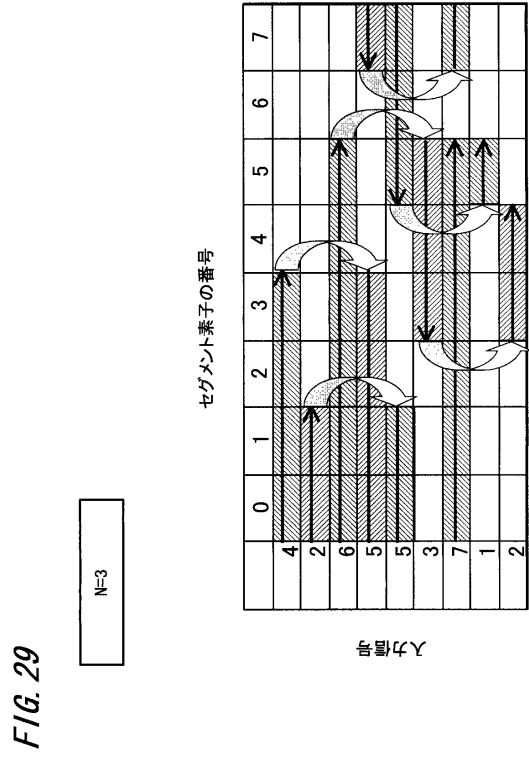
N=8



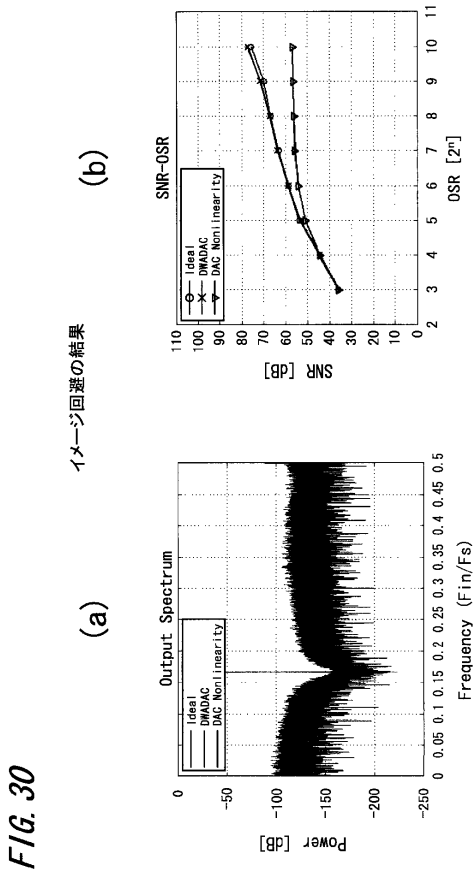
【図28】



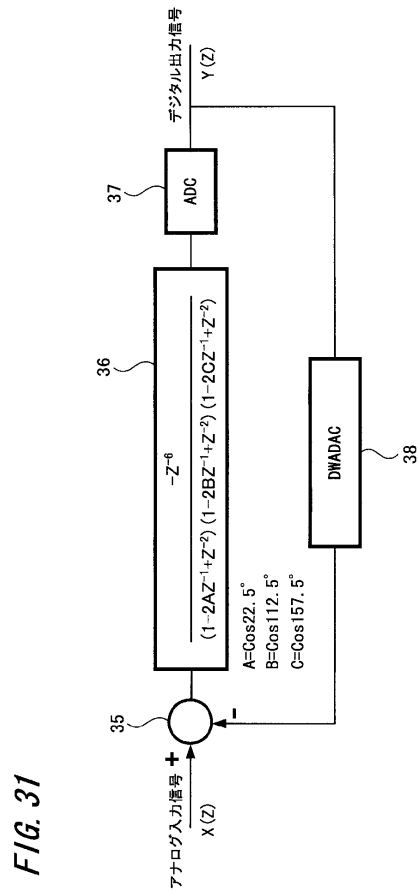
【図29】



【図30】



【図31】



【 図 3 2 】

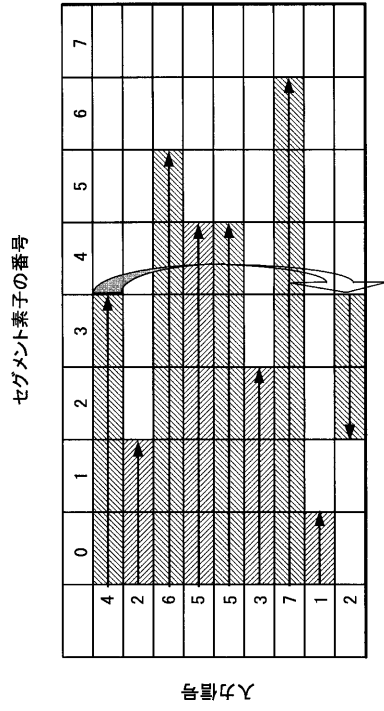
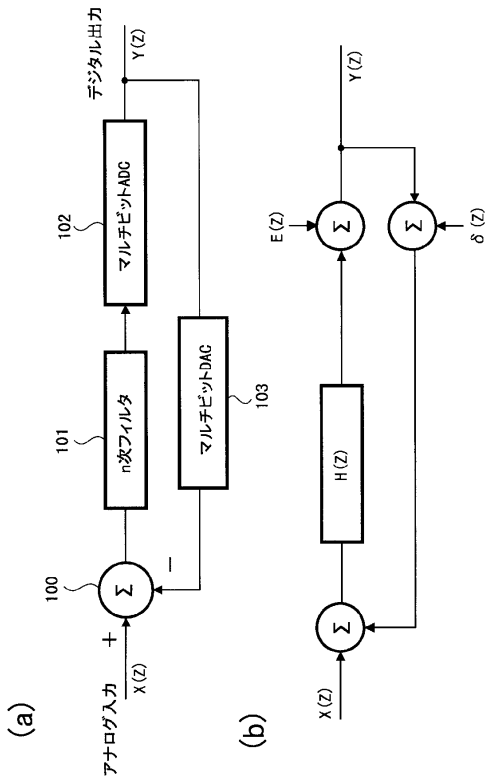


FIG. 32

【 図 3 4 】

FIG. 34

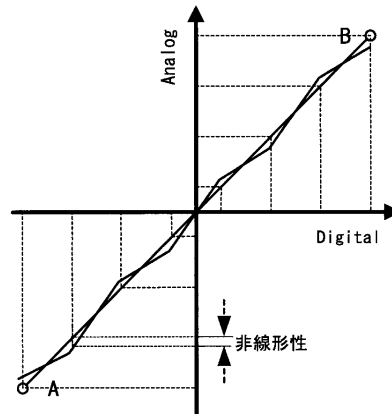


【 図 3 3 】

FIG. 33

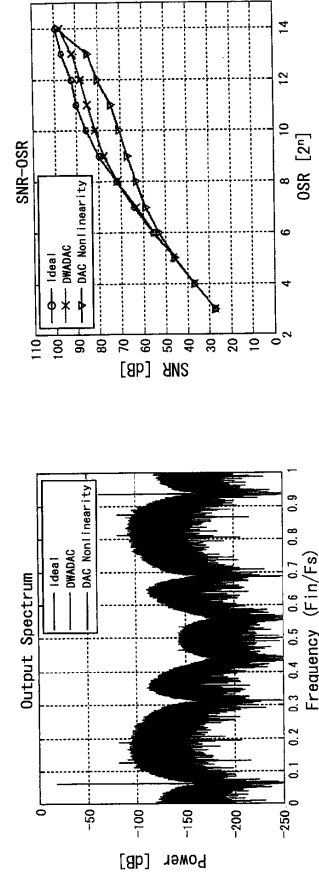
【 図 3 5 】

FIG. 35



(b)

(a)



フロントページの続き

(72)発明者 傘 昊

群馬県桐生市本町3-2-1 レオパレスHARVE302号

審査官 北村 智彦

(56)参考文献 特開2005-535229(JP,A)

特開2002-353815(JP,A)

特開2004-509500(JP,A)

特開平7-312555(JP,A)

特開2006-13705(JP,A)

特開2006-13704(JP,A)

Hao SAN, Haruo KOBAYASHI, Shinya KAWASAKI, Nobuyuki KUROIWA, A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass AD Modulators, IEICE Trans. on Fundamentals, 2004年4月, VolE87-A, No.4, p.792-800

Hao SAN, Haruo KOBAYASHI, Shinya KAWASAKI, Nobuyuki KUROIWA, An Element Rotation Algorithm for Multi-bit DAC Nonlinearities in Complex Bandpass AD Modulators, Proceedings of the 17th International Conference on VLSI Design(VLSID'04), 2004年, p.151-156

(58)調査した分野(Int.Cl., DB名)

H03M3/00-11/00