

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-241684
(P2007-241684A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl. F I テーマコード (参考)
G06G 7/12 (2006.01) G06G 7/12 H
G06G 7/25 (2006.01) G06G 7/25 R

審査請求 未請求 請求項の数 3 O L (全 15 頁)

(21) 出願番号 特願2006-63529 (P2006-63529)
 (22) 出願日 平成18年3月9日(2006.3.9)

(71) 出願人 504174135
 国立大学法人九州工業大学
 福岡県北九州市戸畑区仙水町1番1号
 (74) 代理人 100121371
 弁理士 石田 和人
 (74) 代理人 100133592
 弁理士 山口 浩一
 (72) 発明者 森江 隆
 福岡県北九州市若松区ひびきの2-4 国立大学法人九州工業大学大学院生命体工学研究科内
 (72) 発明者 是角 圭祐
 福岡県北九州市若松区ひびきの2-4 国立大学法人九州工業大学大学院生命体工学研究科内

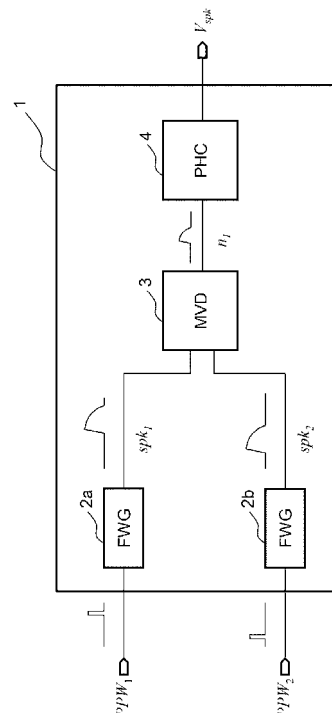
(54) 【発明の名称】 関数演算器

(57) 【要約】

【課題】 PWM / PPM方式において、入力値差の関数 $F(|x_1 - x_2|)$ 演算を行うことが可能な関数演算器の提供。

【解決手段】 入力値 x_1, x_2 でパルス位相変調された入力信号 PPW_1, PPW_2 が入力されると、各信号に同期して、関数 $f(t)$ ($f(t)$ は $F(x)$ の変数 x を時間 t に変数置換した関数) に比例する関数信号 spk_1, spk_2 を生成する関数発生器 2 a, 2 b と、関数信号 spk_1, spk_2 のうち低い方に比例して変化する最小値信号 n_1 を生成する最小値検出器 3 と、最小値信号 n_1 の出力のピークを保持し結果信号 V_{spk} として出力するピークホールド回路 4 を備えた。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

2つの入力値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ に対して単調減少（又は単調増加）する関数 $F(|x_1 - x_2|)$ の演算を行う関数演算器であって、

入力値 x_1, x_2 に比例してパルスの時間位置が変調された2つのパルス位相変調信号 PPW_1, PPW_2 が入力されると、各信号に同期して、時間 $t (t > 0)$ の関数 $f(t)$ （但し、 $f(t)$ は $F(x)$ の変数 x を時間 t に変数置換した関数）に比例して強度が時間変化する関数信号 spk_1, spk_2 を生成する関数発生器と、

前記関数信号 spk_1, spk_2 の強度の最小値（又は最大値）に比例して強度が時間変化する最値信号 n_1 を生成する最値検出回路と、

前記最値信号 n_1 の強度のピークを保持し、結果信号 V_{s_pk} として出力するピークホールド回路と、

を備えたことを特徴とする関数演算器。

10

【請求項 2】

入力値 x_1, x_2 に応じてパルス幅変調された2つのパルス幅変調信号 PWM_1, PWM_2 が入力されると、各信号 PWM_1, PWM_2 に応じてパルスの時間位置が変調された2つのパルス位相変調信号 PPW_1, PPW_2 を生成するパルス生成器を備え、

前記関数発生器は、前記パルス生成器が生成する前記パルス位相変調信号 PPW_1, PPW_2 に同期させて前記関数信号 spk_1, spk_2 を発生させること

を特徴とする請求項 1 記載の関数演算器。

20

【請求項 3】

前記ピークホールド回路の生成する結果信号 V_{s_pk} の振幅値に比例するパルス幅信号 PWM_{s_pk} を生成するパルス幅変調器を備えたことを特徴とする請求項 1 又は 2 に記載の関数演算器。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、2つの入力値 x_1, x_2 を表すアナログ信号に対して、その絶対値 $|x_1 - x_2|$ に対し単調減少する関数 $F(|x_1 - x_2|)$ の演算を行うアナログ関数演算器に関する。

【背景技術】

【0002】

ノイマン型アーキテクチャと異なる別種の情報処理アーキテクチャとして、ニューラルネットワークの研究開発が進められている。ニューラルネットワークは、生体で行われている情報処理をモデル化したものであり、神経細胞を模したニューロンを基本単位とし、複数のニューロンをネットワーク状に配置して情報処理を行うものである。ニューラルネットワークは、パターン・マッチングなどに応用される。このニューラルネットワークの高速化・高集積化を図るための実現手段として、アナログ方式のニューロLSIが着目されている。

40

【0003】

アナログ・ニューロLSIの回路方式としては、従来は、純アナログ方式、純デジタル方式、及びパルス密度変調方式が多かったが、近年では、アナログとデジタルの両方の利点を共有しようとするパルス幅変調方式やパルス位相変調方式が提案されている。パルス幅変調（PWM）方式又はパルス位相変調（PPM）方式は、電圧又は電流に0/1の2値を持たせ、時間軸方向においてパルス幅又はパルス位相（タイミング）によりアナログ量を表現する情報を持たせたパルス信号を用いる回路技術である。この方式では、デジタル回路（インバータ、ゲート回路等）とアナログ回路（キャパシタ、ソースフォロワ回路等）とを組み合わせると回路が構成される。従って、デジタル回路についてはSiCMOS

50

技術の微細化に沿ってスケーリングできるため、純アナログ方式に比べるとチップ上の占有面積を小さくできる。また、低電圧動作も可能で、高い制御性を有し、既存のデジタルシステムとのマッチングもよく、ノイズやクロストークなどにも強いといった利点がある。さらに、PWM / PPM信号とアナログ電圧との変換過程で任意の非線形変換を実現することが可能である。

【0004】

PWM / PPM方式の回路技術としては、例えば、特許文献1，非特許文献1，2に記載の演算器が開発されている。

【0005】

図11は、特許文献1，非特許文献1，2に記載の非線形演算器の基本構成を示す図である。図11(a)の非線形演算回路は、非線形電圧源101，スイッチ102，及びキャパシタ103を備えた構成からなる。入力信号として、入力端子104にPPM信号が入力される。PPM信号は、パルスの終端エッジ位置(T)に情報を持つパルス位相変調信号である。時刻0において非線形電圧源101の電圧値は立ち上がり、時刻 $t > 0$ で非線形電圧源101の電圧値は図11(d)に示すように任意の時間関数で変化する。PPMパルスの終端エッジの時刻をTとする。非線形電圧源101の出力電圧 V_3 の時間変化を図11(d)の $f(t)$ で表す。

10

【0006】

PPMパルスが立ち上がる前は、スイッチ103は非導通状態にある。このとき、キャパシタ103には電荷が保持されておらず、キャパシタ103の端子間電圧 V_2 は0である。 $t = T - t \sim T$ においてPPMパルスが立ち上がると、スイッチ104は時間 t だけ導通状態となる。この時点で、キャパシタ103は充電され、パルスの終端エッジ $t = T$ において電圧値 $V_2 = f(T)$ が保持される。これにより、非線形演算が行われたことになる。

20

【0007】

また、非特許文献3，4には、PWM方式の積和演算回路が提案されている。図12は、非特許文献3に記載の非線形演算器を表す図である。図12において、非線形演算器は、MOSトランジスタ M_1 ， M_2 ， M_3 、キャパシタ C_N 、入力回路110、出力バッファ回路111，及びコンパレータ112を備えている。

【0008】

非線形関数の任意波形は、電圧 V_F として、MOSトランジスタ M_1 のゲートに入力される。前段ニューロンの状態値を表す入力信号は、PWMパルスとして入力回路110に入力される。入力回路110は、結合荷重を表す電圧 V_W に従って、PWMパルスのパルス電圧を調整し、MOSトランジスタ M_2 のゲートに出力する。

30

【0009】

2つのMOSトランジスタ M_1 ， M_2 により、前段ニューロンの状態値の非線形変換及び結合荷重の重み付けの2つの機能が同時に実現される。MOSトランジスタ M_1 ， M_2 を流れる電流は、キャパシタ C_N に電荷として蓄えられ、これが後段ニューロンの内部状態を表す。この後段ニューロンの内部状態は、出力バッファ111及びコンパレータ112によって、PWMパルスとして取り出すことができる。

40

【特許文献1】特開2000-57241号公報

【非特許文献1】T. Morie, K Murakoshi, M Nagata, and A. Iwata, "Pulse Modulation Techniques for Nonlinear Dynamical Systems and a CMOS Chaos Circuit with Arbitrary 1-D Maps", IEICE Trans. Electron., Vol. E87-C, No. 11, pp. 1856-1862, 2004.

【非特許文献2】T. Morie, S. Sakabayashi, H. Ando, M. Nagata and A. Iwata, "Pulse Modulation Circuit Techniques for Nonlinear Dynamical Systems", Proc. International Symposium on Nonlinear Theory and its Application (NOLTA'98), pp. 447-450, Crans-Montana, Sept. 16, 1998.

【非特許文献3】是角圭祐，森江隆，野村修，真継優和，岩田穆，「アナログ・デジタル融合アーキテクチャによるConvolutional Network LSIの設計」，日本神経回路学会 第12

50

回全国大会 (JNNS2002), pp. 17-20, 2002年9月, 鳥取大学(鳥取)

【非特許文献4】K. Korekado, T. Morie, O. Nomura, H. Ando, T. Nakano, M. Matsugu, and A. Iwata, "A VLSI Convolutional Neural Network for Image Recognition Using Merged/Mixed Analog-Digital Architecture", Int. J. Fuzzy and Intelligent Systems, Vol.15, No.314, No. 3/4, pp.173-179, 2004.

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、パターン・マッチングなどの情報処理を行う場合、しばしば、2つの状態値の距離や類似度、すなわち、状態値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ の関数 $F(|x_1 - x_2|)$ の演算が必要となる場合がある。上述のPWM/PPM方式のアナログ・ニューロLSIを使用する場合、かかる関数 $F(|x_1 - x_2|)$ の計算をPWM/PPM方式により行う必要がある。しかしながら、現在のところそのような関数演算器は提案されていない。

【0011】

そこで、本発明の目的は、PWM/PPM方式において、入力値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ の任意の関数 $F(|x_1 - x_2|)$ の演算を行うことが可能な関数演算器を提供することにある。

【課題を解決するための手段】

【0012】

本発明に係る関数演算器の第1の構成は、2つの入力値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ に対し単調減少(又は単調増加)する関数 $F(|x_1 - x_2|)$ の演算を行う関数演算器であって、

パルスエッジの位置が入力値 x_1, x_2 に比例するようにパルス位相変調された2つの入力信号 PPW_1, PPW_2 が入力されると、各信号に同期して、時間 t ($t > 0$)の関数 $f(t)$ (但し、 $f(t)$ は $F(x)$ の変数 x を時間 t に変数置換した関数)に比例して出力が時間変化する関数信号 spk_1, spk_2 を生成する関数発生器と、

前記関数信号 spk_1, spk_2 の強度の最小値(又は最大値)に比例して時間変化する最値信号 n_1 を生成する最値検出器と、

前記最値信号 n_1 の出力のピークを保持し、結果信号 V_{spk} として出力するピークホールド回路と、を備えたことを特徴とする。

【0013】

この構成によれば、入力値 x_1, x_2 が入力信号 PPW_1, PPW_2 として入力されると、関数発生器は、それぞれの入力信号 PPW_1, PPW_2 に同期した2つの関数信号 spk_1, spk_2 を生成する。入力信号 PPW_1, PPW_2 のタイミングをそれぞれ t_1, t_2 とする。関数信号の電圧を $V_0 f(t)$ とする(V_0 は比例定数)。このとき、時刻 t の関数信号 spk_1, spk_2 の電圧は、 $V_0 f(t - t_1), V_0 f(t - t_2)$ となる。最値検出器は、関数 $F(|x_1 - x_2|)$ が単調減少関数の場合、関数信号 spk_1, spk_2 の電圧の最小値に比例して電圧が時間変化する最値信号 n_1 を生成する。すなわち、時刻 t の最値信号 n_1 の電圧 $Out_1(t)$ は、

【0014】

【数1】

$$Out_1(t) = \beta_1 \min\{V_0 f(t - t_1), V_0 f(t - t_2)\} \quad (1)$$

となる。但し、 β_1 は比例定数である。関数 $f(t)$ は $t=0$ で急峻に立ち上がり、 $t > 0$ で単調減少する関数なので、

【0015】

【数2】

$$Out_1(t) = \begin{cases} \beta_1 V_0 f(t - \max\{t_1, t_2\}) & (\text{if } t < \max\{t_1, t_2\}) \\ \beta_1 V_0 f(t - \min\{t_1, t_2\}) & (\text{otherwise}) \end{cases} \quad (2)$$

となる。関数信号 spk_1, spk_2 の $t=t_1, t=t_2$ における立ち上がりが急峻であれば、 $t = \max\{t_1, t_2\}$ の付近における関数信号 $\beta_1 V_0 f(t - \max\{t_1, t_2\})$ の立ち上がり時間は無視できるので、

【 0 0 1 6 】

【 数 3 】

$$Out_1(t) = \begin{cases} 0 & (\text{if } t < \max\{t_1, t_2\}) \\ \beta_1 V_0 f(t - \min\{t_1, t_2\}) & (\text{otherwise}) \end{cases} \quad (3)$$

となる。ピークホールド回路は、最値信号 n_1 のピーク電圧を保持し、結果信号 V_{spk} として出力する。結果信号 V_{spk} は、関数 $f(t)$ が単調減少関数であることを考慮すれば、

【 0 0 1 7 】

【 数 4 】

$$\begin{aligned} V_{spk} &= \max_t [\beta_2 Out_1(t)] && 10 \\ &= \beta V_0 f(\max\{t_1, t_2\} - \min\{t_1, t_2\}) \quad (\beta = \beta_1 \beta_2) \\ &= \beta V_0 f(|t_1 - t_2|) && (4) \\ &= \beta V_0 F(|x_1 - x_2|) \end{aligned}$$

となる。すなわち、関数 $f(|t_1 - t_2|) = F(|x_1 - x_2|)$ に比例する電圧の結果信号 V_{spk} が得られる。

【 0 0 1 8 】

尚、関数 $F(|x_1 - x_2|)$ が単調増加関数の場合、最値検出器は、関数信号 spk_1, spk_2 の電圧の最大値に比例して電圧が時間変化する最値信号 n_1 を生成する。この場合、関数 $f(t)$ は、 $t < 0$ で漸近最大値、 $t = 0$ で急峻に立ち下がり、 $t > 0$ で漸近最大値に向かって単調増加する関数となる。この場合、式 (1) の $\min\{ \}$ を $\max\{ \}$ に置き換えれば、あとは同様となる。

20

【 0 0 1 9 】

ここで、「パルスエッジ」とは、パルスの立ち上がり又は立ち下がりのことをいう。

【 0 0 2 0 】

関数 $f(t)$ は、目的関数 $F(x)$ の変数 x を時間 t に変数置換した関数である。すなわち、入力信号 PPW_1, PPW_2 のパルスエッジの時刻を t_1, t_2 とすると、 $t_1 = Ax_1 + B$, $t_2 = Ax_2 + B$ と表される。ここで、 A, B は定数である。このとき、 $f(t) = f(Ax + B) = F(X)$ となる。関数 $f(t)$ の関数形は任意であり、演算を行おうとしている目的関数 $F(|x_1 - x_2|)$ の関数形に合わせたものが採用される。

【 0 0 2 1 】

30

また、本発明において、前記最値検出器は、出力ノードを共通として並列に設けられた同特性の2つのソース・フォロワ（又はエミッタ・フォロワ）増幅回路を備え、各ソース・フォロワ（又はエミッタ・フォロワ）増幅回路の入力にそれぞれ関数信号 spk_1, spk_2 が入力される構成とすることができる。

【 0 0 2 2 】

また、本発明において、前記ピークホールド回路は、ホールド電圧を保持するためのコンデンサ、前記コンデンサと前記最値検出器の出力ノードとの間に接続されたダイオード、及び、前記コンデンサに保持された電圧を出力するバッファ回路を備えた構成とすることができる。

【 0 0 2 3 】

40

本発明に係る関数演算器の第2の構成は、前記第1の構成において、入力値 x_1, x_2 に応じてパルス幅変調された2つのパルス幅変調信号 PWM_1, PWM_2 が入力されると、各信号 PWM_1, PWM_2 に応じてパルスの位置が変調された2つの入力信号 PPW_1, PPW_2 を生成するパルス生成器を備え、

前記関数発生器は、前記パルス生成器が生成する前記入力信号 PPW_1, PPW_2 に同期させて前記関数信号 spk_1, spk_2 を発生させることを特徴とする。

【 0 0 2 4 】

この構成により、入力値 x_1, x_2 をパルス幅変調信号として入力して、目的関数 $F(|x_1 - x_2|)$ の演算を行うことができる。

【 0 0 2 5 】

50

本発明に係る関数演算器の第3の構成は、前記第1又は2の構成において、前記ピークホールド回路の生成する結果信号 V_{spk} の振幅値に比例するパルス幅変調信号 PWM_{spk} を生成するパルス幅変調器を備えたことを特徴とする。

【0026】

この構成により、目的関数 $F(|x_1 - x_2|)$ の演算結果をパルス幅変調信号として出力することができる。

【発明の効果】

【0027】

以上のように、本発明によれば、PWM/PPM方式において、入力値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ の任意の関数 $F(|x_1 - x_2|)$ の演算を行うことが可能な関数演算器を提供することができる。

10

【発明を実施するための最良の形態】

【0028】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例1】

【0029】

図1は、本発明の実施例1に係る関数演算器1の全体構成を表すブロック図である。本実施例に係る関数演算器1は、2つの入力値 x_1, x_2 の差の絶対値 $|x_1 - x_2|$ に対し単調減少する関数 $F(|x_1 - x_2|)$ の演算を行う。関数 $F(|x_1 - x_2|)$ の関数形は任意であり、目的に応じて適宜選択すればよい。例えば、関数 $F(|x_1 - x_2|)$ として、距離関数 $|x_1 - x_2|^2$ 、類似度関数 $1/|x_1 - x_2|^2$ などが挙げられる。

20

【0030】

関数演算器1は、関数発生器2a, 2b、最値検出器3、及びピークホールド回路4を備えている。関数演算器1には、パルスエッジの位置が入力値 x_1, x_2 に比例するようにパルス位相変調された2つの入力信号 PPW_1, PPW_2 が入力される。

【0031】

関数発生器2a, 2bは、それぞれ入力される入力信号 PPW_1, PPW_2 をトリガとして、関数 $f(t)$ に比例して電圧が時間変化する関数信号 spk_1, spk_2 を生成する。ここで、 t 及び $f(t)$ は前に説明した通りである。最値検出器3は、関数信号 spk_1, spk_2 のうち低い方の電圧に比例して時間変化する最値信号 n_1 を生成する。ピークホールド回路4は、最値信号 n_1 のピークを保持し、結果信号 V_{spk} として出力する。

30

【0032】

図2(a)は、関数発生器2a, 2bの構成の一例を表す図である。関数発生器2a, 2bは、スイッチ10、ランプ電圧生成回路11、電流源12、及びキャパシタ13を備えている。

【0033】

スイッチ10は、一方の端子が電源、他方の端子が出力ノード14に接続されている。キャパシタ13は、一方の端子が出力ノード14に接続され、他方の端子が接地されている。また、出力ノード14に接続された側のキャパシタ13端子には、電流源12の出力端子が接続されている。

40

【0034】

スイッチ10は、MOSトランジスタ等によって構成されたスイッチであり、入力信号 PPW_i によって通断制御がされるスイッチである。

【0035】

ランプ電圧生成回路11は、ランプ電圧 V_{rmp} を生成する回路である。電流源12は、MOSトランジスタ等によって構成され、ランプ電圧 V_{rmp} に比例した大きさの電流を出力する。

【0036】

尚、関数発生器2a, 2bは、演算を行おうとする関数 $F(x)$ の関数形によって適宜選択することができる。

50

【0037】

一例として、距離関数 $F(x) = |x_1 - x_2|^2$ を演算する場合について説明すると、図2のランプ電圧生成回路11としては、例えば、図3に記載の回路を使用することができる。図3のランプ電圧生成回路11は、電流源15、スイッチ16、及びキャパシタ17を備えている。電流源15とキャパシタ17は、電源 - 接地間に直列に接続されており、電流源15とキャパシタ17の接続ノード（以下「ランプ出力ノード18」という。）の電圧が、ランプ電圧 V_{rmp} として取り出される。スイッチ16は、ランプ出力ノード18と接地を通過するスイッチであり、入力信号 PPW_i によって通断制御される。

【0038】

また、他の例として、指数減衰関数 $F(x) = \exp(-|x_1 - x_2|)$ を演算する場合について説明すると、図2の関数発生器2a, 2bの代わりに、図4に示したような関数発生器2a, 2bを使用することができる。図4の関数発生器2a, 2bは、スイッチ10, キャパシタ13, 及び抵抗24を備えている。スイッチ10とキャパシタ13は、電源 - 接地間に直列に接続されており、スイッチ10とキャパシタ13の接続ノードが出力ノード14とされている。キャパシタ13の両端子間電圧が、関数信号 spk_1 として取り出される。また、出力ノード14と接地電位との間に抵抗24が接続されている。

10

【0039】

スイッチ10は、入力信号 PPW_i によって通断制御され、入力信号 PPW_i がON（アサート）の期間に接続状態となる。入力信号 PPW_i が、時刻 $t_1 - t \sim t_1$ に t の時間だけON状態とされると（図4（b）参照）、キャパシタ13が充電され、関数信号 spk_1 はほぼ電源電圧となる。その後、スイッチ10が遮断されると、キャパシタ13に蓄電された電荷は抵抗24通って放電される。キャパシタ13の容量をC、抵抗24の抵抗値をR、時間を t とすると、図4（c）に示したように、関数信号 spk_1 は $t > t_1$ において、 $\exp(-(t-t_1)/CR)$ に比例して減衰する。

20

【0040】

また、他の例として、一次減少関数 $F(x) = (-|x_1 - x_2|)$ を演算する場合について説明すると、図2の関数発生器2a, 2bの代わりに、図5に示したような関数発生器2a, 2bを使用することができる。図5の関数発生器2a, 2bは、スイッチ10, キャパシタ13, 及び定電流源12を備えている。スイッチ10とキャパシタ13は、電源 - 接地間に直列に接続されており、スイッチ10とキャパシタ13の接続ノードが出力ノード14とされている。キャパシタ13の両端子間電圧が、関数信号 spk_1 として取り出される。また、出力ノード14と接地電位との間に定電流源12が接続されている。

30

【0041】

スイッチ10は、入力信号 PPW_i によって通断制御され、入力信号 PPW_i がON（アサート）の期間に接続状態となる。入力信号 PPW_i が、時刻 $t_1 - t \sim t_1$ に t の時間だけON状態とされると（図5（b）参照）、キャパシタ13が充電され、関数信号 spk_1 はほぼ電源電圧となる。その後、スイッチ10が遮断されると、キャパシタ13に蓄電された電荷は定電流源12により引き出されて放電される。引き出される電流はほぼ一定なので、関数信号 spk_1 は $t > t_1$ において、図5（c）に示したように、 $CV_0 - (t-t_1)$ に比例して減少する。

40

【0042】

さらに、他の例として、シグモイド関数 $F(x) = 1/(1+\exp(-|x_1 - x_2|))$ を演算する場合について説明すると、図2の関数発生器2a, 2bの代わりに、図6に示したような関数発生器2a, 2bを使用することができる。図6の関数発生器2a, 2bは、MOSトランジスタ25, 26, 及びランプ電圧生成回路11を備えている。MOSトランジスタ25, 26は、電源 - 接地間にCMOSインバータ接続されており、MOSトランジスタ25のドレインとMOSトランジスタ26のドレインとの共通接続ノードが出力ノード14とされている。ランプ電圧生成回路11は、MOSトランジスタ25, 26のゲートに入力される。尚、ランプ電圧生成回路11は図3のものと同様とする。出力ノード14の電圧が、関数信号 spk_1 として取り出される。

50

【0043】

入力信号 PPW_i (図6(b)参照)によって、ランプ電圧生成回路11は、図6(c)に示すような、電源電圧から接地電圧まで直線的に減少するランプ電圧を発生する。このランプ電圧は、MOSトランジスタ25, 26で構成されるCMOSインバータに入力される。CMOSインバータの特性として、関数信号 spk_1 は図6(d)に示したようなシグモイド関数となる。

【0044】

図7(a)は、最値検出器3の構成を表す図である。最値検出器3は、MOSトランジスタ20, 21, 22により構成されたソース・フォロワ型の増幅回路である。MOSトランジスタ20は、ソースが電源に、ドレインが出力ノード23に接続されている。このMOSトランジスタ20は、ゲートに入力される一定のバイアス電圧 $bias_sf_pk$ によって定電流源として機能する。

10

【0045】

MOSトランジスタ21, 22は、出力ノード23とアース間に並列に接続されており、ドレインが接地, ソースが出力ノード23に接続されている。MOSトランジスタ21のゲートは関数発生器2aの出力ノード23に接続され、関数信号 spk_1 が入力される。MOSトランジスタ22のゲートは関数発生器2bの出力ノード23に接続され、関数信号 spk_2 が入力される。MOSトランジスタ20, 21及びMOSトランジスタ20, 22でそれぞれソース・フォロワが構成されており、両者は同一の利得となるように設計されている。従って、出力ノード23からは、関数信号 spk_1 又は関数信号 spk_2 のうち何れか小さい方の電圧に比例した信号が、最値信号 n_1 として出力される。

20

【0046】

図8(a)は、ピークホールド回路4の構成を表す図である。ピークホールド回路4は、ダイオード31、キャパシタ32、リセット・スイッチ33、及び出力バッファ回路34を備えている。

【0047】

入力ノード30は、最値検出器3の出力ノード23と接続され、最値信号 n_1 が入力される。ダイオード31とキャパシタ32は、入力ノード30及び電源間に直列に接続されている。ダイオード31は、アノードが入力ノード30に、カソードがキャパシタ32に接続されている。尚、ダイオード31としては、MOSトランジスタをダイオード接続したものを使用することができる。

30

【0048】

リセット・スイッチ33は、ダイオード31 - キャパシタ32間の接続ノード(以下、「中間出力ノード38」と呼ぶ。)と、アースとの間に接続されている。リセット・スイッチ33は、リセット信号 rst によりオン/オフするスイッチであり、MOSトランジスタ等によって構成される。

【0049】

出力バッファ回路34は、中間出力ノード38の信号(以下「中間出力信号 n_2 」という。)を増幅して出力ノード35から結果信号 V_{s_pk} として出力する回路である。出力バッファ回路34は、MOSトランジスタ36, 37により構成された通常のソース・フォロワ増幅回路である。MOSトランジスタ36, 37は、電源 - アース間に直列に接続されており、両者の接続ノードが出力ノード35となっている。MOSトランジスタ36のゲートには中間出力信号 n_2 が入力される。MOSトランジスタ37のゲートにはバイアス電圧 $bias_sf_out$ が入力される。MOSトランジスタ37は、一定バイアス電圧 $bias_sf_out$ によって定電流源として機能する。

40

【0050】

以上のように構成された本実施例1の関数演算器1について、以下その動作を説明する。

【0051】

最初に、初期化動作として、リセット信号 rst (図8参照)のパルスが入力され、中間

50

出力ノード38の電位は0Vとされる。また、バイアス電圧bias_sf_pk, bias_sf_outが0Vとされ、MOSトランジスタ20, 37はオン状態される。

【0052】

次に、以下のようにして演算動作が行われる。

【0053】

まず、図2(b)のように、入力信号PPW_iとして幅tのパルスが入力されると、スイッチ16, 10がその間だけ導通状態となる。これにより、キャパシタ17は放電されて端子間電圧が0Vとなり、キャパシタ13は充電されて端子間電圧が電源電圧V₀となる。

【0054】

次に、時間tが経過すると入力パルスが立ち下がってスイッチ16, 10が遮断状態となる。この状態で、ランプ電圧生成回路11のキャパシタ17には、電流源15から一定電流がキャパシタ17に供給される。これにより、ランプ電圧V_{rmp}は図2(c)のように電源電圧V₀まで直線的に上昇する。入力パルスの立ち下がり時刻をt_i(i=1,2)、電流源15の出力電流をi₁₅、キャパシタ17の静電容量をC₁₇とすると、キャパシタ17に充電された電荷量をQ₁₇及びランプ電圧V_{rmp}は、次式(5), (6)となる。

10

【0055】

【数5】

$$Q_{17} = i_{15}(t - t_i) \quad (5)$$

$$V_{rmp} = \frac{Q_{17}}{C_{17}} = \frac{i_{15}}{C_{17}}(t - t_i) \quad (6)$$

20

【0056】

一方、電流源12は、ランプ電圧V_{rmp}に比例した電流i_{rmp}=αV_{rmp}を出力する。これにより、キャパシタ13は放電する。キャパシタ13の静電容量をC₁₃とすると、キャパシタ13に充電された電荷量をQ₁₃、及び関数信号spk_iは次式(7)(8)のようになる。

【0057】

【数6】

$$Q_{13} = C_{13}V_0 - \alpha V_{rmp}(t - t_i) = C_{13}V_0 - \frac{\alpha i_{15}}{C_{17}}(t - t_i)^2 \quad (7)$$

$$spk_i = V_0 - \frac{\alpha i_{15}}{C_{13}C_{17}}(t - t_i)^2 \equiv V_0 f(t - t_i) \quad (8)$$

30

【0058】

従って、関数信号spk₁は、図2(d)のように、電圧が時間の2乗に比例して減少する信号となる。

【0059】

以上のようにして、関数発生器2a, 2bは関数信号spk₁, spk₂を出力する。関数信号spk₁, spk₂は同型であり、時間軸方向に距離|t₁-t₂|だけシフトしたものである。図7(b)(c)に関数信号spk₁, spk₂の一例を示す。

【0060】

40

最値検出器3は、関数信号spk₁, spk₂のうちの低い方の電圧に比例して時間変化する最値信号n₁を生成する。MOSトランジスタ20, 21及びMOSトランジスタ20, 22で構成されるソース・フォロワ増幅回路の利得をβ₁とすると、最値信号n₁の電圧Out₁は、式(9)のようになる。

【0061】

【数7】

$$Out_1(t) = \begin{cases} 0 & (\text{if } t < \max\{t_1, t_2\}) \\ \beta_1 V_0 f(t - \min\{t_1, t_2\}) & (\text{otherwise}) \end{cases} \quad (9)$$

50

【 0 0 6 2 】

例えば、図 7 (b) (c) のような関数信号 spk_1 , spk_2 が入力された場合、最値信号 n_1 の電圧 Out_1 は、図 7 (d) のようになる。

【 0 0 6 3 】

一方、リセット動作によって、初期状態においては中間出力ノード 3 8 の電圧は 0 V である。従って、最値信号 n_1 の電圧 Out_1 が上昇すると、M O S トランジスタ 2 0 及びダイオード 3 1 を通して中間出力ノード 3 8 に電流が供給され、中間出力ノード 3 8 の電圧 Out_2 は電圧 Out_1 とほぼ等しくなる。このとき、キャパシタ 3 2 の端子間電圧は減少する。一方、最値信号 n_1 の電圧 Out_1 が下降し始めると、 $Out_2 > Out_1$ となるため、ダイオード 3 1 には電流が流れず、中間出力ノード 3 8 の電圧 Out_2 は一定に保持される。これにより、中間出力ノード 3 8 の電圧 Out_2 には、最値信号 n_1 のピーク電圧が保持される。

10

【 0 0 6 4 】

最値信号 n_1 の電圧のピークは、図 8 (d) から分かるように、関数信号 spk_1 , spk_2 のうち遅れた方が立ち上がる時刻 $\max\{t_1, t_2\}$ である。従って、中間出力ノード 3 8 に保持される電圧 Out_2 は、次式 (1 0) のようになる。

【 0 0 6 5 】

【 数 8 】

$$\begin{aligned} Out_2 &= \beta_1 V_0 f(\max\{t_1, t_2\} - \min\{t_1, t_2\}) \\ &= \beta_1 V_0 f(|t_1 - t_2|) \end{aligned} \quad (10)$$

20

【 0 0 6 6 】

出力バッファ回路 3 4 は、中間出力ノード 3 8 の電圧 Out_2 を増幅し、結果信号 V_{spk} として出力ノード 3 5 に出力する。出力バッファ回路 3 4 の利得を β_2 とすると、結果信号 V_{spk} は式 (1 1) のようになる。

【 0 0 6 7 】

【 数 9 】

$$\begin{aligned} V_{spk} &= \beta V_0 f(|t_1 - t_2|) \\ &= V_{spk}^{(0)} - K|t_1 - t_2|^2 \propto |x_1 - x_2|^2 \end{aligned} \quad (11)$$

$$V_{spk}^{(0)} = \beta V_0 \quad (12)$$

30

$$K = \frac{\alpha \beta i_{15}}{C_{13} C_{17}} V_0 \quad (13)$$

$$\beta = \beta_1 \beta_2 \quad (14)$$

【 0 0 6 8 】

式 (1 1) より、結果信号 V_{spk} として、入力値 x_1, x_2 の距離 $|x_1 - x_2|^2$ に比例した値が得られることが分かる。

【 実施例 2 】

【 0 0 6 9 】

図 9 は、本発明の実施例 2 に係る関数演算器 1 ' の全体構成を表すブロック図である。実施例 2 の関数演算器 1 ' は、実施例 1 の関数演算器 1 に対して、関数発生器 2 a , 2 b の前段にそれぞれパルス生成器 4 0 a , 4 0 b を設け、ピークホールド回路 4 の後段にパルス幅変調器 4 1 を追加したものである。

40

【 0 0 7 0 】

パルス生成器 4 0 a , 4 0 b には、入力値 x_1, x_2 に応じてパルス幅変調された 2 つのパルス幅変調信号 PWM_1, PWM_2 が入力される。パルス幅変調信号 PWM_1, PWM_2 は、その後側エッジにおいて同期されているものとする。尚、逆に P W M 信号の前側エッジで同期している信号でも類似の回路で P P M 信号を生成することができる。パルス生成器 4 0 a , 4 0 b は、各パルス幅変調信号 PWM_1, PWM_2 に応じてパルスの位置が変調された 2 つのパルス位相変調信号 PPW_1, PPW_2 を生成する。

50

【0071】

また、パルス幅変調器41は、ピークホールド回路4が生成する結果信号 $V_{s,p,k}$ の振幅値に比例したパルス幅変調信号 $PWM_{s,p,k}$ を生成する。

【0072】

図10(a)は、パルス生成器40a, 40bの構成を表す図である。パルス生成器40a, 40bは、インバータ50、遅延回路51a, 51b、論理ゲート52、及び出力バッファ53を備えている。

【0073】

インバータ50には、パルス幅変調信号 PWM_i ($i=1,2$)が入力され、その反転信号を遅延回路51a, 51bに出力する。遅延回路51a, 51bは、ともに4段のインバータが直列に接続された構成とされている。但し、遅延回路51bは、遅延回路51aよりも伝達時間が t だけ長くなるように設計されている。論理ゲート52は、遅延回路51aの出力値及び51bの出力の反転値に対してOR演算を行う。出力バッファ53は、論理ゲート52の出力を増幅し、パルス位相変調信号 PPW_i として出力する。

10

【0074】

例えば、パルス幅変調信号 PWM_i として、図10(b)のような信号が入力された場合、遅延回路51a, 51bの出力は図10(c)(d)に示したパルス幅変調信号 $PWM_i^{(1)}$, $PWM_i^{(2)}$ となる。論理ゲート52は、これらの信号の反転値に対して回路図に示した論理演算を行う。その結果、パルス位相変調信号 PPW_i は、パルス幅変調信号 $PWM_i^{(1)}$ の立ち下がりエッジにおいて立ち下がり、パルス幅変調信号 $PWM_i^{(2)}$ の立ち下がりエッジにおいて立ち上がるような幅 t の短いパルスとなる。

20

【0075】

これにより、パルス幅変調信号 PWM_1 , PWM_2 から、入力値 x_1 , x_2 に応じてパルス位相変調がされた2つのパルス位相変調信号 PPM_1 , PPM_2 が生成される。

【0076】

関数発生器2a, 2b、最値検出器3及びピークホールド回路4の動作については、実施例1で説明した通りである。パルス幅変調器41は、結果信号 $V_{s,p,k}$ を再びパルス幅変調信号に変換し、パルス幅信号 $PWM_{s,p,k}$ として出力する。

【0077】

以上のように、本実施例2の関数演算器1'を使用すると、入力値 x_1 , x_2 をパルス幅変調信号 PWM_1 , PWM_2 として入力し、その演算結果をパルス幅信号 $PWM_{s,p,k}$ として得ることができる。

30

【図面の簡単な説明】

【0078】

【図1】本発明の実施例1に係る関数演算器1の全体構成を表すブロック図である。

【図2】関数発生器2a, 2bの構成の一例及び各信号の時間変化を表す図である。

【図3】ランプ電圧生成回路11の一例を表す図である。

【図4】指数減衰関数を生成する関数発生器の例を表す図である。

【図5】一次減少関数を生成する関数発生器の例を表す図である。

【図6】シグモイド関数を生成する関数発生器の例を表す図である。

40

【図7】最値検出器3の構成及び各信号の時間変化を表す図である。

【図8】ピークホールド回路4の構成及び各信号の時間変化を表す図である。

【図9】本発明の実施例2に係る関数演算器1'の全体構成を表すブロック図である。

【図10】パルス生成器40a, 40bの構成及び各信号の時間変化を表す図である。

【図11】特許文献1, 非特許文献1, 2に記載の非線形演算器の基本構成を示す図である。

【図12】非特許文献3に記載の非線形演算器を表す図である。

【符号の説明】

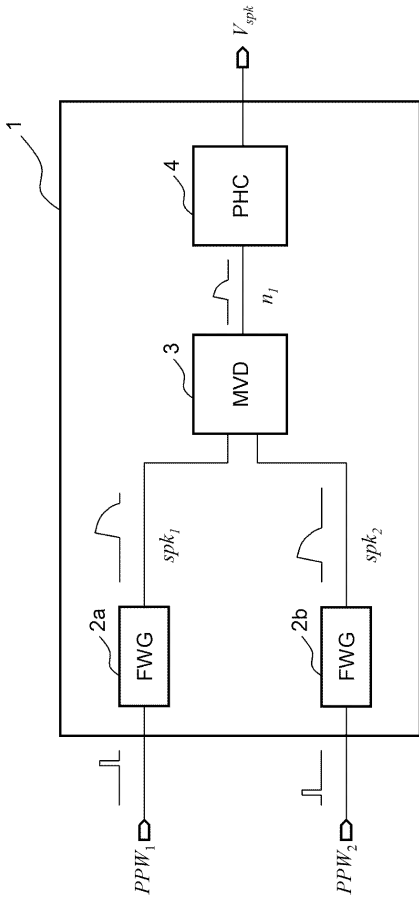
【0079】

1, 1' 関数演算器

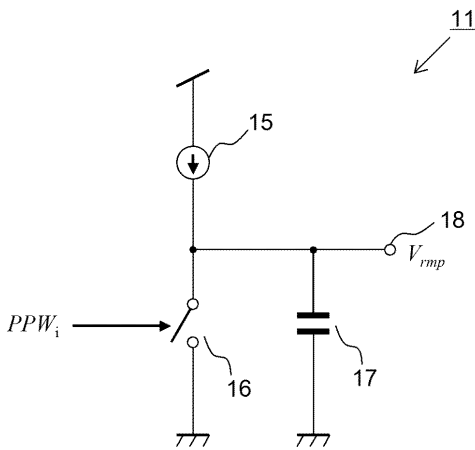
50

2 a , 2 b	関数発生器	
3	最値検出器	
4	ピークホールド回路	
1 0	スイッチ	
1 1	ランプ電圧生成回路	
1 2	電流源	
1 3	キャパシタ	
1 4	出力ノード	
1 5	電流源	
1 6	スイッチ	10
1 7	キャパシタ	
1 8	ランプ出力ノード	
2 0 , 2 1 , 2 2	M O S トランジスタ	
2 3	出力ノード	
2 4	抵抗	
2 5 , 2 6	M O S トランジスタ	
3 0	入力ノード	
3 1	ダイオード	
3 2	キャパシタ	
3 3	リセット・スイッチ	20
3 4	出力バッファ回路	
3 5	出力ノード	
3 6 , 3 7	M O S トランジスタ	
3 8	中間出力ノード	
4 0 a , 4 0 b	パルス生成器	
4 1	パルス幅変調器	
5 0	インバータ	
5 1 a , 5 1 b	遅延回路	
5 2	論理ゲート	
5 3	出力バッファ	30

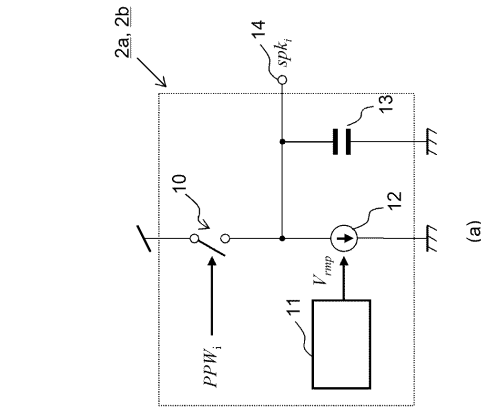
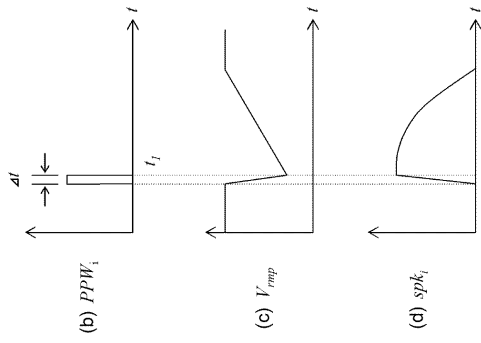
【図1】



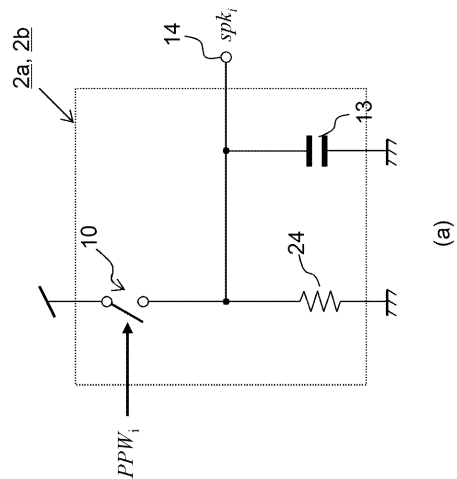
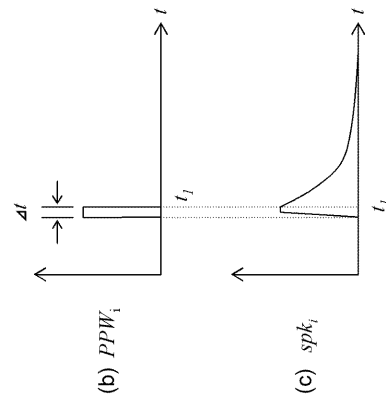
【図3】



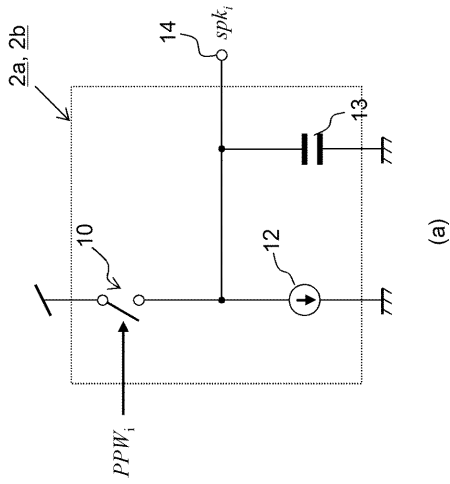
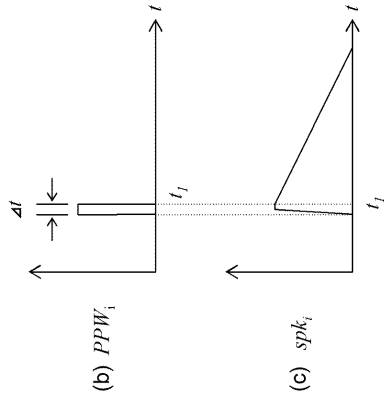
【図2】



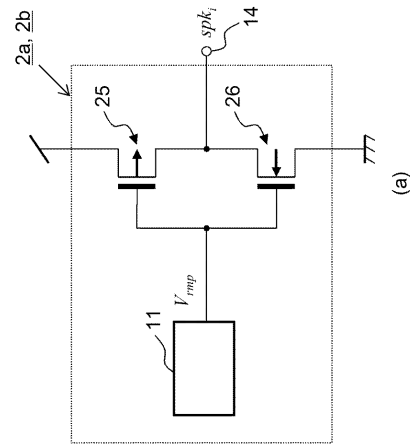
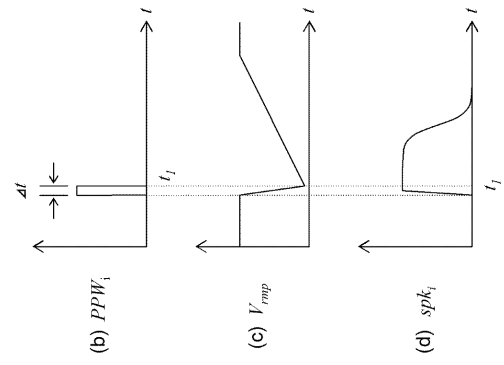
【図4】



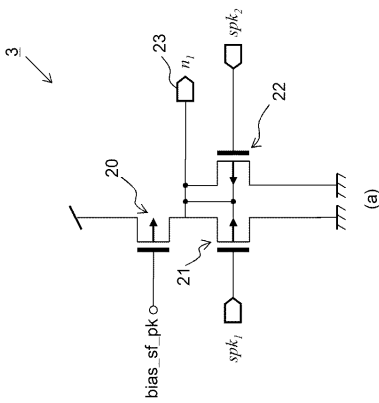
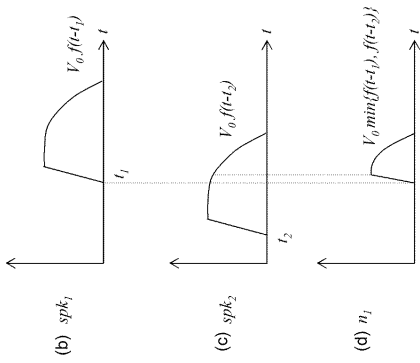
【 図 5 】



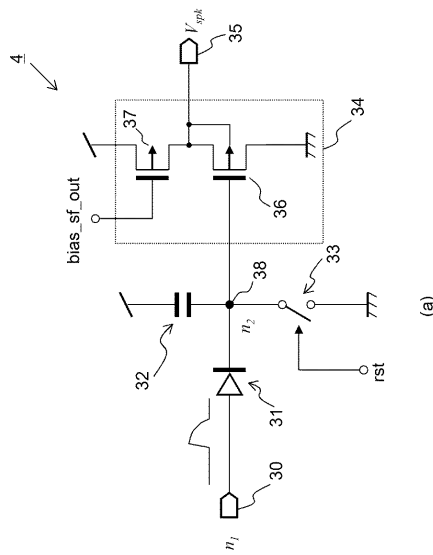
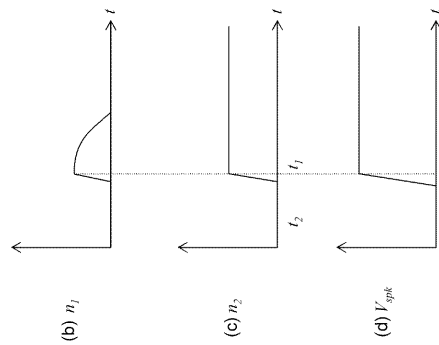
【 図 6 】



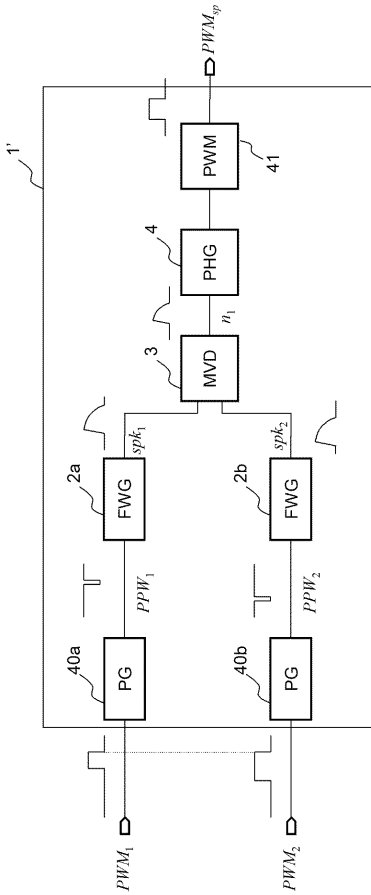
【 図 7 】



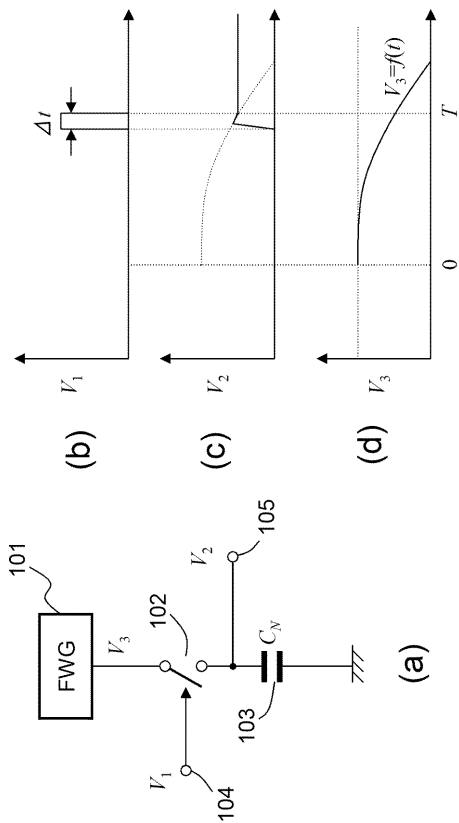
【 図 8 】



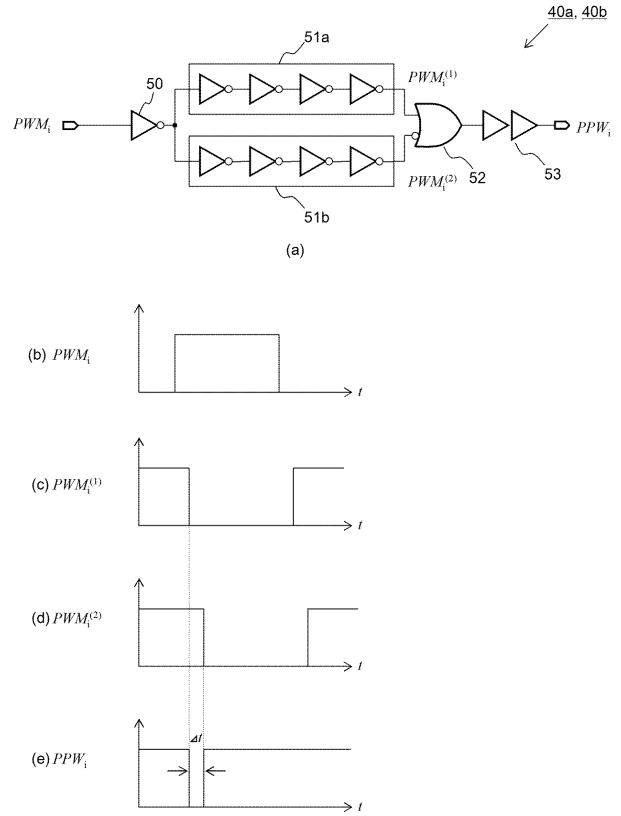
【図9】



【図11】



【図10】



【図12】

