

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5082060号
(P5082060)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl.		F I			
H05K	1/02	(2006.01)	H05K	1/02	N
H05K	3/28	(2006.01)	H05K	3/28	B
H05K	9/00	(2006.01)	H05K	9/00	R

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2008-134348 (P2008-134348)	(73) 特許権者	500132214
(22) 出願日	平成20年5月22日 (2008.5.22)		学校法人明星学苑
(65) 公開番号	特開2009-283688 (P2009-283688A)		東京都日野市程久保2丁目1番地1
(43) 公開日	平成21年12月3日 (2009.12.3)	(73) 特許権者	000190116
審査請求日	平成22年9月8日 (2010.9.8)		信越ポリマー株式会社
			東京都千代田区神田須田町一丁目9番地
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100094400
			弁理士 鈴木 三義

最終頁に続く

(54) 【発明の名称】 低特性インピーダンス電源・グランドペア線路構造

(57) 【特許請求の範囲】

【請求項1】

絶縁シートの表面に電源配線およびグランド配線を有する金属配線層が設けられた積層シートと、

前記金属配線層を覆うように設けられた絶縁薄膜層と、

該絶縁薄膜層の表面に設けられた抵抗体層と

を有する、低特性インピーダンス電源・グランドペア線路構造。

【請求項2】

前記絶縁薄膜層が、前記金属配線層が設けられた側の前記積層シートの表面形状に沿うように設けられ、

前記抵抗体層が、前記絶縁薄膜層の表面形状に沿うように設けられている、請求項1に記載の低特性インピーダンス電源・グランドペア線路構造。

【請求項3】

前記抵抗体層が、10～1000 / のシート抵抗を有する、金属もしくは半導体の均質膜または金属もしくは半導体のクラスタ状のグレインが重なった膜である、請求項1または2に記載の低特性インピーダンス電源・グランドペア線路構造。

【請求項4】

前記抵抗体層の厚さが、20～1000nmである、請求項1～3のいずれかに記載の低特性インピーダンス電源・グランドペア線路構造。

【請求項5】

前記絶縁薄膜層の厚さが、20～10000nmである、請求項1～4のいずれかに記載の低特性インピーダンス電源・グランドペア線路構造。

【請求項6】

前記電源配線および前記グランド配線のそれぞれが、下記(i)および(ii)の関係を満足する、請求項1～5のいずれかに記載の低特性インピーダンス電源・グランドペア線路構造。

(i) 配線の厚さ t と配線の短辺方向の幅 w との比(t/w)が、0.5以下である。

(ii) 隣接する配線の間隔 s と配線の短辺方向の幅 w との比(s/w)が、0.1～1である。

【請求項7】

前記抵抗体層の表面に設けられた保護層をさらに有する、請求項1～6のいずれかに記載の低特性インピーダンス電源・グランドペア線路構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低特性インピーダンス電源・グランドペア線路構造に関する。

【背景技術】

【0002】

従来の電子回路用高速大電力の電源やグランド線はそれぞれ幅広の独立配線またはべた状の配線を用いるものが大半である。

幅広の独立配線またはべた状の配線で電力を供給しようとするときは、大電流を流すことは比較的容易となるが、高周波特性が悪く、1GHz以上の瞬時スイッチ動作に対して電力供給遅延が起こるだけでなく、その回復過程で電源、グランドの揺らぎが発生し、隣接回路にまで影響を及ぼす。さらにはこの揺らぎが電源配線、グランド配線の共振を誘発し、電磁放射の原因となることがよく知られた問題となっている。その問題点の尺度として電源・グランドのループ回路に起因するインダクタ成分の大きさ(以下、ループインダクタンスと記す。)として表現し、1GHz以上ではその値として100pH以下が望ましいとされている。デカップリングキャパシタを回路基板各所にちりばめてこのループインダクタンスを如何に小さくすることができるか腐心しているのが現状である(例えば、特許文献1)。

【特許文献1】特開2006-135036号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は上記のような事情を考慮してなされたものであり、その目的は、ループインダクタンスが理論的に0となるような、低特性インピーダンス電源・グランドペア線路構造を提供することにある。

【課題を解決するための手段】

【0004】

本発明の低特性インピーダンス電源・グランドペア線路構造は、絶縁シートの表面に電源配線およびグランド配線を有する金属配線層が設けられた積層シートと、前記金属配線層を覆うように設けられた絶縁薄膜層と、該絶縁薄膜層の表面に設けられた抵抗体層とを有することを特徴とする。

前記絶縁薄膜層は、前記金属配線層が設けられた側の前記積層シートの表面形状に沿うように設けられ、かつ前記抵抗体層は、前記絶縁薄膜層の表面形状に沿うように設けられていることが好ましい。

【0005】

前記抵抗体層は、10～1000 / のシート抵抗を有する、金属もしくは半導体の均質膜または金属もしくは半導体のクラスタ状のグレインが重なった膜であることが好ましい。

10

20

30

40

50

前記抵抗体層の厚さは、20～1000nmであることが好ましい。

前記絶縁薄膜層の厚さは、20～10000nmであることが好ましい。

【0006】

前記電源配線および前記グランド配線のそれぞれは、下記(i)および(ii)の関係を満足することが好ましい。

(i) 配線の厚さ t と配線の短辺方向の幅 w との比(t/w)が、0.5以下である。

(ii) 隣接する配線の間隔 s と配線の短辺方向の幅 w との比(s/w)が、0.1～1である。

本発明の低特性インピーダンス電源・グランドペア線路構造は、前記抵抗体層の表面に設けられた保護層をさらに有することが好ましい。

【発明の効果】

【0007】

本発明によれば、ループインダクタンスが理論的に0となるような、低特性インピーダンス電源・グランドペア線路構造を提供でき、100GHz周波数に対しても適切な電源供給回路を作製できる。ループインダクタンスを0にする原理を図1で先ず説明する。

【0008】

DCと書かれた回路においては、V_{dd}電源とその電源が持つ内部抵抗 R_{inside} と負荷回路が持つ抵抗 $R_{outside}$ で電源が成り立っていて、直流電圧の低下はDCの V_{drop} 式に書かれている通りである。

しかし、交流的な等価回路においては、回路のループ面積に相当する寄生インダクタンス L_{loop} が作用し、ACと書かれたところの V_{drop} 式となり、瞬時スイッチトランジスタに電力(L の効果は電流変化率に比例する)を供給できないことになる。

【0009】

Transmission lineと書かれた回路においては、電源・グランドペア線路を伝送線路とし、回路ループ面積を0にすることで、異なった概念、特性インピーダンスという抵抗パラメータの回路方式に変換ことで、瞬時スイッチに追従することが本提案の原理である。光速で伝送線路を電気エネルギーが通過する時間 t_{pd} だけ直流抵抗成分を持ち、特性インピーダンスの不整合部分で反射するため、図1のように時間によって V_{drop} 式が変化する。しかし、瞬時スイッチに追従可能である。ところが、この特性インピーダンスの値が大きいと、直流的な V_{drop} が大きくなることから、電源・グランドペア線路の特性インピーダンス Z_0 は小さいほどよいことになる。小さくするためには、平面に平行に這わせたプレーナペア構造で考える。電源配線およびグランド配線の幅 w 、その厚さ t 、そのピッチ間隔 d (両配線の中心間隔)、その周辺を覆う絶縁物の比誘電率 ϵ_r 、真空中の誘電率 ϵ_0 とすると、下記式(1)という近似式で表され、 $Z_0 = 30$ 以下を実用寸法で作ることは難しい。

$$Z_0 = (1 / \epsilon_r \epsilon_0 / \epsilon_0) (\ln((d - w) / (w + t) + 1)) \dots (1)$$

【0010】

式(1)からわかるように、 $Z_0 = 30$ 以下の電源・グランドペア線路構造を実用寸法で作ることは難しい。

本発明は、後述するDrude式を利用した抵抗体層(メタマテリアル材料)を配置し、これでフォトン・表面プラズモン交換を行わせることで、実用的寸法でありながら Z_0 を数以下にする電源・グランドペア線路構造を提供し、100GHz帯域までの高速電源に対応する低特性インピーダンス電源供給手段を実現する。

【発明を実施するための最良の形態】

【0011】

図2は本発明の低特性インピーダンス電源・グランドペア線路構造の一例を示す斜視図であり、図3は平面図であり、図4は断面図である。図2および図3は説明のため部分的な構造を示しているが、どこまでも延長したり、折り返ししたりできる。

【0012】

10

20

30

40

50

低特性インピーダンス電源・グランドペア線路構造は、基材絶縁シート11および下層基材絶縁シート12からなる絶縁シート10の表面に、電源配線21およびグランド配線22を有する金属配線層20が設けられた積層シート1と、電源配線21およびグランド配線22を覆うように、かつコンフォーマルに（すなわち、金属配線層20が設けられた側の積層シート1の表面形状に沿うように）設けられた絶縁薄膜層31と、絶縁薄膜層31の表面にコンフォーマルに（すなわち、絶縁薄膜層31の表面形状に沿うように）設けられた抵抗体層32とを有する。

必要に応じて、抵抗体層32の表面に保護層33（図示せず）を設けてもよい。

この低特性インピーダンス電源・グランドペア線路構造は、プリント配線板等にエンベッドすることが可能である。

10

【0013】

（積層シート）

積層シート1は、例えば、プリント配線板である。

【0014】

（絶縁シート）

絶縁シート10としては、例えば、ガラス繊維強化エポキシ樹脂、エポキシ樹脂、ポリエステル、PET（ポリエチレンテレフタレート）、PPC（ポリエステルポリカーボネート）、ポリビニリデン、ポリイミド、ポリスチレン等の有機絶縁物が挙げられる。

絶縁シート10の厚さは、基材としての役目が果たせる厚さであればよい。

20

【0015】

（金属配線層）

電源配線21およびグランド配線22は、金属配線層20の帯状の長辺方向に展開し、これらの一方の端部は電源40に接続し、他方の端部は分岐を含め、負荷に接続されている。電源配線21およびグランド配線22は、積層シート1の一方の端部1aでは露出している。平面的なレイアウトにおいて、露出している部分の長さは、5mm以下が好ましい。

【0016】

電源配線21およびグランド配線22のペアは、単数であってもよく、図5に示すように複数が平行に配列されていてもよい。該ペアが複数の場合、ペアごとに電源40が独立に配置され、多電源回路も構成可能である。

30

電源配線21およびグランド配線22は、電源40から出力端部まで概略同じ低特性インピーダンスに設計され、両端部はデカップリングキャパシタに接続していることが好ましい。電源40から出力端部までに分岐を伴うときは、分岐前の特性インピーダンスに対する分岐後の特性インピーダンスは、分岐数を n とすると、 $1/n$ が好ましい。

【0017】

電源配線21およびグランド配線22のそれぞれは、下記(i)～(iii)の関係を満足することが好ましい。

(i) 配線の厚さ t と配線の短辺方向の幅 w との比(t/w)が、0.5以下である。

(ii) 隣接する配線の間隔 s と配線の短辺方向の幅 w との比(s/w)が、0.1～1である。

40

(iii) 配線の短辺方向の幅 w と絶縁シート10の厚さ t_0 との比(w/t_0)が、5以下である。

【0018】

電源配線21およびグランド配線22の幅 w は、 $10\mu\text{m} \sim 1\text{mm}$ が好ましく、チップ内では $0.1 \sim 10\mu\text{m}$ が好ましい。

電源配線21およびグランド配線22の厚さ t は、電流容量に応じて決定される。一対で 300mA とすると、 $w = 100\mu\text{m}$ であれば、 $t = 20\mu\text{m}$ が適当である。

【0019】

（絶縁薄膜層）

絶縁薄膜層31としては、有機絶縁物が挙げられる。

50

絶縁薄膜層 31 をコンフォーマルに設ける方法としては、塗布法、スピンコート法、スパッタ法、蒸着法、CVD 法等が挙げられる。

【0020】

絶縁薄膜層 31 によって抵抗体層 32 が電氣的に絶縁されていることで、電源配線 21 およびグランド配線 22 が電氣的に分離され、この間に適切な電圧が印加される。

絶縁薄膜層 31 の厚さは、電源配線 21 とグランド配線 22 との間に印加される電圧が 0.1 ~ 10 V と自由に変化できるように、その電圧に応じた耐電圧を有するように設定される。

絶縁薄膜層 31 の厚さは、電源・グランド間の電磁界バランスを崩壊させるために（すなわち、後述するフォトン - 表面プラズモン交換を促進するために）、できるだけ薄いことが好ましい。よって、絶縁薄膜層 31 の厚さは、20 ~ 10000 nm が好ましい。

10

【0021】

（抵抗体層）

抵抗体層 32 は、表面プラズモン効果を生むため、10 ~ 1000 / のシート抵抗を有する、金属もしくは半導体の均質膜または金属もしくは半導体のクラスタ状のグレイン（結晶粒）が重なった膜であることが好ましい。

金属もしくは半導体としては、例えば、Fe、Al、Ni、Ag、Mg、Cu、Si、C からなる群から選ばれた少なくとも 1 つ、または前記群から選ばれた少なくとも 2 つからなる合金または共析物を含む。

【0022】

抵抗体層 32 は、絶縁薄膜層 31 の表面に、スパッタ法、蒸着法、めっき法、イオンプレーティング法、CVD 法、溶射法等で形成される。また、保護層 33 の表面に抵抗体層 32 を形成して抵抗体シートを作製した後、該抵抗体シートを絶縁薄膜層 31 を介して積層シート 1 の表面に貼り付けてもよい。

20

抵抗体層 32 は、フォトリソグラフ等で帯状の線路幅に加工されてもよい。

抵抗体層 32 の厚さは、20 ~ 1000 nm が好ましい。

抵抗体層 32 が導電性を有するか絶縁性を有するかは基本的な問題ではない。よって、抵抗体層 32 は、ピンホール（欠陥、ポイド）を有していてもよく、クラスタが電氣的に独立した島状であってもよい。

【0023】

本発明の低特性インピーダンス電源・グランドペア線路構造は多層プリント配線板内部にエンベッドすることが可能となる。多層プリント配線板になると、その上下に配線が配置されるが、配線の幅 w の寸法だけ離れた厚さを隔てれば、フォトン - 表面プラズモン交換にはほとんど影響されないことが確かめられている。

30

【0024】

以上説明した本発明の低特性インピーダンス電源・グランドペア線路構造にあつては、絶縁薄膜層 31 を介して金属配線層 20 を覆うように設けられた抵抗体層 32 を有するため、ループインダクタンスが理論的に 0 となる。その結果、電源・グランドペア線路の特性インピーダンスが低くなる。以下、該原理を詳細に説明する。

【0025】

Droude の誘電関数式および磁率関数式によれば、および μ は、下記式（2）~ 式（5）で表される。

$$= 1 - \left(\frac{e_p^2}{m^2} \right) \cdots (2)、$$

$$\frac{e_p^2}{m^2} = \left(\frac{n_e e^2}{m} \right) \cdots (3)、$$

$$\mu = 1 - \left(\frac{m_p^2}{\mu_0 m^2} \right) \cdots (4)、$$

$$\frac{m_p^2}{\mu_0 m^2} = \left(\frac{n_p^2}{\mu_0 m} \right) \cdots (5)。$$

ただし、 n_e : 抵抗体層の自由電子の密度、 n_p : 抵抗体層の対電子の密度、 e : 電子の電荷量、 m : 電子の質量、 μ_0 : 対電子のスピン磁率。

40

【0026】

ここで、抵抗体層のモルフォロジーが、半径 1000 nm の Fe のクラスタ粒子からな

50

る導電粒子が1個 / $18 \mu\text{m}^3$ の数密度で概略つながっている場合を考える。

Feが1原子あたり一つの自由電子を保有している場合、鉄の自由電子の密度は 8.4×10^{22} 個 / cm^3 となる。そして、鉄の表面における自由電子密度はその2/3乗、すなわち 1.9×10^{15} 個 / cm^2 となる。ただし、表面吸着原子に自由電子がトラップされるため、表面の自由電子密度はこの値より低くなる。このトラップによる自由電子の減少率が 10^{-3} であると仮定した場合、鉄の表面における自由電子の密度は 1.9×10^{12} 個 / cm^2 になる。

【0027】

導電粒子の半径は $1 \mu\text{m} = 1 \times 10^{-5} \text{cm}$ であるが、その表面積は $4(1 \times 10^{-5})^2 = 12.6 \times 10^{-10} \text{cm}^2$ となるため、1粒子あたりの自由電子量は 2.39×10^3 個となる。導電粒子の密度は1個 / $18 \mu\text{m}^3$ であるため、抵抗体層中の自由電子の密度 $n_e = 1.32 \times 10^{20}$ 個 / m^3 になる。

【0028】

電子の質量 $m = 9.11 \times 10^{-31} \text{kg}$ 、電子の電荷量 $e = 1.6 \times 10^{-19} \text{C}$ 、真空中の誘電率 $\epsilon_0 = 8.85 \times 10^{-12} \text{F/m}$ である。これらの値と、 $n_e = 1.32 \times 10^{20}$ 個 / m^3 を式(3)に代入すると、 $\epsilon_p^2 = 1.32 \times 10^{20} \times (1.6 \times 10^{-19})^2 / (8.85 \times 10^{-12} \times 9.11 \times 10^{-31}) = 0.42 \times 10^{28}$ 、 $\epsilon_p = 0.65 \times 10^{14} / \text{s}$ となる。このように、 ϵ_p は遠紫外光の周波数となる。

【0029】

ここで、 ω を 1GHz とすると、式(2)により、 $\mu = 1 - (6.5 \times 10^{13})^2 / (2 \times 1 \times 10^9)^2 = 1 - 1.07 \times 10^8 = -1.07 \times 10^8$ となり、 $\mu < -10^8$ レベルのマイナスで大きな値である。理論的に大きな値が実現できるが、ここで工業化することを考え、さらに2桁ほどの劣化を考え、 $\mu = -10^6$ とする。

【0030】

一方、 μ を -10 と仮定する。この値は、以下の理由により妥当である。

鉄の表面における自由電子密度は、上記したように 1.32×10^{20} 個 / cm^2 である。これらのうち、不対電子の発生確率を 10^{-6} とすると、鉄の表面における不対電子の密度 n_p は 1.32×10^{14} 個 / cm^2 になる。そして、磁束量子 $\Phi_0 = 2.07 \times 10^{-10} [\text{Wb}]$ 、真空中の透磁率 $\mu_0 = 1.25 \times 10^{-6} [\text{N/A}^2]$ のため、式(5)により、 $\mu_m^2 = 1.32 \times 10^{14} \times (2.07 \times 10^{-15})^2 / (1.25 \times 10^{-6} \times 9.11 \times 10^{-31}) = 4.97 \times 10^{20} / \text{s}^2$ 、 $\mu_m = 2.23 \times 10^{10} / \text{s}$ という高周波数となる。

【0031】

ここで、同様に、 ω を 1GHz とすると、 $\mu = 1 - (2.23 \times 10^{10})^2 / (2 \times 1 \times 10^9)^2 = 1 - 0.125 \times 10^2 = -11$ が得られる。このことから、 $\mu = -10$ としても、この値が十分可能な値であることが分かる。

【0032】

そして、 $t = 0.001 \text{m}$ 、 $w = 0.005 \text{m}$ 、 $d = 0.008 \text{m}$ として、これらの値、 $\mu = -10$ 、および $\mu_m = -10^6$ を式(1)に代入することにより、 $Z_0 = 377 \times 0.0032 \times 0.943 = 1.13$ が得られる。

【0033】

この計算は自由電子や磁子(不対電子)に対する共振周波数は全ての自由電子と磁子が有効に働いたと仮定している。したがって、上記計算がそのまま適用できるとは考えられない。有効自由電子や磁子の数は実用的に測定する必要があり、以下試験的モデルの有効性と測定したデータを記述する。一対の電線の電磁界広がり、すなわち電気力線、磁力線ができるだけ遠い距離を走る線が、相互カップリングが弱く他のエネルギーに交換しやすい。すなわち t より w のほうが広がっていることが大切である。電磁波の量子化した単位であるフォトンが他のエネルギー、例えば表面プラズモンや表面マグノンに効率よく変換できることになる。断面が円形のペア線路はその意味では有効な構造であり、これも本発明の

10

20

30

40

50

範囲である。

【0034】

遠く迂回する電気力線、磁力線を覆い隠すように抵抗体層32は電源配線21およびグランド配線22の周りをできるだけ覆うようにコンフォーマルに設けられることが好ましい。抵抗体層32の金属表面または半導体表面にこれらの電界磁界が触れると、自由電子が表面プラズモン共振をし、常磁性を帯びた磁子が表面マグノン共振をしてフォトンエネルギーを吸収する。プラズモン、マグノンは電子の振動のため、その伝播速度は格子振動と同じオーダーの速度、すなわちその媒体の音速に近い速度（光速に比べ5桁遅い速度）で伝播することから、光速に比べ、エネルギー密度が5桁高くなる。金属または半導体に対する誘電的性質は薄膜であることからシート抵抗は高く、図6に示すように粒子系は小さく等方的な揃った形状をしたグレインで、グレイン間でプラスマイナスがチェーン状に配列し比誘電率を高くする。一方、磁束的性質は、同様の形状ではS Nのチェーンができこれは磁束カップリングが強くなり、比透磁率を低める。このため図7に示すように、比較的大きなクラスタでS Nチェーンをできるだけ少なくする異方性を有した不揃いの粒子形状にすることは効果的であり、この両者を満足する図8のような混合状態、あるいは図9のような中庸な粒子形状を有する状態が望ましい。磁性を帯びない金属や半導体であっても表面のダングリングボンドが活性で電子を損失したサイトが現われ、粉末表面積を大きくすると磁性を帯びることで、比誘電率と比透磁率が共にマイナスのメタマテリアルすなわちダブルネガティブ材料が得られ、この現象を効率的に利用したものが本発明の電源・グランドペア線路構造である。

10

20

【実施例】

【0035】

以下、実施例を示す。

(抵抗体層の厚さ)

透過型電子顕微鏡（日立製作所社製、H9000NAR）を用いて抵抗体フィルムの断面を観察し、抵抗体層の5箇所の厚さを測定し、平均した。

【0036】

(シート抵抗)

石英ガラス上に金を蒸着して形成した、2本の薄膜金属電極（長さ10mm、幅5mm、電極間距離10mm）を用い、該電極上に抵抗体フィルムを置き、抵抗体フィルムの10mm×20mmの領域を50gの荷重で電極に押し付け、1mA以下の測定電流で電極間の抵抗を測定し、この値を持ってシート抵抗とした。

30

【0037】

実験例として、図10のようなFR-4プリント配線板で、38μm銅箔でニッケル/金めっき4μmの積層シート1を用意した。

保護層33として厚さ25μmのポリイミドフィルムの表面に、マグネトロンスパッタ法にてニッケルを物理的に蒸着させ、厚さ25nmの抵抗体層32（シート抵抗：30/）を形成し抵抗体シート30を得た。該抵抗体シート30を、接着材10μm（絶縁薄膜層31に相当）を介して積層シート1にテンティング状態に接合したものと、抵抗体シート30のない積層シート1との容量値を比較した。

40

$w = 1 \text{ mm}$ 、 $t = 43 \text{ } \mu\text{m}$ 、 $s = 1 \text{ mm}$ 、 $d = 2 \text{ mm}$ 、絶縁シート10の厚さ $t_0 = 0.590 \text{ mm}$ 、線路長さ $l = 200 \text{ mm}$ 、テンティング長さ $= 180 \text{ mm}$ の電源配線21とグランド配線22との間の特性インピーダンスと容量値の結果が表1である。テンティング状態であること、接着材（絶縁薄膜層31）が10μmと厚いことが大きな効果を得られなかった理由であるが、 Z_0 はこの構造でも1/2となっている。

【0038】

【表 1】

	抵抗体層なし	抵抗体層あり
$t_r = 35\text{ps}$ の時の Z_0	80Ω	43Ω
100kHzの容量	7.15pF	142pF

【0039】

なお、本発明は上述した実施形態に限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することが可能である。

10

【産業上の利用可能性】

【0040】

本発明の低特性インピーダンス電源・グランドペア線路構造は、プリント配線板等にエンベッドすることが可能である。

【図面の簡単な説明】

【0041】

【図1】原理を説明する回路図である。

【図2】本発明の低特性インピーダンス電源・グランドペア線路構造の一例を示す斜視図である。

20

【図3】本発明の低特性インピーダンス電源・グランドペア線路構造の一例を示す平面図である。

【図4】本発明の低特性インピーダンス電源・グランドペア線路構造の一例を示す断面図である。

【図5】本発明の低特性インピーダンス電源・グランドペア線路構造の他の例を示す断面図である。

【図6】抵抗体層におけるグレインを説明するための図である。

【図7】抵抗体層におけるグレインを説明するための図である。

【図8】抵抗体層におけるグレインの状態の一例を示す図である。

【図9】抵抗体層におけるグレインの状態の他の例を示す図である。

30

【図10】実験に供した本発明の低特性インピーダンス電源・グランドペア線路構造を示す断面図である。

【符号の説明】

【0042】

1 積層シート

1 a 端部

1 0 絶縁シート

1 1 基材絶縁シート

1 2 下層基材絶縁シート

2 0 金属配線層

40

2 1 電源配線

2 2 グランド配線

3 0 抵抗体シート

3 1 絶縁薄膜層

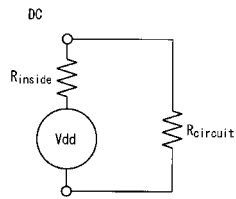
3 2 抵抗体層

3 3 保護層

4 0 電源

【 図 1 】

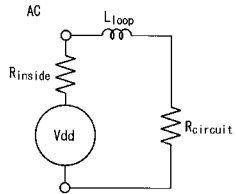
Voltage drop of power source



DC:

$$v_{drop} = V_{dd} \left(1 - \frac{R_{circuit}}{R_{inside} + R_{circuit}} \right)$$

$R_{inside} \approx 0, v_{drop} = 0$

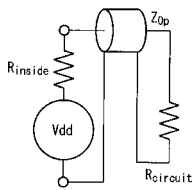


AC:

$$v_{drop} = L_{loop} \frac{di}{dt} + V_{dd} \left(1 - \frac{R_{circuit}}{R_{inside} + R_{circuit}} \right)$$

$$= L_{loop} \frac{di}{dt}$$

Transmission line



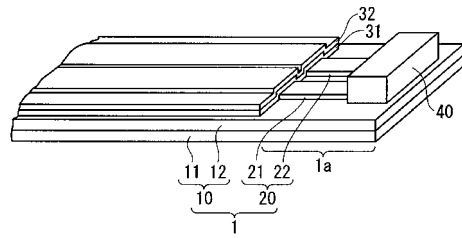
Transmission line, $L_{loop} = 0$

$$v_{drop} = V_{dd} \left(1 - \frac{R_{circuit}}{R_{inside} + Z_0 + R_{circuit}} \right)$$

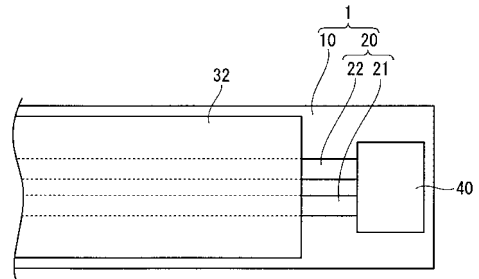
$$= V_{dd} \left(1 - \frac{R_{circuit}}{Z_0 + R_{circuit}} \right), 2t_{pd} \geq t_r$$

$$v_{drop} = V_{dd} \left(1 + \frac{R_{circuit}}{Z_0 + R_{circuit}} \right) \left(1 - \frac{R_{circuit}}{Z_0 + R_{circuit}} \right), 2t_{pd} \leq t_r$$

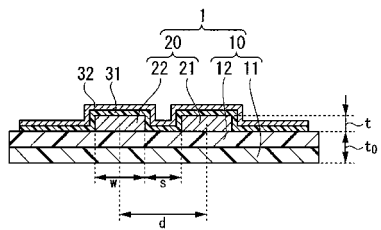
【 図 2 】



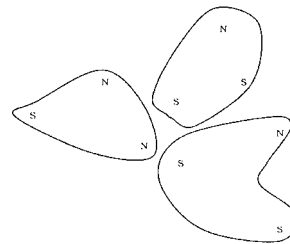
【 図 3 】



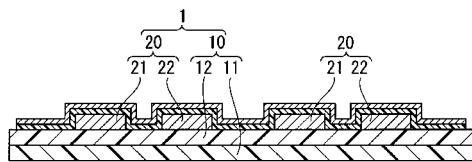
【 図 4 】



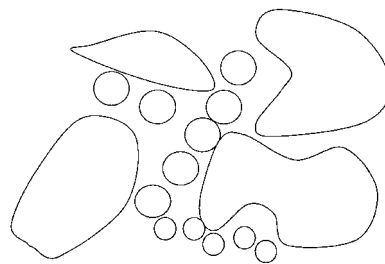
【 図 7 】



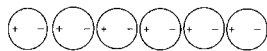
【 図 5 】



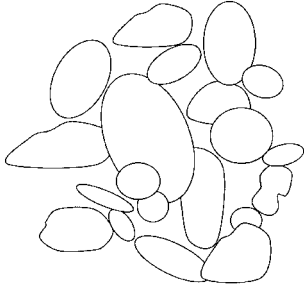
【 図 8 】



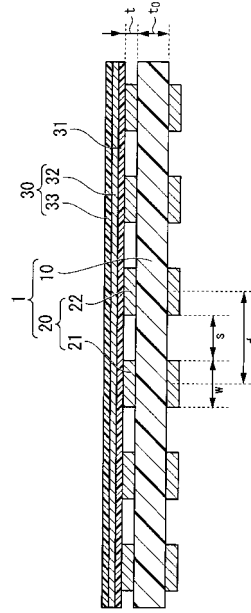
【 図 6 】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100107836

弁理士 西 和哉

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 大塚 寛治

東京都東大和市湖畔2 - 1074 - 38

(72)発明者 秋山 豊

東京都八王子市片倉町120 - 12

(72)発明者 川口 利行

埼玉県さいたま市北区吉野町1丁目406番地1 信越ポリマー株式会社内

(72)発明者 田原 和時

埼玉県さいたま市北区吉野町1丁目406番地1 信越ポリマー株式会社内

審査官 中田 誠二郎

(56)参考文献 特開2004 - 259722 (JP, A)

特開2005 - 33495 (JP, A)

特開2007 - 243007 (JP, A)

特開2005 - 287055 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02

H05K 3/28

H05K 9/00