

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5272172号  
(P5272172)

(45) 発行日 平成25年8月28日 (2013. 8. 28)

(24) 登録日 平成25年5月24日 (2013. 5. 24)

(51) Int. Cl.		F I	
HO 1 L 27/095 (2006. 01)		HO 1 L 29/80	E
HO 1 L 21/822 (2006. 01)		HO 1 L 27/04	A
HO 1 L 27/04 (2006. 01)			

請求項の数 5 (全 14 頁)

<p>(21) 出願番号 特願2007-41018 (P2007-41018)</p> <p>(22) 出願日 平成19年2月21日 (2007. 2. 21)</p> <p>(65) 公開番号 特開2008-205285 (P2008-205285A)</p> <p>(43) 公開日 平成20年9月4日 (2008. 9. 4)</p> <p>審査請求日 平成21年12月25日 (2009. 12. 25)</p>	<p>(73) 特許権者 504173471 国立大学法人北海道大学 北海道札幌市北区北8条西5丁目</p> <p>(74) 代理人 100088155 弁理士 長谷川 芳樹</p> <p>(74) 代理人 100092657 弁理士 寺崎 史朗</p> <p>(74) 代理人 100124800 弁理士 諏澤 勇司</p> <p>(72) 発明者 葛西 誠也 北海道札幌市北区北14条西9丁目 国立 大学法人北海道大学 情報科学研究科内</p> <p>審査官 儀同 孝信</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

入力信号に応じて、複数の出力端子から選択的に出力信号を出力する半導体装置であって、

半導体基板上において分離して並設された第1～第N（Nは3以上の整数）のチャンネル層と、

前記第1～第Nのチャンネル層の一端に接続され、前記第1～第Nのチャンネル層に入力電圧を印加するための入力端子と、

前記第1～第Nのチャンネル層の他端にそれぞれ独立に接続された前記第1～第Nの出力端子と、

前記第1～第Nのチャンネル層の前記一端と前記他端との間の中央領域において、少なくとも前記第1のチャンネル層の中央領域から第N-1のチャンネル層の中央領域の近傍に跨って布設され、第1の入力信号を印加するための第1のゲート電極と、

前記第1～第Nのチャンネル層の前記一端と前記他端との間の中央領域において、少なくとも前記第2のチャンネル層の中央領域の近傍から第Nのチャンネル層の中央領域に跨って布設され、第2の入力信号を印加するための第2のゲート電極とを備え、

前記第1のゲート電極と前記第1～第N-1のチャンネル層とは、前記第1～第N-1のチャンネル層の前記一端と前記他端間をオン/オフさせるための前記第1の入力信号の閾値電圧が、前記第1～第N-1のチャンネル層の順に減少するように構成され、且つ、

前記第2のゲート電極と前記第2～第Nのチャンネル層とは、前記第2～第Nのチャンネル

層の前記一端と前記他端間をオン/オフさせるための前記第2の入力信号の閾値電圧が、前記第2～第Nのチャンネル層の順に増加するように構成されている、ことを特徴とする半導体装置。

【請求項2】

前記第1及び第2のゲート電極は、前記第1のチャンネル層の中央領域から前記第Nのチャンネル層の中央領域に跨って布設されており、

前記第1及び第2のゲート電極と前記第1～第Nのチャンネル層とは、ノーマリオフ型のデバイス特性を有するように構成され、前記第1～第Nのチャンネル層の前記第1の入力信号の閾値電圧が、前記第1～第Nのチャンネル層の順に減少するように構成され、且つ、前記第1～第Nのチャンネル層の前記第2の入力信号の閾値電圧が、前記第1～第Nのチャンネル層の順に増加するように構成されている、ことを特徴とする請求項1記載の半導体装置。

10

【請求項3】

前記第1～第N-1のチャンネル層上における第1のゲート電極のゲート長が、前記第1～第N-1のチャンネル層の順に小さくなるように形成され、前記第2～第Nのチャンネル層上における第2のゲート電極のゲート長が、前記第2～第Nのチャンネル層の順に大きくなるように形成されている、ことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】

第1のゲート電極が設けられた領域における前記第1～第N-1のチャンネル層のチャンネル幅が、前記第1～第N-1のチャンネル層の順に大きくなるように形成され、第2のゲート電極が設けられた領域における前記第2～第Nのチャンネル層のチャンネル幅が、前記第2～第Nのチャンネル層の順に小さくなるように形成されている、ことを特徴とする請求項1又は2記載の半導体装置。

20

【請求項5】

前記第1及び第2のゲート電極は、絶縁膜を介して前記第1～第Nのチャンネル層上に布設され、

第1のゲート電極が設けられた領域における前記第1～第N-1のチャンネル層上の前記絶縁膜の膜厚が、前記第1～第N-1のチャンネル層の順に小さくなるように形成され、第2のゲート電極が設けられた領域における前記第2～第Nのチャンネル層上の前記絶縁膜の膜厚が、前記第2～第Nのチャンネル層の順に大きくなるように形成されている、ことを特徴とする請求項1又は2記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力信号に応じて複数の出力端子から選択的に出力信号を出力する半導体装置に関するものである。

【背景技術】

【0002】

半導体メモリの各セルを選択する回路として、3端子素子であるトランジスタを組み合わせさせて構成されたセクタ回路が用いられている。また、従来から、複数種類以上のレベルを持つ入力信号により、そのレベル数に対応した複数個の出力端子から選択的に出力信号を出力する回路素子が知られており、複数のトランジスタを組み合わせさせて構成することができる(下記特許文献1参照)。このような素子は、多値論理回路の1種である「多値決定グラフ(MDD:Multiple value Decision Diagram)」と呼ばれる論理演算回路を構成するための基本回路素子としても使用される。

40

【特許文献1】特開平10-256481号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

50

上述した従来のセレクト回路やMDD回路に使用されている回路素子は、複数の3端子素子が組み合わされて構成されているため、機能を集積させた場合に回路規模が大きくなる傾向にあった。特に、半導体メモリの大容量化や多値論理回路の高機能化に伴い、回路を構成する素子をできるだけ高集積化することが求められていた。

【0004】

そこで、本発明はかかる課題に鑑みて為されたものであり、入力信号に応じて出力信号の出力端子を選択する素子を、容易に小型化することが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記課題を解決するため、本発明の半導体装置は、入力信号に応じて、複数の出力端子から選択的に出力信号を出力する半導体装置であって、半導体基板上において分離して並設された第1～第N（Nは3以上の整数）のチャンネル層と、第1～第Nのチャンネル層の一端に接続され、第1～第Nのチャンネル層に入力電圧を印加するための入力端子と、第1～第Nのチャンネル層の他端にそれぞれ独立に接続された第1～第Nの出力端子と、第1～第Nのチャンネル層の一端と他端との間の中央領域において、少なくとも第1のチャンネル層の中央領域から第N-1のチャンネル層の中央領域の近傍に跨って布設され、第1の入力信号を印加するための第1のゲート電極と、第1～第Nのチャンネル層の一端と他端との間の中央領域において、少なくとも第2のチャンネル層の中央領域の近傍から第Nのチャンネル層の中央領域に跨って布設され、第2の入力信号を印加するための第2のゲート電極とを備え、第1のゲート電極と第1～第N-1のチャンネル層とは、第1～第N-1のチャンネル層の一端と他端間をオン/オフさせるための第1の入力信号の閾値電圧が、第1～第N-1のチャンネル層の順に減少するように構成され、且つ、第2のゲート電極と第2～第Nのチャンネル層とは、第2～第Nのチャンネル層の一端と他端間をオン/オフさせるための第2の入力信号の閾値電圧が、第2～第Nのチャンネル層の順に増加するように構成されている。

【0006】

このような半導体装置によれば、半導体基板上に並設されたN本のチャンネル層の入力端と出力端との間の中央領域に設けられた第1のゲート電極と第2のゲート電極とに、互いに相補的なレベルを有する2つの入力信号が印加された場合に、第1～第Nのチャンネル層のうちから1本のチャンネル層が電界効果を用いて選択的に導通され、1つの出力端子から選択的に出力電流を出力させることができる。なお、ここでいう「相補的なレベル」とは、一方の信号のレベルが増加した場合に他方の信号のレベルが減少するような関係を言うものとする。このように、N本のチャンネル層に共通に2本のゲート電極を設けた構成を有することで、1つの素子における出力端子の増加によりチャンネル数が増えたり、複数の素子を組み合わせる場合でも高集積化が容易となり、装置全体の小型化が実現される。

【0007】

第1及び第2のゲート電極は、第1のチャンネル層の中央領域から第Nのチャンネル層の中央領域に跨って布設されており、第1及び第2のゲート電極と第1～第Nのチャンネル層とは、ノーマリオフ型のデバイス特性を有するように構成され、第1～第Nのチャンネル層の第1の入力信号の閾値電圧が、第1～第Nのチャンネル層の順に減少するように構成され、且つ、第1～第Nのチャンネル層の第2の入力信号の閾値電圧が、第1～第Nのチャンネル層の順に増加するように構成されていることも好ましい。

【0008】

こうすれば、第1のゲート電極と第2のゲート電極とに、互いに相補的なレベルを有し、第1～第Nのチャンネル層のうちの一部のチャンネル層を導通させるための2つの入力信号が印加された場合に、第1～第Nのチャンネル層のうちから1本のチャンネル層が選択的に導通され、出力電流を1つの出力端子から選択的に出力させることができる。

【0009】

また、第1～第N-1のチャンネル層上における第1のゲート電極のゲート長が、第1～第N-1のチャンネル層の順に小さくなるように形成され、第2～第Nのチャンネル層上にお

10

20

30

40

50

ける第2のゲート電極のゲート長が、第2～第Nのチャンネル層の順に大きくなるように形成されていることが好ましい。

【0010】

この場合、2つのゲート電極の形状をチャンネル間で変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

【0011】

また、第1のゲート電極が設けられた領域における第1～第N-1のチャンネル層のチャンネル幅が、第1～第N-1のチャンネル層の順に大きくなるように形成され、第2のゲート電極が設けられた領域における第2～第Nのチャンネル層のチャンネル幅が、第2～第Nのチャンネル層の順に小さくなるように形成されていることも好ましい。

10

【0012】

かかる構成を採れば、チャンネル層の形状を変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

【0013】

さらに、前記第1及び第2のゲート電極は、絶縁膜を介して前記第1～第Nのチャンネル層上に布設され、第1のゲート電極が設けられた領域における前記第1～第N-1のチャンネル層上の前記絶縁膜の膜厚が、前記第1～第N-1のチャンネル層の順に小さくなるように形成され、第2のゲート電極が設けられた領域における前記第2～第Nのチャンネル層上の前記絶縁膜の膜厚が、前記第2～第Nのチャンネル層の順に大きくなるように形成されていることも好ましい。

20

【0014】

こうすれば、絶縁膜の膜厚をチャンネル間で変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

【発明の効果】

【0015】

本発明によれば、入力信号に応じて出力信号の出力端子を選択する素子を、容易に小型化することができる。

30

【発明を実施するための最良の形態】

【0016】

以下、図面に基づいて、本発明による半導体装置の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。

【0017】

[第1実施形態]

まず、本発明の第1実施形態について説明する。図1は、本発明の第1実施形態である半導体装置1の平面図、図2は、図1の半導体装置1のII-II線に沿った断面図、図3は、図1の半導体装置1のIII-III線に沿った断面図である。半導体装置1は、GaAs基板2とGaAs層3及びAlGaAs層4からなる3本のチャンネル層5a, 5b, 5cと2つのゲート電極6a, 6bと入力信号生成回路7とを備える。

40

【0018】

3本のチャンネル層5a, 5b, 5cは、GaAs基板2上において幅数百nmの幅でGaAs層3及びAlGaAs層4がこの順で直線状に積層されて成り、変調ドープヘテロ接合構造を有する。すなわち、チャンネル層5a, 5b, 5cは、GaAs層3とAlGaAs層4との界面にキャリア濃度が高い高コンダクタンス層(図示せず)が形成されている。これらのチャンネル層5a, 5b, 5cは、互いに分離して並列に設けられており、GaAs基板2上のチャンネル層5a, 5b, 5c以外の領域に絶縁層8がさらに形成されることにより、互いに電氣的に絶縁されている。

50



$V_{GB2} = -aV_{GA2} + b$  の入力信号  $V_{GB}$  が、それぞれ生成される。このような機能を有する入力信号生成回路 7 としては、例えば、入力デジタル信号に応じて分圧抵抗をスイッチング素子で切り替えるような公知の構成を採用することができる。

#### 【0023】

ここで、ゲート電極 6a, 6b のゲート長  $L_{GA1}, L_{GA2}, L_{GA3}, L_{GB1}, L_{GB2}, L_{GB3}$ 、及び入力信号生成回路 7 の生成する入力信号  $V_{GA}, V_{GB}$  は、以下の関係が成り立つように設定されている。すなわち、同時に生成される入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA0}, V_{GB0}$ ) が、下記式 (1)；

$$V_{thA3} < V_{GA0} < V_{thA2}, V_{GB0} > V_{thB3} \dots (1)$$

を満たすように設定される。この入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA0}, V_{GB0}$ ) が生成された場合、チャンネル層 5c のみが選択的にオンされる。同様に、入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA1}, V_{GB1}$ ) が、下記式 (2)；

$$V_{thA2} < V_{GA1} < V_{thA1}, V_{thB3} > V_{GB1} > V_{thB2} \dots (2)$$

を満たすように設定され、この入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA1}, V_{GB1}$ ) が生成された場合、チャンネル層 5b のみが選択的にオンされる。さらに、入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA2}, V_{GB2}$ ) が、下記式 (3)；

$$V_{thA1} < V_{GA2}, V_{thB2} > V_{GB2} > V_{thB1} \dots (3)$$

を満たすように設定され、この入力信号  $V_{GA}, V_{GB}$  の組 ( $V_{GA2}, V_{GB2}$ ) が生成された場合、チャンネル層 5a のみが選択的にオンされる。

#### 【0024】

なお、 $a = 1, b > 0$  である定数  $a, b$  で決まる入力信号  $V_{GA}, V_{GB}$  が上記式 (1) ~ (3) を満たすようにゲート電極 6a, 6b の形状を調整することは、入力信号  $V_{GA}, V_{GB}$  がインバータ回路及びオフセット発生回路を用いて容易に生成でき、入力信号生成回路 7 の構成が単純化される点でより好ましい。また、入力信号生成回路 7 は、生成する入力信号  $V_{GA}, V_{GB}$  に対して、上記式 (1) ~ (3) を満たすような範囲において動作マージン電圧  $V_{GA}, V_{GB}$  を許容することもできる。

#### 【0025】

以上説明した半導体装置 1 によれば、GaAs 基板 2 上に並設された 3 本のチャンネル層 5a, 5b, 5c の入力端と出力端との間の中央領域 11a, 11b, 11c に設けられたゲート電極 6a, 6b に、入力多値信号に対応して互いに相補的なレベルを有する 2 つの入力信号  $V_{GA}, V_{GB}$  が印加された場合に、3 本のチャンネル層 5a, 5b, 5c のうちから 1 本のチャンネル層が電界効果を用いて選択的に導通され、出力端子 10a, 10b, 10c から選択的に出力電流を出力させることができる。このように、3 本のチャンネル層に共通に 2 本のゲート電極 6a, 6b を設けた構成を有することで、1 つの素子における出力端子の増加によりチャンネル数が増えたり、複数の素子を組み合わせる場合でも高集積化が容易となり、装置全体の小型化が実現される。

#### 【0026】

また、チャンネル層 5a, 5b, 5c のゲート長を変えることによって閾値電圧を変化させることで、チャンネル層 5a, 5b, 5c の入力信号  $V_{GA}, V_{GB}$  の閾値電圧を、容易に制御することができる。

#### 【0027】

図 4 は、半導体装置 1 の入出力特性を示す図であり、(a) は、半導体装置 1 の構造の一例を示す平面図、(b) は、(a) の半導体装置 1 のゲート電極 6a の入力信号  $V_{GA}$  とそれぞれの出力端子 10a, 10b, 10c の出力電流  $I_a, I_b, I_c$  との関係を示すグラフである。この結果により、入力信号  $V_{GA}$  の電圧レベルの増減に応じて、出力電流  $I_a, I_b, I_c$  のピークが明確に分離されている。このことから、入力信号  $V_{GA}$  のレベルを出力電流のピークに合うように設定することで、出力端子 10a, 10b, 10c から出力電流を選択的に出力できることがわかる。

#### 【0028】

[ 第 2 実施形態 ]

10

20

30

40

50

まず、本発明の第2実施形態について説明する。図5は、本発明の第2実施形態である半導体装置21の平面図である。

【0029】

同図に示すように、半導体装置21においては、ゲート電極26a, 26bは、それぞれのチャンネル層5a, 5b, 5cの中央領域11a, 11b, 11cを跨って形成され、ゲート電極26aは、チャンネル層5a, 5b, 5c上のそれぞれのゲート長 $L_{GA1}$ ,  $L_{GA2}$ ,  $L_{GA3}$ が、この順で直線的に減少するような形状を有し、ゲート電極26bは、チャンネル層5a, 5b, 5c上のそれぞれのゲート長 $L_{GB1}$ ,  $L_{GB2}$ ,  $L_{GB3}$ が、この順で直線的に増加するような形状を有する。

【0030】

このような形状を有するゲート電極26a, 26bを用いても、入力信号 $V_{GA}$ の閾値電圧 $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$ は、チャンネル層5a, 5b, 5cの順に次第に減少するように設定され、入力信号 $V_{GB}$ の閾値電圧 $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$ は、チャンネル層5a, 5b, 5cの順に次第に増加するように設定される。

【0031】

図6は、半導体装置21の入出力特性を示す図であり、(a)は、半導体装置21の構造の一例を示す平面図、(b)は、(a)の半導体装置21のゲート電極26aの入力信号 $V_{GA}$ とそれぞれの出力端子10a, 10b, 10cの出力電流 $I_a$ ,  $I_b$ ,  $I_c$ との関係を示すグラフである。この場合は、若干出力電流の差が大きいものの出力電流 $I_a$ ,  $I_b$ ,  $I_c$ のピークが明確に分離され、出力端子10a, 10b, 10cから出力電流を選択的に出力可能であることがわかる。

【0032】

[第3実施形態]

まず、本発明の第3実施形態について説明する。図7は、本発明の第3実施形態である半導体装置31の平面図、図8は半導体装置31のVIII-VIII線に沿った断面図である。

【0033】

これらの図に示すように、半導体装置31のGaAs基板2上には、長手方向に沿って変化するチャンネル幅を有する3本のチャンネル層35a, 35b, 35cが並設されている。さらに、この3本のチャンネル層35a, 35b, 35cの中央領域11a, 11b, 11cを跨って、帯状にゲート電極36a, 36bが形成され、ゲート電極36a, 36bのチャンネル層35a, 35b, 35c上のゲート長が、ほぼ一定となるようにされている。

【0034】

この場合、3本のチャンネル層35a, 35b, 35cには、ゲート電極36aが設けられた領域におけるそれぞれのチャンネル幅 $W_{A1}$ ,  $W_{A2}$ ,  $W_{A3}$ がこの順で大きくなり、且つゲート電極36bが設けられた領域におけるそれぞれのチャンネル幅 $W_{B1}$ ,  $W_{B2}$ ,  $W_{B3}$ がこの順で小さくなるように、くびれ部37a, 37b, 37cが形成されている。なお、ゲート電極36a, 36bは、チャンネル幅の違いにより閾値を効果的に変化させるために、3本のチャンネル層35a, 35b, 35cの側壁及びGaAs基板2の表面に沿って接触するように形成されている(図8)。

【0035】

このような形状を有するチャンネル層35a, 35b, 35c及びゲート電極36a, 36bを用いても、入力信号 $V_{GA}$ の閾値電圧 $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$ は、チャンネル層35a, 35b, 35cの順に次第に減少するように設定され、入力信号 $V_{GB}$ の閾値電圧 $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$ は、チャンネル層35a, 35b, 35cの順に次第に増加するように設定される。

【0036】

[第4実施形態]

まず、本発明の第4実施形態について説明する。図9は、本発明の第4実施形態である半導体装置41の平面図である。

10

20

30

40

50

## 【0037】

半導体装置41のチャンネル層45a, 45b, 45c及びゲート電極46a, 46bは、ノーマリオン型のデバイス特性を有するように構成されている。このようなデバイス特性は、GaAs基板2上のエピタキシャル層の厚さを変えることで実現することができる。

## 【0038】

ゲート電極46aは、チャンネル層45a, 45bの中央領域11a, 11bを跨って形成されている。詳細には、ゲート電極46aは、中央領域11aをチャンネル層45aの形成方向に垂直な方向に沿って横切って中央領域11bの近傍まで延びるように形成されている。このとき、ゲート電極46aの縁部とチャンネル層45bの境界との距離は、チャンネル層45bに電界効果を与え近接ゲート(サイドゲート)として電氣的に結合されうような距離(例えば、GaAs基板の場合は0nm~400nm)に設定されている。

10

## 【0039】

一方、ゲート電極46bは、チャンネル層45b, 45cの中央領域11b, 11cを跨って形成されている。詳細には、ゲート電極46bは、中央領域11cをチャンネル層45cの形成方向に垂直な方向に沿って横切って中央領域11bの近傍まで延びるように形成され、ゲート電極46bの縁部とチャンネル層45bの境界との距離は、チャンネル層45bに近接ゲートとして電氣的に結合されうような距離に設定されている。

## 【0040】

上記構成により、ゲート電極46aに対応して各チャンネル45a, 45bを遮断するための閾値電圧 $V_{thA1}'$ ,  $V_{thA2}'$ は、 $V_{thA1}' > V_{thA2}'$ の関係を有する。言い換えれば、入力信号 $V_{GA}$ の閾値電圧 $V_{thA1}'$ ,  $V_{thA2}'$ は、チャンネル層45a, 45bの順に次第に減少するようにされる。また、ゲート電極46bに対応して各チャンネル45b, 45cを遮断するための閾値電圧 $V_{thB2}'$ ,  $V_{thB3}'$ は、 $V_{thB2}' < V_{thB3}'$ の関係を有する。言い換えれば、入力信号 $V_{GB}$ の閾値電圧 $V_{thB2}'$ ,  $V_{thB3}'$ は、チャンネル層45b, 45cの順に次第に増加するようにされる。

20

## 【0041】

ここで、ゲート電極46a, 46bのそれぞれの閾値電圧 $V_{thA1}'$ ,  $V_{thA2}'$ ,  $V_{thB2}'$ ,  $V_{thB3}'$ 及び入力信号生成回路7の生成する入力信号 $V_{GA}$ ,  $V_{GB}$ は、以下の関係が成り立つように設定されている。すなわち、同時に生成される入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GA0}$ ,  $V_{GB0}$ )が、下記式(4)；

$$V_{GA0} < V_{thA2}', V_{GB0} > V_{thB3}' \dots (4)$$

を満たすように設定される。この入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GB0}$ ,  $V_{GA0}$ )が生成された場合、チャンネル層45cのみが選択的にオンされる。同様に、入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GA1}$ ,  $V_{GB1}$ )が、下記式(5)；

$$V_{thA2}' < V_{GA1} < V_{thA1}', V_{thB3}' > V_{GB1} > V_{thB2}' \dots (5)$$

を満たすように設定され、この入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GA1}$ ,  $V_{GB1}$ )が生成された場合、チャンネル層45bのみが選択的にオンされる。さらに、入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GA2}$ ,  $V_{GB2}$ )が、下記式(6)；

$$V_{thA1}' < V_{GA2}, V_{thB2}' > V_{GB2} \dots (6)$$

を満たすように設定され、この入力信号 $V_{GA}$ ,  $V_{GB}$ の組( $V_{GA2}$ ,  $V_{GB2}$ )が生成された場合、チャンネル層45aのみが選択的にオンされる。

40

## 【0042】

以上のような半導体装置41によっても、図10の入出力特性の実験結果に示すように、入力信号生成回路7の生成する入力信号 $V_{GA}$ ,  $V_{GB}$ に応じて、出力端子10a, 10b, 10cから選択的に出力電流 $I_a$ ,  $I_b$ ,  $I_c$ を出力させることができる。

## 【0043】

[第5実施形態]

50



次に、本発明の第5実施形態について説明する。図11は、本発明の第5実施形態である半導体装置51の平面図、図12は、図11の半導体装置51のXI-XI線に沿った断面図、図13は、図11の半導体装置51のXII-XII線に沿った断面図である。

【0044】

この半導体装置51においては、ほぼ均一なチャンネル幅を有するチャンネル層55a, 55b, 55cが並列に設けられると共に、そのチャンネル層55a, 55b, 55c上のそれぞれの中央領域11a, 11b, 11cを跨って、2本のゲート電極56a, 56bがほぼ同一のゲート長を有するように形成されている。チャンネル層55a, 55b, 55cは、それぞれ、Si基板2の上部に直線状に設けられたN<sup>+</sup>領域53及びそのSi基板2の上面を覆うSiO<sub>2</sub>等の酸化物からなる絶縁膜(酸化物層)54によって構成され、ゲート電極56a, 56bは、Si基板2の2つのN<sup>+</sup>領域53で挟まれた領域Aを跨って、Si基板2上に絶縁膜54を介して布設されている。すなわち、チャンネル層55a, 55b, 55cとゲート電極56a, 56bとはMOS構造を構成する。また、入力端子9及び出力端子10a, 10b, 10cは、金属/半導体接触によりチャンネル層55a, 55b, 55cのN<sup>+</sup>領域53に接続されている。

10

【0045】

この絶縁膜54は、そのチャンネル層55a, 55b, 55c上の膜厚が、ゲート電極56aの長手方向に沿ってチャンネル層55a, 55b, 55cの順で段階的に大きくなり(図13)、且つ、ゲート電極56bの長手方向に沿ってこの順で段階的に小さくなるような階段状の形状を有している。

20

【0046】

このようなMOS構造を有するチャンネル層55a, 55b, 55c及びゲート電極56a, 56bを用いても、入力信号V<sub>GA</sub>の閾値電圧V<sub>thA1</sub>, V<sub>thA2</sub>, V<sub>thA3</sub>は、チャンネル層55a, 55b, 55cの順に次第に増加するように設定され、入力信号V<sub>GB</sub>の閾値電圧V<sub>thB1</sub>, V<sub>thB2</sub>, V<sub>thB3</sub>は、チャンネル層55a, 55b, 55cの順に次第に減少するように設定される。

【0047】

なお、本発明は、前述した実施形態に限定されるものではない。例えば、各実施形態におけるチャンネル数は3本に限定されるものではなく、それ以上の複数本設けられてもよい。この場合も、複数のチャンネルから選択的に出力電流が出力されるように、入力信号V<sub>GA</sub>及び入力信号V<sub>GB</sub>の組み合わせと各チャンネルの閾値電圧とを設定することが可能である。

30

【0048】

また、半導体装置1, 21, 31, 41, 51のそれぞれにおいては、3本のチャンネル層の一端に共通に接続された1つの入力端子9が設けられていたが、それぞれのチャンネル層の一端に独立に入力端子が接続されて、それぞれの入力端子毎に異なる電圧値の電源が接続可能に構成されてもよい。

【0049】

また、半導体装置1, 21, 31, 41, 51のそれぞれにおいては、並び順に閾値電圧が減少又は増加するように構成されているが、出力信号の物理的な出力位置を変更したい場合に対応するために、閾値電圧の大小関係をランダムに入れ替えてもよい。例えば、図1に示す半導体装置1の場合は、入力信号V<sub>GA</sub>の閾値電圧V<sub>thA1</sub>, V<sub>thA2</sub>, V<sub>thA3</sub>がチャンネル層5a, 5c, 5bの順に次第に減少し、入力信号V<sub>GB</sub>の閾値電圧V<sub>thB1</sub>, V<sub>thB2</sub>, V<sub>thB3</sub>が、チャンネル層5a, 5c, 5bの順に次第に増加するように構成されてもよい。

40

【図面の簡単な説明】

【0050】

【図1】本発明の第1実施形態である半導体装置の平面図である。

【図2】図1の半導体装置のII-II線に沿った断面図である。

【図3】図1の半導体装置のIII-III線に沿った断面図である。

50

【図4】図1の半導体装置の入出力特性を示す図であり、(a)は、半導体装置の構造の一例を示す平面図、(b)は、(a)の半導体装置の入力信号と出力電流との関係を示すグラフである。

【図5】本発明の第2実施形態である半導体装置の平面図である。

【図6】図5の半導体装置の入出力特性を示す図であり、(a)は、半導体装置の構造の一例を示す平面図、(b)は、(a)の半導体装置の入力信号と出力電流との関係を示すグラフである。

【図7】本発明の第3実施形態である半導体装置の平面図である。

【図8】図7の半導体装置のVIII - VIII線に沿った断面図である。

【図9】本発明の第4実施形態である半導体装置の平面図である。

10

【図10】図9の半導体装置の入力信号と出力電流との関係を示すグラフである。

【図11】本発明の第5実施形態である半導体装置の平面図である。

【図12】図11の半導体装置のXI - XI線に沿った断面図である。

【図13】図11の半導体装置のXII - XII線に沿った断面図である。

【符号の説明】

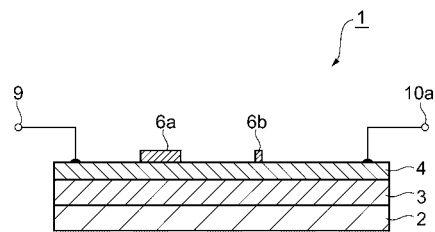
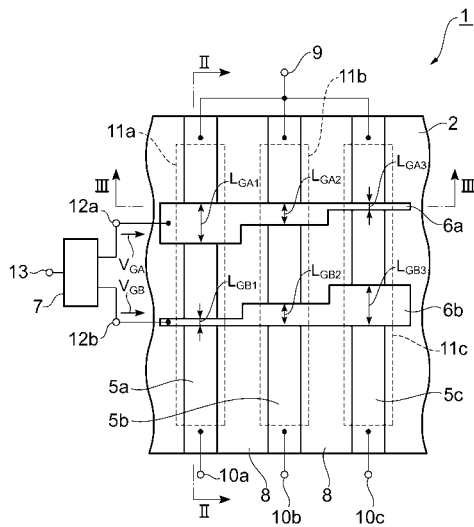
【0051】

1, 21, 31, 41, 51...半導体装置、5a, 5b, 5c, 35a, 35b, 35c, 45a, 45b, 45c, 55a, 55b, 55c...チャネル層、6a, 6b, 26a, 26b, 36a, 36b, 46a, 46b, 56a, 56b...ゲート電極、10a, 10b, 10c...出力端子、11a, 11b, 11c...中央領域、54...絶縁膜(酸化物層)、 $V_{GA}$ ,  $V_{GB}$ ...入力信号、 $L_{GA1}$ ,  $L_{GA2}$ ,  $L_{GA3}$ ,  $L_{GB1}$ ,  $L_{GB2}$ ,  $L_{GB3}$ ...ゲート長、 $W_{A1}$ ,  $W_{A2}$ ,  $W_{A3}$ ,  $W_{B1}$ ,  $W_{B2}$ ,  $W_{B3}$ ...チャネル幅。

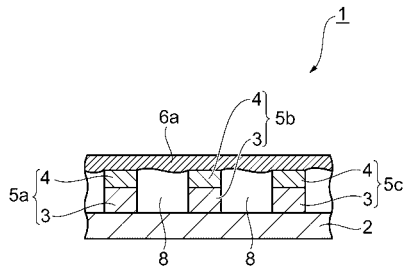
20

【図1】

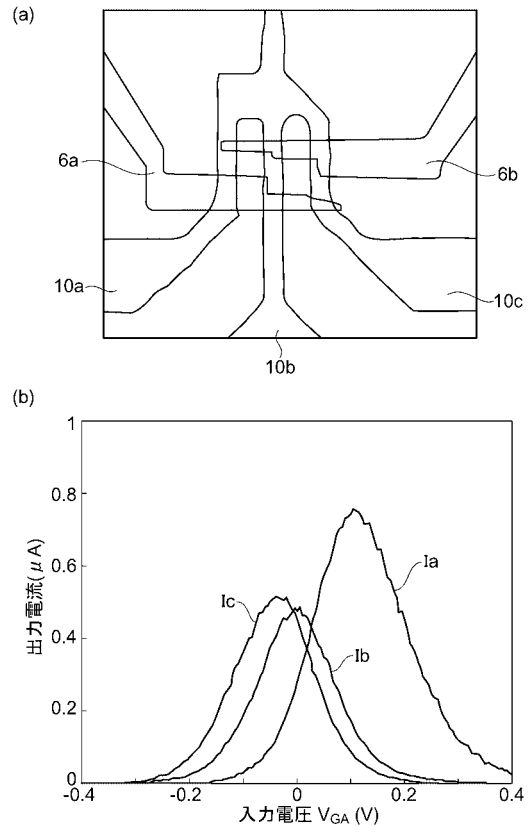
【図2】



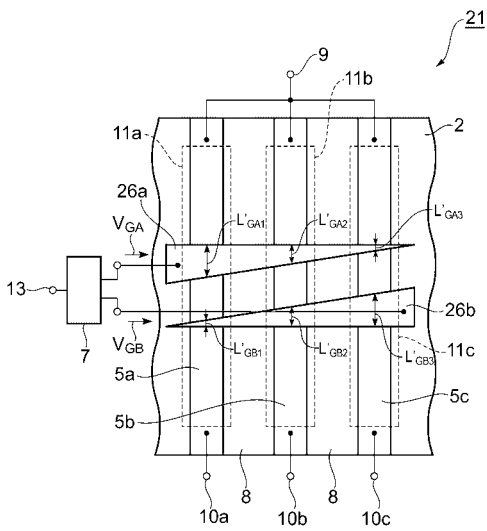
【図3】



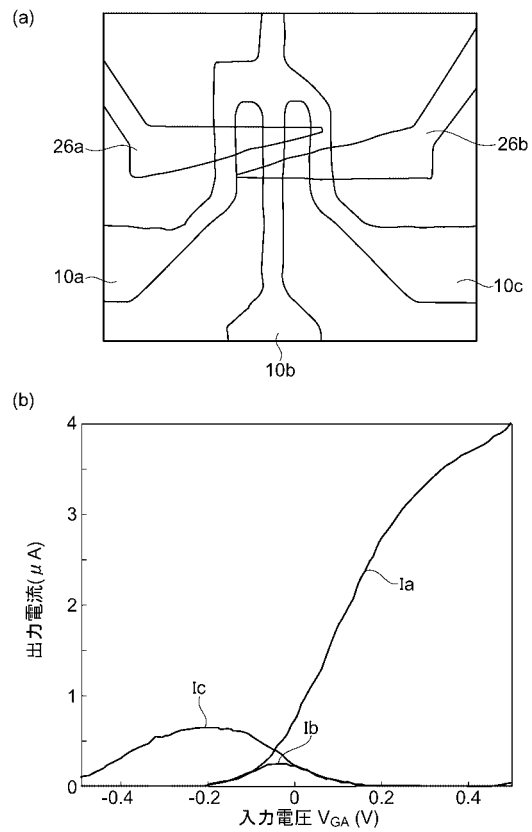
【図4】



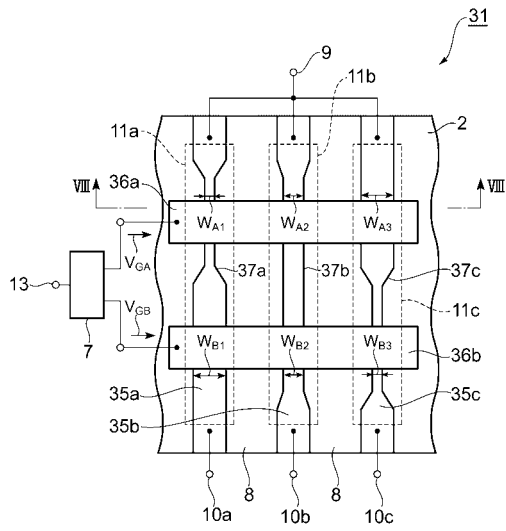
【図5】



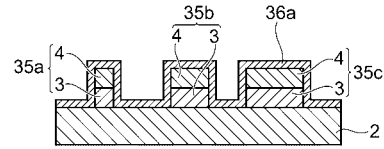
【図6】



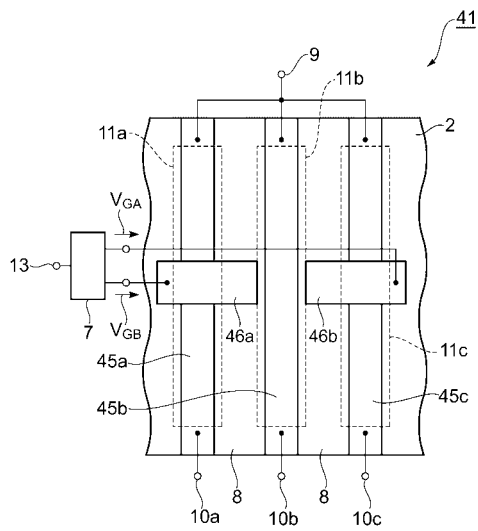
【 図 7 】



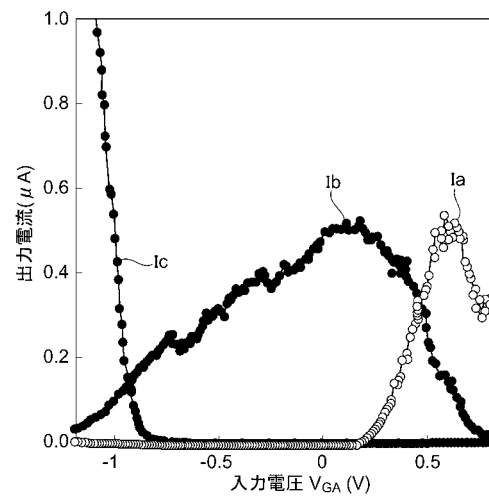
【 図 8 】



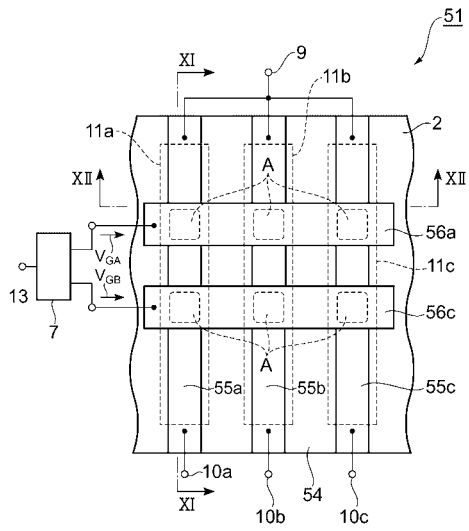
【 図 9 】



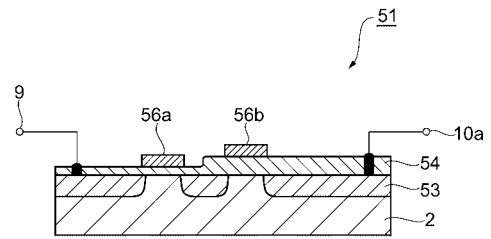
【 図 10 】



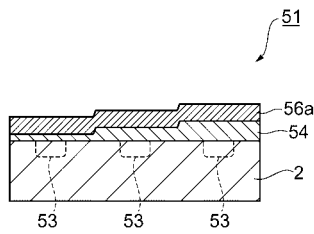
【図 1 1】



【図 1 2】



【図 1 3】



---

フロントページの続き

- (56)参考文献 特開平07-095079(JP,A)  
特開平10-092845(JP,A)  
特開平08-167463(JP,A)  
特開昭52-144280(JP,A)  
特開2005-197481(JP,A)  
特開2001-053163(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/095  
H01L 21/822  
H01L 27/04