

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97453

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/338
29/812
29/78
29/80

H 0 1 L 29/80 B
29/78 3 0 1 H
29/80 V

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平9-250953

(22) 出願日

平成9年(1997) 9月16日

(71) 出願人 591006335

金沢大学長

石川県金沢市角間町 (番地なし)

(72) 発明者 高宮 三郎

石川県金沢市平和町1-3-6 合同平和
宿舍A 2-14

(72) 発明者 飯山 宏一

石川県金沢市西金沢4-38-3

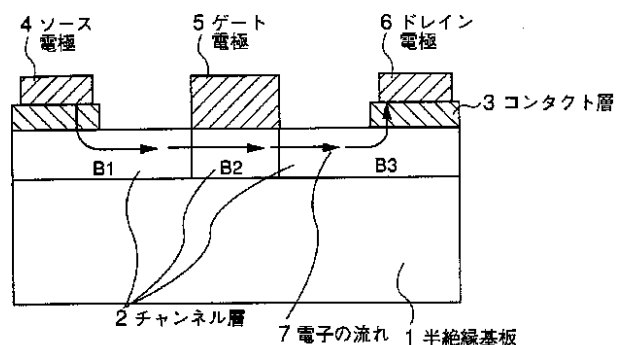
(74) 代理人 弁理士 鈴江 武彦 (外5名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来の電界効果トランジスタはチャンネル層がソース側からドレイン側に涉って一様な材料で作られている。禁制帯幅が狭い材料ほど電子移動度が高くなることから、高速化のための電子移動度の高い材料の選択は必然的に禁制帯幅が狭い材料の選択に繋がる。しかし、禁制帯幅が狭い材料を選択すると、素子の降伏電圧が低下するという問題点があった。

【解決手段】 半導体層を含む基体(1)にソース領域(B1)、ゲート領域(B2)、およびドレイン領域(3)が形成され、ゲート領域(B2)のチャンネル層をゲート領域に形成されたゲート電極(5)により制御する電界効果型の半導体装置において、前記チャンネル層の禁制帯幅をドレイン領域の禁制帯幅より狭くしたことを特徴とする半導体装置。



本発明によるMESFETの断面構造
本発明の概念を説明するための断面構造図

【特許請求の範囲】

【請求項 1】 半導体層を含む基体にソース領域、ゲート領域、およびドレイン領域が形成され、ゲート領域のチャンネル層をゲート領域に形成されたゲート電極により制御する電界効果型の半導体装置において、前記チャンネル層の禁制帯幅をドレイン領域の禁制帯幅より狭くしたことを特徴とする半導体装置。

【請求項 2】 前記チャンネル層の禁制帯幅が前記ソース領域近傍では狭く前記ドレイン領域近傍では広くこれらの中で滑らかに繋がる如く徐々に変化していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体層は半絶縁性半導体基体であり、前記チャンネル層は n 型半導体材料よりなり該基体上に直接あるいはバッファ層を介して接しており、そして、前記チャンネル層に接するゲート電極と、前記ソース領域および前記ドレイン領域に形成された n 型コンタクト層を有することを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記チャンネル層に直接あるいはスペーサ層を介して接する n 型電子供給層を有する請求項 1乃至請求項 3 のいずれか 1 項記載の半導体装置。

【請求項 5】 第 1 の禁制帯幅を有する第 1 の n 型半導体層と、第 1 の半導体層上に接する如く設けられた第 2 の n 型半導体層と、第 2 の半導体層上に接する如く設けられた第 2 の禁制帯幅を有する第 3 の n 型半導体層を有し、第 2 の半導体層の側面の少なくとも一部分にショットキー障壁型ゲートが接している電界効果型半導体装置において、第 2 の n 型半導体層の禁制帯幅が第 1 または第 2 の禁制帯幅より狭いことを特徴とする半導体装置。

【請求項 6】 第 1 の禁制帯幅が第 2 の禁制帯幅より広く、第 2 の半導体層の禁制帯幅が前記第 1 と第 2 の禁制帯幅と滑らかに繋がるごとく徐々に変化していることを特徴とする請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果トランジスタに関するもので、特に、化合物半導体材料を用い、高速半導体素子、マイクロ波・ミリ波デバイス等に利用される電界効果半導体装置に関するものである。

【0002】本発明は電界効果トランジスタ、高電子移動度トランジスタ、静電誘導トランジスタのいずれにでも適用可能であり、同様の効果を発揮する。したがって、本発明はこれら全てを対象とするものである。

【0003】

【従来の技術】以下の従来の技術、本発明の実施の態様等、および図面の記載において、同様の要素は同様の参照番号により表される。

【0004】図 7 に従来の GaAs-MESFET (GaAs を使用したショットキー障壁ゲート型電界効果トランジスタ) の断面構造模式図を示す。図 7 において、

1 は半絶縁性 GaAs 基板、2 は n 型 GaAs から成るチャンネル層、3 は n 型高不純物濃度 GaAs から成るコンタクト層、4 は該コンタクト層とオーム接触をなすソース電極、5 は該チャンネル層とショットキー接触をなすゲート電極、6 は該コンタクト層とオーム接触を成すドレイン電極である。このトランジスタは、使用状態では、ソース電極 4 を基準としてゲート電極 5 が負、ドレイン電極 6 が正の電位となるようにバイアスが加えられ、矢印 7 で示される電子の流れをゲート電圧で制御するかたちで動作する。

【0005】図 8 は従来の GaAs 高電子移動度トランジスタの断面構造模式図である。この場合には、8 で示す真性に近い GaAs から成るチャンネル層と、9 で示す n 型 AlGaAs 電子供給層をさらに有し、該電子供給層 9 の電子を不純物が殆ど無い該 i 型チャンネル層に落とし込んで、矢印 7 の如く電子を流す構造となっている。図 8 の場合には、電子の走行を妨げる不純物が殆ど無い i 型チャンネルを電子が流れるので、図 7 の場合と比較するとさらに高速のトランジスタを得やすい利点がある。

【0006】

【発明が解決しようとする課題】しかしながら、応答周波数と耐圧の積を最大にする観点あるいは超高周波に対しても必要な耐圧を確保する観点から見ると従来のトランジスタは問題点を有する。以下に、その問題点を説明する。

【0007】これらのトランジスタの応答時間はゲート・チャンネル間の容量を充電あるいは放電してゲートを開閉する時間と、電子がゲートからドレインに渉る空乏層を走行する時間によって支配される。これらの時間のうちゲート・チャンネル間容量の充放電時間は主としてゲート・ソース間の容量と抵抗との積で決まるため、容量が同じであれば該抵抗が低いほど短くなる。電子密度一定あるいは不純物密度一定の条件では、電子移動度が高いほど該抵抗値が低くなるので、電子移動度が高い半導体材料をチャンネル層に用いることが高速化に繋がる。

【0008】しかしながら、禁制帯幅が狭い材料ほど電子移動度が高くなることから、電子移動度が高い材料の選択は必然的に禁制帯幅が狭い材料の選択に繋がる。

【0009】一方、半導体の電子雪崩による降伏電界は略禁制帯幅に比例する。図 9 は III-V 化合物を主とするいくつかの材料の禁制帯幅と降伏電界強度の関係を示す図である。図 9 において、プロットは衝突電離係数 $1 \times 10^4 / \text{cm}$ で降伏電界強度を定義した場合、上向き矢印の頂点は衝突電離係数 $1 \times 10^5 / \text{cm}$ で降伏電界強度を定義した場合の降伏電界強度と禁制帯幅との関係を示す。このように禁制帯幅が狭い(電子移動度が高い)材料の選択は、降伏電界強度の低下に繋がりがゲート・ドレイン間の耐圧を低下させるという問題点があった。しいて、ゲート・ドレイン間の耐圧を一定に保つとすれば、電界を低く抑えるためにより広い空乏層幅を

要することに繋がる。そのため、ゲート・ドレイン間空乏層の電子走行時間が長くなる。

【0010】ここで、従来のトランジスタにおける上記問題点が生じる原因を考えると、トランジスタ内部にかかる電界は場所により異なるにもかかわらず、従来のトランジスタではチャンネル層2（図7）あるいはチャンネル層2と電子供給層9（図8）がソース側からドレイン側に涉って様な材料で作られており、このため降伏電界強度も同様であることが原因であることが分かる。

【0011】この発明は上記従来のトランジスタの問題点を解決し、トランジスタの応答周波数・耐圧積を向上せしめ、実用的耐圧を維持しつつ応答周波数上限を伸ばすことを目的とするものである。したがって、超高速トランジスタの性能向上を通じて、将来の超高速通信/情報システムの性能向上（特に上限動作速度の向上）や品質の向上をもたらすものである。

【0012】

【課題を解決するための手段】本発明の半導体装置は、半導体層を含む基体にソース領域、ゲート領域、およびドレイン領域が形成され、ゲート領域のチャンネル層をゲート領域に形成されたゲート電極により制御する電界効果型の半導体装置において、前記チャンネル層の禁制帯幅をドレイン領域の禁制帯幅より狭くしたことを特徴とする半導体装置である。

【0013】また、本発明の半導体装置は、前記チャンネル層の禁制帯幅が前記ソース領域近傍では狭く前記ドレイン領域近傍では広くこれらの中で滑らかに繋がる如く徐々に変化していることを特徴とする半導体装置である。また、前記半導体層が半絶縁性半導体基体であり、前記チャンネル層はn型半導体材料よりなり該基体上に直接あるいはバッファ層を介して接しており、前記チャンネル層に接する前記ゲート電極と、前記ソース領域および前記ドレイン領域に形成されたn型コンタクト層を有することを特徴とする半導体装置である。また、前記チャンネル層に直接あるいはスペーサ層を介して接するn型電子供給層を有する半導体装置である。

【0014】本発明の半導体装置は、第1の禁制帯幅を有する第1のn型半導体層と、第1の半導体層上に接する如く設けられた第2のn型半導体層と、第2の半導体層上に接する如く設けられた第2の禁制帯幅を有する第3のn型半導体層を有し、第2の半導体層の側面の少なくとも一部分にショットキー障壁型ゲートが接している電界効果型半導体装置において、第2のn型半導体層の禁制帯幅が第1または第2の禁制帯幅より狭いことを特徴とする半導体装置である。

【0015】また、本発明の半導体装置は、該第1の禁制帯幅が第2の禁制帯幅より広く、第2の半導体層の禁制帯幅が前記第1と第2の禁制帯幅と滑らかに繋がるごとく徐々に変化していることを特徴とする半導体装置である。

【0016】

【発明の実施の形態】本発明は以下に記載の特定の実施の形態により説明されるが、本発明はここに説明される実施の形態に限定されるものではない。当業者は本発明の技術的範囲内で多様な変形が可能であることはいうまでもない。

【0017】本発明の実施の形態を以下に図1～図6を参照して説明する。図1は本発明の概念を説明するための断面構造図であり、図2は本発明のチャンネル材料の禁制帯幅の分布を示す図である。

【0018】従来のトランジスタの問題点は、既に述べたように、構造的にはソース側からドレイン側に至る間が様な材料でできていることに起因している。この発明は従来例の図7と異なり、図1に示すチャンネル領域のうちソース領域B1、ゲート領域B2、およびドレイン領域B3について様な禁制帯幅を有する材料で構成するのではなく、高い耐圧の必要されるドレイン領域B3は禁制帯の幅が大きい材料で構成し、少なくともソース領域B1は電子移動度が高い禁制帯の幅が小さい半導体材料を用いて構成するものである。

【0019】本発明は、特に望ましくは、図2に示すように、チャンネル領域のうちソース側領域B1を禁制帯幅は狭いが電子移動度が高い材料で構成し、ドレイン領域B3を禁制帯幅が広く高い降伏電界が得られる材料で構成し、且つ、B1とB3を繋ぐゲート下のチャンネル領域B2はソース側ではチャンネル領域B1と、ドレイン側ではチャンネル領域B3と滑らかに繋がるように禁制帯幅を分布させるものである。したがって、電子は移動度が高いB1領域、禁制帯幅が徐々に変化している領域B2、および禁制帯幅が広く降伏電界強度が高い領域B3を通過して流れることになる。

【0020】図1ではウエハ表面に平行に電流が流れる横型トランジスタの場合を示したが、図3には縦型トランジスタに本発明を適用した場合の概念図を示す。チャンネル領域11はB1、B2、B3で示すように縦方向に形成され、電子の流れ12は矢印で示すように上部から下部に向かう。このトランジスタは、それ自身がチャンネル領域B3を形成する例えばn型InPからなるドレイン層10上に、ゲート部となるチャンネル領域B2、およびソース部となるチャンネル領域B1が形成された縦型トランジスタとして構成される。そして、それぞれコンタクト層3を介してソース電極4およびドレイン電極6が形成される。ゲート電極5はチャンネル領域B2の側壁に形成される。このゲート電極5は例えば基板表面前面に電極材料を付着させた後、コーナ部分のエッチング速度が低いことを利用してコーナ部分の金属を残すことにより形成することができる。

【0021】図1と図3はMESFETあるいは静電誘導トランジスタにたいして本発明を応用することのできる構造例であるが、図4に示すように高電子移動度トラ

ンジスタに対する本発明の応用も同様に行うことができる。図 4 において 9 は電子供給層であり電子供給層の禁制帯幅はチャンネル層のドレイン側領域 B 3 と同等もしくはそれ以上の禁制帯幅の材料で構成されることが望ましい。

【0022】ここで、この発明の実施に関して特に好ましいエピタキシャル成長技術について説明する。エピタキシャル成長においては、その組成が変化しても成長層に応力が生じないよう結晶の格子定数が成長に伴って変わらないことが望ましい。しかし、例えば $InGaAs$ 系の化合物半導体を用い、 In を徐々に Ga に置き換えて禁制帯幅を増加させるような方法では、図 5 に示すように禁制帯の増加に伴って格子定数が小さくなることなる。

【0023】本発明を実施するに当たっては、上記のとおり格子定数を一定に保ちつつ、禁制帯幅を変えることが望ましい。格子定数を一定に保つ方法に関し、まず、図 3 の縦型 $MESEET$ の場合について説明する。このためには、例えば、 InP 基板を用いる。チャンネルのソース側領域 B 1 を $In_{0.5}Ga_{0.5}As$ 、チャンネルのドレイン側領域 B 3 を InP とし、その間の領域 B 2 を $In_{0.5}Ga_{0.5}As$ から図 5 に太破線で示される線に沿って InP に徐々に変わる $In_xGa_{(1-x)}PyAs_{(1-y)}$ とすることで解決される。

【0024】以上 $In_{0.5}Ga_{0.5}As$ と InP の組み合わせについて説明したが、本発明は他の III-V 族化合物の組み合わせ、例えば $AlAs$ と $GaAs$ の組み合わせ、 $AlSb$ と $GaSb$ の組み合わせ、 AlP と GaP の組み合わせ等にも適用できるのは勿論である。

【0025】次に、図 1 に示す横型トランジスタのチャンネル領域の製造方法の一例を示す。一般に、図 1 に示す横型トランジスタの場合に、横方向に禁制帯幅を変えることは平坦なウエハ上では困難である。しかし、図 6 に示す如く、例えば SiO_2 からなる選択的なマスク 13 を用いて半絶縁性 InP 基板 14 のエッチングを行った後にエピタキシャル成長を行うことで実現できる。エッチングはマスク 13 の下部に凹部ができるように、基板に対する横方向のエッチング速度が縦方向のエッチング速度に比較し大きくなるような条件にて行う。マスク下部に凹部内にエピタキシャル成長層 15 を形成する。

【0026】図 6 では、エピタキシャル成長は面 PQ から矢印 V_{gl} で示す如く横方向に進行する部分と、面 QR から矢印 V_{gv} で示す如く縦方向に進行する部分とができるが、面 PQ や OR の面方位、エピタキシャル成長の温度とガス供給速度を変えることで成長速度比 V_{gl} / V_{gv} を制御することができる。実際に必要とされるソース・ドレイン間寸法は $1 \sim 2 \mu m$ 程度であることから、マスク 13 を使用する図 6 の選択エピタキシャル成長は、禁制帯幅を横方向に変えていくことを除けば、通常の半導体レーザ製造等で広く行われている選択エピタキシャル

成長技術を用いることができる。このようにしてエピタキシャル成長層 15 内にチャンネル領域 B 3, B 2, B 1 が順次横方向に形成される。

【0027】ここに記載された本発明の実施の態様は単なる一例であり、本発明の実施例は多様に変形される事が可能である。なお、上記実施の態様では電界効果トランジスタおよび高電子移動度トランジスタへの適用について説明したが、例えば静電誘導トランジスタ等他の電界効果形素子にも適用可能であり、ここに記載の効果と同様の効果を発揮する。また、上記の説明ではショットキ障壁ゲートを有するトランジスタについて述べたが、絶縁膜を介する金属/絶縁膜/半導体型 (MIS 構造) トランジスタに適用しても同様の効果が得られることは言うまでもない。したがって、本発明は本発明の技術的範囲に含まれる全ての半導体装置を対象とするものである。

【0028】

【発明の効果】以上説明したように、この発明によれば、チャンネルのドレイン側領域 B 3 に禁制帯幅が広い材料を使うことで、ゲート・ドレイン間の空乏層幅を大きくしなくとも耐圧を確保できることから、該空乏層の電子走行時間を短くすることができる。また、ソース側については耐圧の制約を考慮せずに禁制帯幅が狭く電子移動度が高い材料を使えることからゲートの充放電時間を従来以上に短縮することができる。

【図面の簡単な説明】

【図 1】本発明の概念を説明するための断面構造図。

【図 2】本発明のチャンネル材料の禁制帯幅の分布を示す図

【図 3】本発明による縦型 $MESEET$ の断面構造図。

【図 4】本発明の高電子移動度トランジスタへの適用例を示す図。

【図 5】III-V 化合物半導体の格子定数と禁制帯幅を示す図。

【図 6】選択エッチングされた半導体上への選択エピタキシャル成長を示す図。

【図 7】従来の $GaAs$ - $MESEET$ の断面構造模式図。

【図 8】従来の $GaAs$ 高電子移動度トランジスタの断面構造模式図。

【図 9】材料の禁制帯幅と降伏電界強度

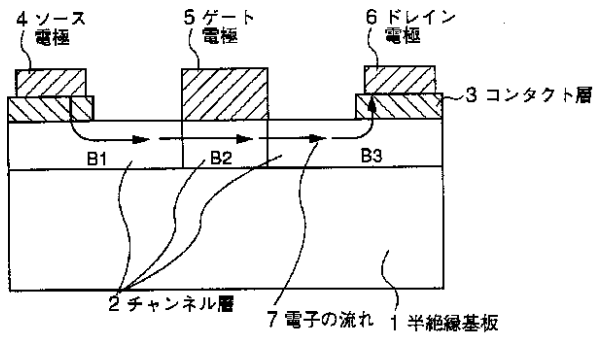
【符号の説明】

- 1...半絶縁性 $GaAs$ 基板
- 2...チャンネル層
- 3...コンタクト層
- 4...ソース電極
- 5...ゲート電極
- 6...ドレイン電極
- 7...電子の流れ
- 8...チャンネル層

- 9...電子供給層
- 10...ノンドープドレイン層
- 11...チャネル領域
- 12...電子の流れ

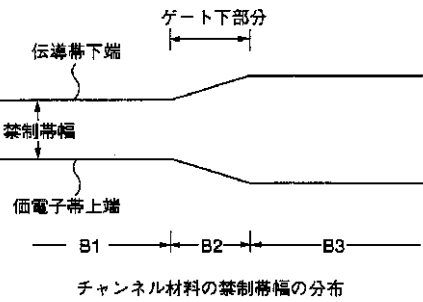
- 13...マスク
- 14...半絶縁性InP基板
- 15...エピタキシャル成長層

【図1】



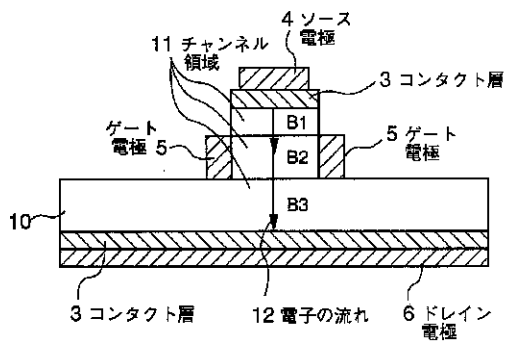
本発明によるMESFETの断面構造
 本発明の概念を説明するための断面構造図

【図2】



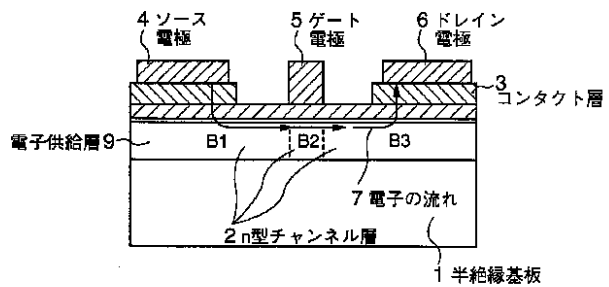
チャンネル材料の禁制帯幅の分布

【図3】



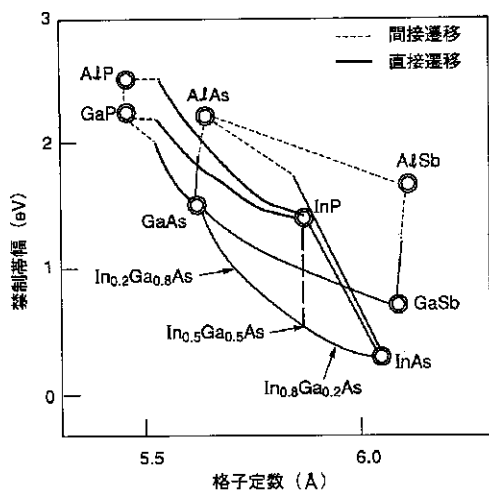
本発明による縦型MESFETの断面構造例
 本発明の概念を説明するための断面構造図

【図4】



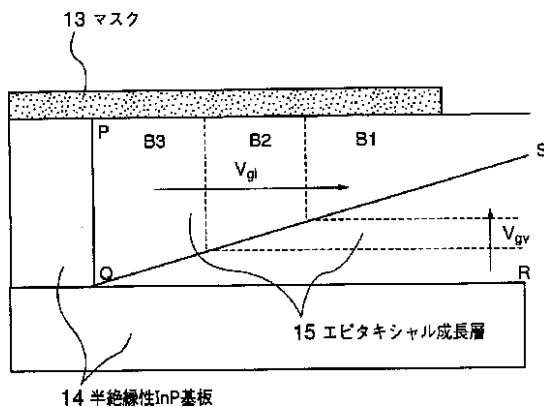
本発明の高電子移動度トランジスタへの適用例
 本発明の概念を説明するための断面構造図

【図5】



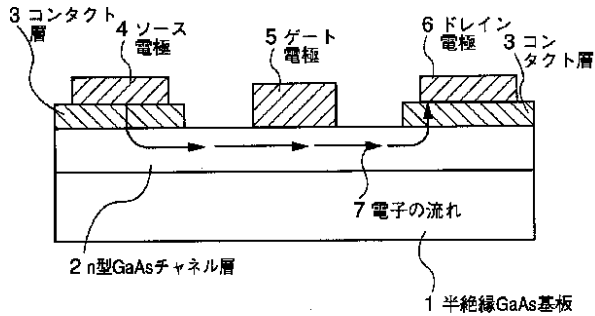
Ⅲ-V化合物半導体の格子定数と禁制帯幅
 下線付き数値はバルクの電子移動度

【図6】



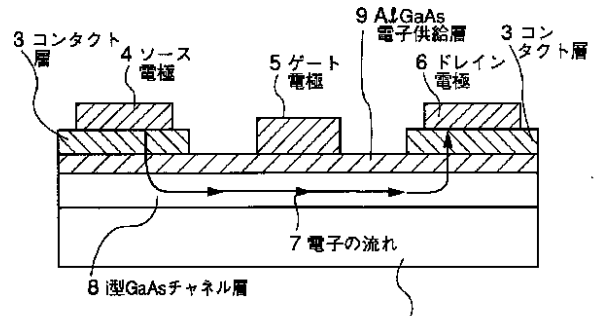
選択エッチングされた半導体上への選択エピタキシャル成長
 本発明の概念を説明するための断面構造図

【図7】



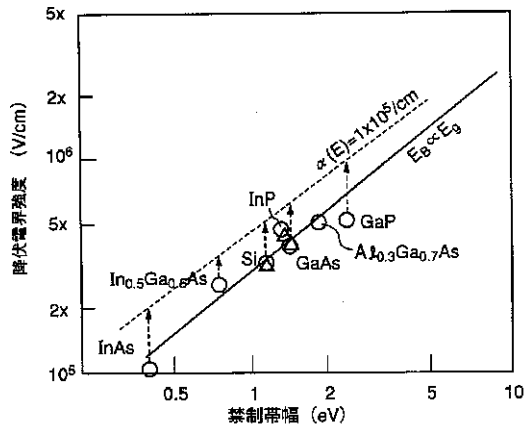
従来のGaAs-MESFETの断面構造模式図

【図8】



従来のGaAs高電子移動度トランジスタの断面構造模式図

【図9】



材料の禁制帯幅と降伏電界強度